Bipolar Process의 추세

이 상 준*

Solid state Electronics Center Honeywell Inc. plymouth, Minnesota, U.S.A

I. 서 론

Bipolar technology를 크게 linear와 digital의 두 분야로 나눌 수 있다. Linear IC란 linear process를 이용하여 만든 IC family를 말하며, system의 최저 breakdown voltage(BV)가 약 50V 이내이고, f_T는 300 MH_z 정도이다. 그에 비해 logic과 memory device 등에 이용되는 digital IC는 BV가 약 10V, f_T는 750 MH_z에서 5 GH_z까지 된다. 참고로 이 두 process의 parameter를 표 1에 비교하였다.

표 1. Process parameters

device / Process steps	Linear	Digital I	Digital II	Digital III
Substrate	9-13 Ω-cm p-type (100)	9-13 Ω-cm p-type (100)	9-13 Ω-cm p-type (100)	9-13 Ω-cm p-type (100)
Buried Layer	37±17 Ω/□, 10μ	11±4 Ω/□, 5μ	11±4 Ω/□, 5μ	20±5 Ω/□, 4μ
Epitaxial layer	1.5 Ω-cm 10μ	0.35 Ω-cm 5μ	0.35 Ω-cm 3.5μ	0.6 Ω-cm 1.5μ
Isolation	8 Ω/□	8 Ω/□	13 Ω/□	SiO_2 Isolation
N^+ sinker	N/A	12 Ω/□	12 Ω/□	12 Ω/□
Base (active)	150 Ω/□, 3μ	130 Ω/□, 1.2μ	500 Ω/□ Ion Implant	500 Ω/□ Ion Implant
Base (inactive)	N/A	N/A	50 Ω/□ Ion Implant	50 Ω/□ Ion Implant
Emitter	5 Ω/□, 2.2μ	7 Ω/□, 0.9μ	10 Ω/□ As Implant	10 Ω/□ As Implant
Lst metal	Al-Cu	Silicide + Al-Cu	Silicide + Al-Cu	Silicide + Al-Cu
2nd metal	N/A	Al-Cu	Al-Cu	TiW/Al-Cu
3nr metal	N/A	Al-Cu	Al-Cu	TiW/Al-Cu

Bipolar process의 면에서 볼때, 과거 5～6년간 linear IC에는 큰 변화가 없었으나, digital에는 3차례 정도의 획기적인 발전이 있었다. 이 글에서는, 먼저 process의 일반적인 발전 상황을 논하고, linear와 digital의 각각에 대해 좀더 깊게 process의 변화를 다루기로 하겠다.

Ⅱ. Process의 일반적인 변화

1. Substrate

과거 몇 년간의 노력은 substrate로 사용될 wafer의 크기를 키우고, defect density를 작게 하는 데 있었다. 이것은 점점 고집적도의 회로를 높은 wafer yield로 많이 만들어야 되겠다는 요구 때문이었다. 그래서, 2″wafer에서 3″wafer가 industrial standard로 되었으며, 2～3년간 4″wafer line이 많이 생겼고, 5″wafer도 벌써 나오고 있다. 3″line에서 4″line으로 바꾸는 것은 현재의 3″line을 별로 힘들이지 않고 변형시키면 된다. 즉, 기본적인 주요 기구는 새로 살 필요없이 3″line의 기구를 적은 자본으로 약간 변화시키면 4″line이 될 수 있다. 반면에 5″line을 만들려면 모든 기구를 새로 사야 하므로, 현재 공업중에서 가장 주요 장비의 부담률이 높은 반도체 사업으로서는, 상당한 시간을 필요로 한다.

Wafer defect에는 여러가지가 있는데, 그중에서도 stacking fault, point defect 및 oxygen swirl 등이 크게 문제된다. 특히 oxygen induced stacking fault를 어느 정도 제한할 수 있는 wafer제작 회사는 현재 전 세계에 두 회사 밖에 없는 것으로 보인다.(미국과 독일에 각각 하나씩) 과거 6～7년간 독일의 Wacker 회사는 Float Zone(FZ) 방식으로 crystal을 기르는 기술을 개발해 왔다. 이 방법은 통상의 czochralski(CZ) 방법보다 산소와 탄소의 함유량이 훨씬 적어 oxygen swirl과 point defect가 적다. 그러나, 아직 개발중이고 기본적으로 관련된 기술에 문제점이 많아서 CZ 방법으로 만든 wafer의 질에 미치지 못하고 있다.

Wafer의 defect가 yield에 제한을 주는 단계에서, 반도체 사업체들은 large scale integration(LSI)까지는 약간의 defect(약 2/cm^2)를 허용하나, very large scale integration (VLSI) technology에서는 microscopic defect조차 큰 문제로 삼고 있다. 따라서, 반도체 사업체들도 나름대로 defect를 줄이는 방법을 사용하는 데, 중요한 몇 가지는 다음과 같다.

Backside Gettering ; 고의적으로 wafer 뒷면을 손상시켜 높은 온도에서 annealing 하면, 손상된 뒷 면이 annealing되는 동시에 앞면의 defect를 gettering하게 된다. 뒷 면은 주로 diamond 바늘로 scratch하거나, argon을 implant 하는 방법으로 손상시킨다. 이 때, 물론 만드는 device에 따라 scratch 깊이는 10～20 μm 정도로 변하고, ion-implant의 dose와 energy도 변한다.

HCl Annealing ; 특히 MOS device나 shallow junction bipolar device에서는 표면의 stacking fault가 junction leakage를 일으키는 주 원인이 되는 데, 이러한 defect는 높은 온도에서 HCl 분위기로 oxidation하면 annealing될 수 있다. 온도는 최소한 1050℃, HCl양은 약 3～5% 정도가 적합하다. HCl oxidation은 원래 mobile ion gettering에 쓰였으나, 그 외에도 stacking fault annealing에 없어서는 안되는 중요한 방법이다.

2. Epitaxial Layer[1]

Linear epitaxial layer의 두께는 과거 10여년간 10 μm에서 별 변화가 없었으나, digital process에서는 그 두께가 5 μm로 줄어 들었다. 이렇게 두께를 줄이면서 두께와 sheet re-

sistivity 조절 문제로, 여러 면에서의 발전을 불가피하게 하였다.

우선 RF heating에서 IR heating으로 heating 방법이 변했고, horizontal reactor를 vertical reactor로 바꾸었으며, 1기압 상태에서 기르던 epi를 그 보다 훨씬 낮은 기압(Reduced pressure)에서 기르게 되었다. 낮은 기압에서 epi를 기르면, molecular mean free path가 커지고 auto-doping이 줄어서, 두께와 sheet resistivity 조절이 쉽다. 또한 dopant로는 주로 쓰이던 phosphorus 대신에 arsenic을 사용하여 out-diffusion과 defect를 줄이게 되었다.

3. Furnace operation

Furnace에서 하는 일에는 oxidation, deposition, diffusion, annealing 및 alloy 등이 있다. 위에서 간단히 다룬 HCl oxidation은 약 7년 전에 mobile-ion gettering에 획기적인 공헌을 하였는데, 그 방법은 다음과 같다.

Oxidation할 때, HCl을 산소의 약 3～5% 정도 섞어 온도를 1050°C 이상으로 하면, Cl^-의 약 75%가 $Si-SiO_2$ interface에 남아 있게 된다. 확실한 gettering 방법은 아직도 밝혀지지는 않았지만, Cl^-와 Na^+가 중화되어(NaCl) Na^+가 locking되고, surface instability가 없어지는 것으로 믿어진다. 이 HCl oxidation은 특히 MOS gate oxide에는 꼭 필요하다.

또한, 높은 온도의 stress를 줄이기 위해 모든 furnace의 온도를 900°C로 낮추어서 wafer를 집어 넣고, 요구되는 온도로 올려 원하는 시간이 지나면, 다시 900°C로 내리고 wafer를 꺼낸다. 이렇게 하면 energy도 절약되고, 기구의 수명도 길어지며 contamination이 줄어 드는데, 약 $ 50 정도의 비용이면 통상적인 furnace를 개조하여 쓸 수 있다.

또, P-type dopant로 전에는 주로 gas source를 썼으나, 지금은 거의 boron oxide를 쓰고 있다. Boron oxide disk를 쓰면 uniformity와 capacity를 높일 수 있고, 사용에 편리하며 경제적이다. 그에 대해, n-type source로는 아직도 $POCl_3$ source를 쓰고 있는 데, 점차 arsenic을 사용하는 방향으로 가고 있다.

4. Photolithography [2, 3, 4, 5]

크게 두 분야로 나누면, mask making과 mask alignment로 구분된다.

먼저 mask making 분야의 변화를 요약하면 그림-1과 같이 된다. 그림-1의(a) process는 시간과 비용이 많이 들고, resolution의 제한 때문에 high density device에는 부적당하다. 그림-1의(b)와 (c)는 거의 모든 반도체 사업체가 현재 쓰고 있는 방법으로, 물론 400～500X의 composite도 computer aided design (CAD) system을 사용한다. 이 과정에서는 3 μm 까지의 LSI circuit의 제작이 가능하다. VLSI는 주로 (d)와(e)의 과정을 사용하며, soft electron projection printing을 이용하면 sub-micron resolution을 얻을 수 있다. 이 경우, 저자가 이용하는 e-beam 기구 하나만 약 150만불 들며, photolithography에 사용되는 기구 전부는 약 200만불 이상이 된다.

Mask alignment 과정에는 photoresist(PR) spin, bake, align, expose 및 PR develop의 과정이 포함된다. 이 과정에서, SSI까지는 contact printing을 써도 별로 yield의 손해가 없으나, SSI 이상에서는 약 3배 이상의 손실이 있어, projection printing이 필요하게 된다 그 외에 mass production line에는 완전 자동 시설을 갖춰, 인건비와 시간을 줄이고, yield를 높이는 경향이 많다.

5. Metallization

Device의 geometry가 점점 작아지고 junction이 얕아지면서, 종전에 쓰던 Al만의 metallization으로는 alloy할 때 metal skike 가

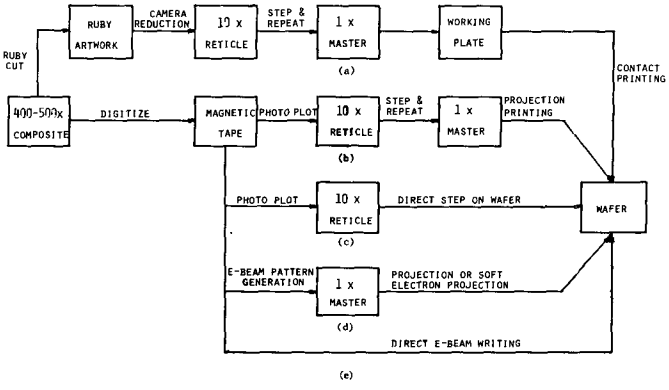


그림 1. MASK 만드는 과정의 변화도

생겨 emitter와 base를 shorting 시키므로, 근래에는 다른 방법을 사용하고 있다. 즉, MOS나 bipolar 에서 single metal이 요구되는 device는 Si-Al(2% Si)을 쓰며, 소위 DC magnetron sputtering system [9]을 이용하면 2%의 Si을 정확히 조절할 수 있고 radiation에 의한 damage를 줄일 수 있다. 그러나, 2중 혹은 3중 metallization이 요구되는 경우에 Si-Al metallization을 쓰면, contact hole에 Si epitaxial layer가 생겨 contact resistance 가 높아지므로, 다른 방법을 쓰지 않으면 안된다. 즉, Pd나 Pt silicide를 만들고 그 위에 Al을 입히는 방법이다. 이 방법을 쓰면, 순수 Al만으로는 control하기 힘든 Schottky diode 의 V_f를 쉽게 control 할 수 있다.

6. Etching

3μm 이상의 geometry는 wet chemical 과 plasma etching [6, 7, 8] 만으로 충분히 device를 만들 수 있지만, submicron 정도의 geometry에서는 ion milling [10, 11, 12] 이나 plasma etching을 사용하지 않으면 안된다. 이 방법에 의해 2μm 이하의 metal이나 dielectric(oxide, nitride, poly-Si 등)을 etching 할 수 있다.

7. Ion Implantation [13]

5~6년전 까지도 ion implantation은 주로 MOS device의 threshold voltage를 조절하는데 쓰였으나, 지금은 bipolar를 만드는 데 없어서는 안될 정도가 되었다. Device geometry가 작아짐에 따라 boron ion을 써서 double base implant를 하게 되었고, 따라서 emitter efficiency를 높일 수 있게 되었다. 또, concentration gradient를 조절하여, high current gain및 high breakdown voltage를 얻을 수도 있다. 그리고, 종전에는 phosphorus를 이용하여 emitter를 만들었기 때문에, diffusivity가 높아 낮은 온도에서도 junction이 깊어지고 transistor의 parameter를 조절하기 힘들던 것을, As를 implant 하여 해결하게 되었다. As implant 외에 As-doped poly-Si을 쓰기도 하고 copsule system을 쓰기도 하나, device의 면적이 많이 소비되며 대량 생산 과정에서 많은 문제점을 가져오고 있다. 높은 값의 sheet resistivity (ρ_s)를 얻는 데에도 ion implant를 사용하며, 이렇게 하면 정확한 값의 ρ_s를 작은 면적에 얻을 수 있다

지금까지는 process의 중요한 단계에 대해 일반적인 변화를 서술하였으나, 앞으로는 linear와 digital process의 변화를 따로 설명하겠다 참고로 가장 전형적인 linear와 digital bipolar의 transistor parameter를 표2에 비교하

였다.

표 2. Electrical parameters

Electrical Parameters \ device	Linear	Digital Ⅰ	Digital Ⅱ	Digital Ⅲ
β	100 - 500	150	100	100
BV_{CBO} (Volt)	100	30	25	15
BV_{CEO} (Volt)	50	15	10	7
BV_{EBC} (Volt)	15	10	5	5
f_r (GHz)	0.3	0.75	3	5

Ⅲ. Linear Bipolar Process 의 변화

과거 몇 년간 process 의 기본적 과정은 별로 변화하지 않았으나, 이 process와 다른 technology의 device를 같은 chip 에 만드는 경향이 생겼다. 예를 들면 Linear I^2L, Bipolar-Junction FET(BiFET), Bipolar-MOS, Bipolar-CMOS 등이 있다.

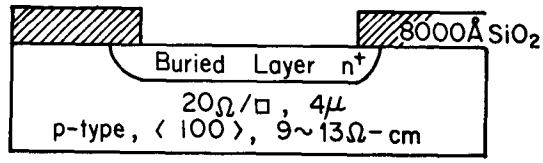
I^2L에서 mask 하나와 n^+-diffusion을 더 추가하면, base region에 n^+-ring을 만들어 β_I 를 높일 수 있다. 또, BiFET 나 BiMOS는 contact hole을 파기 전에 같은 chip에 JFET나 MOS process를 더하여 만들면 된다.

Ion implant를 써서 높은 값의 sheet resistivity를 얻고, laser로 thin-film resistor(Cr-Ni)를 trim하면 정확한 resistor 값을 얻을 수 있어서, 정확한 동작점을 정할 수 있다.

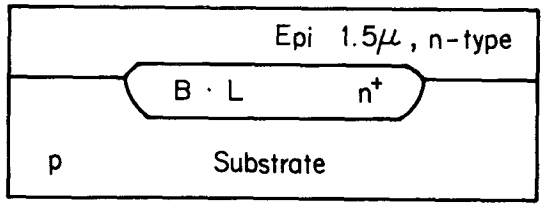
Ⅳ. Digital Bipolar Process 의 변화

Bipolar process 과정에서 가장 많은 변화를 가져온 분야로, 현재 저자가 만드는 0.3 nsec propagation delay (gate 당)의 가장 빠른 device 의 process를 간단히 설명함으로써, 그 변화 현황을 소개하겠다.

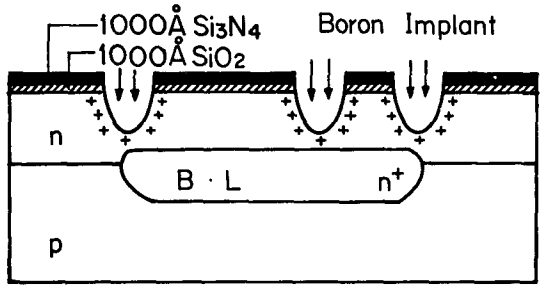
이 process는 그림 2에서 보듯이 junction으로 isolation하지 않고 SiO_2로 하여, junction capacitance와 chip 크기를 줄였으며, 또한 소위 walled emitter를 써서 면적을 줄이고 process를 간소하게 하였다. 제작 과정은, 먼저 p-type substrate에 약 20 Ω/□ 정도의 deep collector (buried layer) 를 만들고, 0.5 μm 의



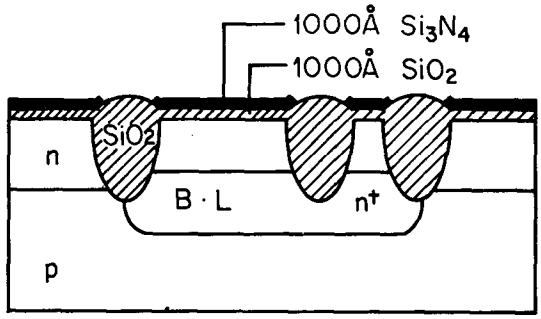
a) Buried layer formation



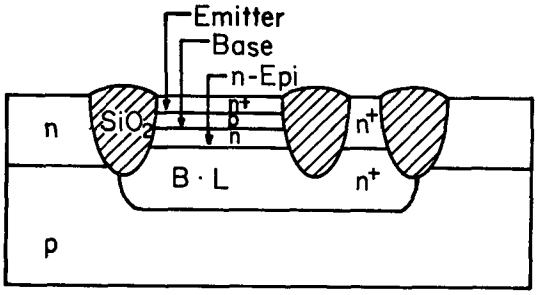
b) Epi growth



c) Si etch and boron implant for channel stop



d) Isolation oxide formation



d) Completion of transistor
(n^+Sinker, Base and Emitter)

그림 2. 간소한 oxide isolated(walled emitter) process의 단계

n-type epi를 기른다. 이 때, epi 두께가 uniform해야 하므로, 보통의 reactor로는 곤란하며 위에서 언급한 reduced pressure reactor가 필요하다. 다음으로, 1000 Å 정도의 SiO_2를 기르고, 그 위에 약 1000Å의 nitride (Si_3N_4)를 길러 준다. Nitride를 이용하는 이유는, isolation영역에 SiO_2를 기를 동안 다른 영역에 SiO_2가 생기는 것을 막기 위해서 이다. Nitride 밑에 있는 SiO_2는 Si와 SiO_2의 thermal expansion match를 위한 것이고, Si_3N_4와 SiO_2의 두께를 적절히 선택하면 defect와 소위 bird-beak를 줄이고 SiO_2 Spike를 최소로 줄일 수 있다. 다음에, isolation region을 cut하여 epi의 반 정도를 etch한 후, boron을 implant하여 base와 SiO_2에서 생기는 leakage를 줄여준다. 그리고, 약 1000℃에서 40시간 동안 SiO_2를 길러 주는 데, 이 온도가 너무 높거나 낮으면 epi etch한 영역에 detect가 많이 생겨, junction leakage 의 문제가 커진다. 요즈음에는 oxidation을 1기압에서 하지 않고 10기압 이상에서 하므로, 40시간 이상 걸리는 oxidation을 4시간으로 줄일 수 있다. 이러한 high pressure oxidation system을 이용하면, 시간을 줄이고 buried layer의 out-diffusion을 줄여 epi 두께를 1.0 μm 까지 얇게 할 수 있다. 그 다음에, n^+ sinker를 만들어 주는 데, buried layer와 n^+sinker는 보통의 diffusion 방법으로 만든다.

Base는 inactive base와 active base의 두부분으로 나누어 지며, inactive base는 약 50Ω/□로 boron-implant하여 만들고, base contact와 저항에 이용된다. Active base은 약 500Ω/□로 implant하여 current gain을 조절하며, 위에서 언급한 바와 같이 energy와 boron dose를 다르게 하여 두번 implant하는 방법을 쓴다

Emitter는 As implant를 써서 형성하고 있다. 이 때, emitter의 깊이가 약 0.4 μm이므로 순수 Al으로 metallization할 경우에 alloy spike가 생겨 E-B short가 생기기 쉽다. 그래서, Al-Si 혹은 Pt나 Pd silicide를 형성한 다음에 Al을 얹는 데, 2 layer 이상의 metallization에서는 Al-Si을쓰지않고 silicide를 사용한다. 2 layer metallization은 먼저 첫 번째 metal을 얹고, dielectric layer를 형성시켜 contact hole을 파낸 다음, 두 번째 metal을 얹는 과정을 거친다.

마지막으로, plasma nitride나 polyimide 로 passivation을 시켜 주므로, 종전에 쓰던 p-doped SiO_2를 제거시켜 reliability를 높여 주고 있다.

요사이 design하는 logic이나 memory circuit의 거의 대부분이, metal이 차지하는 면적이 크기 때문에, metallization을 수직 방향으로 형성하여 총 chip의 크기를 줄이고 있다. 저자가 만드는 logic family 중에 3 layer metal을 필요로 하는 circuit이 많은 데, 이것은 소위 master slice 개념을 이용하여 contact 까지는 똑같이 만들고, metal의 connection만 바꾸어 다른 종류의 logic을 만들기 때문이다. 이때, 첫 번째 metal은 주로 transistor-transistor 혹은 transistor-resistor를 연결하는 등, component

의 자체 연결과 component 와 cell 연결을 맡고 있으며, 두 번째 metal은 cell과 cell, 세번째 metal은 cell과 power supply 혹은 bus wire를 연결하는 형식으로 되어 있다.

지금, 이 circuit은 최저 3μm의 line width를 쓰고 있는 데, 1981년에는 1.25μm, 1983년에는 0.75μm의 최저 line width circuit이 나와 system에 들어 갈 계획으로 되어 있다.

參 考 文 獻

1. Martin L. Hammond, "Silicon Epitaxy", Solid State Technology, No. 11, Vol. 21, 1978, pp. 68 - 75.
2. Solid State Technology, No. 5, Vol. 22, 1979.
3. Solid State Technology, No. 8, Vol. 21, 1978.
4. Solid State Technology, No. 8, Vol. 20, 1977.
5. Solid State Technology, No. 5, Vol. 20, 1977.
6. Adir Jacob, "The Versatile Technique of RF Plasma Etching", Solid State Technology, No. 9, Vol. 19, 1976, pp. 70 - 73.
7. Adir Jacob, "The Versatile Technique of RF Plasma Eiching, Part II", Solid State Technology, No. 6, Vol. 20, 1977, pp. 31-36.
8. Rakesh Kumar, Chris Ladas, Gwen Hudson, "Characterization of Plasma Etching for Semiconductor Applications", S.S.T., No. 10, Vol. 19, 1976, pp. 54 - 59.
9. Vance Hoffman, High Rate Magnetron Sputtering for Metallizing Semiconductor Devices", S.S.T., No. 12, Vol. 19, 1976, pp. 57-61.
10. David D. Robertson, "Advances in Ion Beam Milling", S.S.T., No. 12, Vol. 21, 1978, pp. 57 - 60.
11. L.D. Bollinger, "Ion Milling for Semiconductor Production Processes", S.S.T., No. 11, Vol. 20, 1977, pp. 66 - 70.
12. Per G. Gloersen, "Masking for Beam Etching", S.S.T., No. 4, Vol. 19, 1976, pp. 68 - 73.
13. Robert J. Duchynski, "Ion Implantation for Semiconductor Devices", S.S.T., No. 11, Vol. 20, 1977, pp. 53 - 58.

* 著 者 紹 介

1966年 Minnesota 大學에서 電子工學科 卒業

1968年 Minnesota 大學에서 電子工學科 大學院卒業

1971年 Minnesota 大學에서 電子工學科(工學博士)
대학원에서는 laser(He-Ne과 Co_2)를 이용하여 Superheterodyne detection에관한 연구를 하였고 학위 후 Control data Conductor memory를 이용한 Computer 개발에 종사하였음.

1976年 Honeywell Inc.의 Solid State Electronic center(SSEC)로 전근하여, 이곳에서 여러 project (logic family, camera자동촛점 조절기, linear, CMOS, Hall effect device등)을 맡고 있음.

1979年 現在 Bipolar and sensor process Group의 manager Minnesota 大學에서 半導體를 가르치고 있으며 이분야에 여러 article과 특허를 가지고 있음.