

Bipolar Logic - 현재와 미래

김 원 찬**

Institute für Theoretische Elektrotechnik
Technische Hochschule Aachen, Germany

1. 서 론

현재의 집적회로 기술은 집적도나 속도성능 면에서 다양한 bipolar logic 을 제공한다. 집적도가 MOS 소자에 비교될 만한 새로운 bipolar LSI 가 나오는 한편 종래의 고속도 logic family 들은 그 속도특성이 더욱 좋아지고 있으며, 연산소자나 bit slice 의 경우와 같이 집적도와 속도특성이 둘 다 좋은 logic 을 향해서 발달되고 있다. 특히, computer mainframe, real time signal processing, digital communication system 등에서는 각 gate 의 speed 를 유지하면서 chip 과 chip 사이의 접속선에서의 지연 시간을 감소시키기 위해, very large scale integration (VLSI) 과 very high speed integrated circuit (VHSI) 가 동시에 요구되고 있다.

IC 사용자나 설계자에게 중요한 집적 논리회로에서 요구되는 특성은 다음과 같다.

1. 고 집적도 및 높은 기능밀도 (functional density)
2. 낮은 전력소모
3. 고속도
4. logic 의 다양성 및 높은 wirability
5. 광역의 동작온도범위 및 좋은 잡음면역특성
6. 높은 수율 및 저렴한 제작비용

본 논문에서는, 처음 두 section에서 TTL, I²L 및 개량된 여러 형태를 취급하고, ECL 의 중요성이 커짐을 고려하여 비포화 logic family 를 다루고자 한다. 또한, 기능소자를 이용한 몇 가지 새로운 logic 의 변형에 대하여 언급하고, 마지막 section에서는 VLSI / VHSI 와 연관 지어 bipolar logic 의 미래에 관하여 서술하고자 한다.

2. Transistor-Transistor Logic

1964 년, Texas Instruments 에 의해 처음 소개된 이래 TTL 은 가장 널리 사용된 bipolar logic 이다. TTL 이 널리 사용된 주 이유는 적당한 전력 level 에서 대체로 빠른 속도특성을 갖고 있고 또 큰 출력능력을 갖고 있는 점이다. TTL 의 예는 54/74 series 와 54/74 series 의 Schottky 형태를 들 수 있다. 또, computer 에서도 고속도 mainframe 과 외부회로의 interface 로 중요한 역할을 하고 있다. 이러한 이유로 현재 생산되고 있는 대부분의 LSI chip 들은 (MOS 에서 ECL 까지) TTL 회로와 전압 level 이 compatible 하도록 제작된다.

TTL 은 discrete 로부터 발달된 집적 논리회로의 전형적인 예이고 동시에 집적회로의 장점 및 제약을 잘 나타내 주므로, 그 발달 과정을 소개하기로 한다.

집적회로의 설계에 있어 가장 많이 고려해야 할 점은 active 회로 소자 면적의 거의 2 배를 차지하는 isolation 에 의한 chip 면적의 낭비를 없애는 일이다.

* 번역 : 한국과학원 전기 및 전자공학과, 한철희

먼저, DTL 회로를 보자.

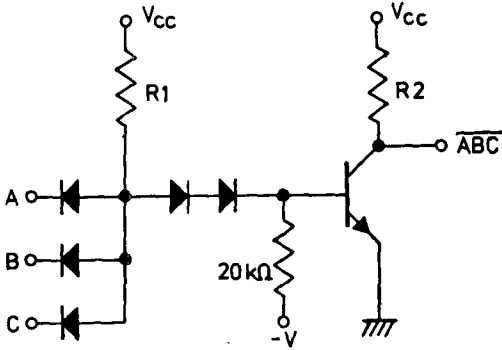
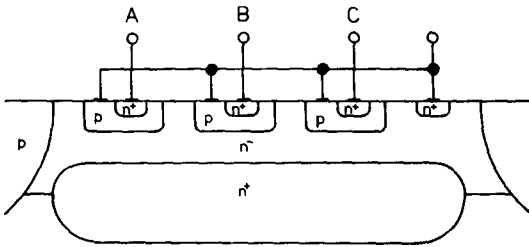
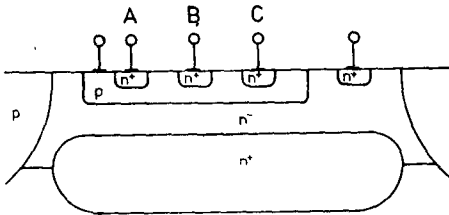


그림 1. DTL 의 회로도

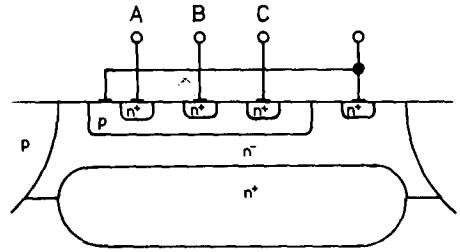
그림 1 은 큰 fan-out 과 좋은 잠음면역 특성을 갖는 DTL gate 를 나타낸다. 이 gate 의 discrete 형태에서의 단점은 낮은 생산수율이다. 그 이유는 설계에 있어서 소자 값의 허용된 변동량이 작기 때문이다. 그림 2(a)는 집적 형태의 3개의 입력 diode 의 단면도를 나타낸다. 속도특성을 좋게 하기 위하여 입력 diode로는 base 와 collector 를 단락시킨 npp transistor 를 사용한다. 그림 2(b)에서와 같이 emitter 는 공통 base



(a)



(b)



(c)

그림 2. DTL IC 에서의 입력 diode 구조를 가질 수 있고 또한 그림 2(c)에서와 같이 공통 base-collector 접합은 offset diode 중의 하나를 대체할 수 있으므로, DTL gate 는 다른 offset diode 를 제거시킨 그림 3에 보인 형태로 간략화된다. 입력 diode 와 offset diode 는 이미

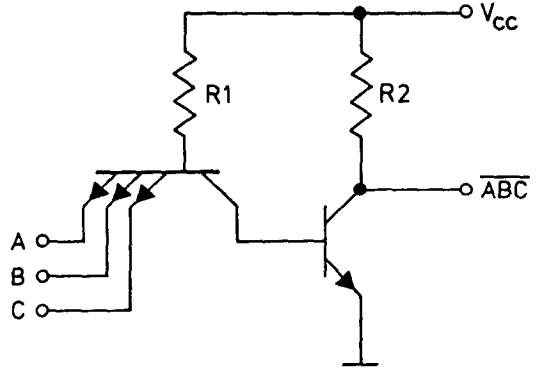


그림 3. DTL 을 TTL 로 변화시킨 모양

multi-emitter transistor 의 형태를 하고 있으므로, 그것들은 이미 서로 독립적인 상태로 존재하지 않는다. 출력 transistor 가 turn off 될 때에 입력 transistor 의 역방향 transistor 동작이 있기 때문에 DTL gate 의 pull down 저항은 불필요해진다.

이 transistor 구성 형태는 transistor base 에서의 과잉 반송자에 대해 독특한 장점을 갖고 있다. 즉, pn 접합 중의 하나는 gate 의 logic 상태에 관계없이 순방향 bias 로 남아 있으므로, base 에서의 소수 반송자를 없앨 필요가 없다

는 점이다. DTL 에서 TTL 로의 변환은 결국 속도 성능의 개선을 가져왔고, 본질적으로 gate 의 크기를 감소시켰다. 그러나, offset diode 의 생략으로 noise margin 이 감소하게 되었다.

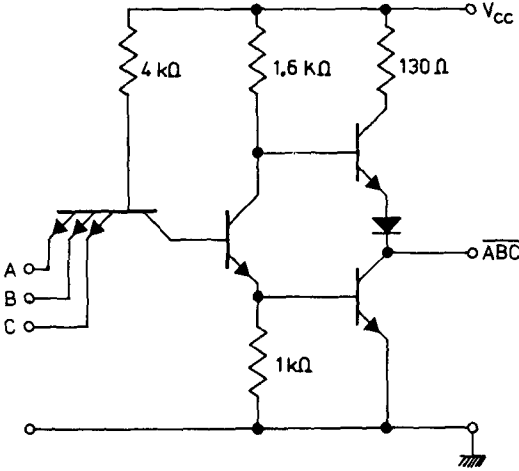


그림 4. 표준 TTL gate

Texas Instruments 에 의해 나온 TTL 54/74 NAND gate 를 그림 4 에서 예로 보았다. 이 예에서는 빠른 속도 특성과 많은 구동능력을 얻기 위해, 중간단에 phase splitter 를 사용하였고 출력으로 totem - pole 을 이용했다. 이 표준 TTL 의 속도 특성이나 전력소모 성능을 향상시키기 위하여 여러가지 변형이 고안되었다. 가장 효과적인 변형은 transistor 가 파괴되는 것을 막기 위해 transistor 의 base - collector 접합을 clamp 하는 Schottky diode 의 사용이다.

표 1.

TTL Type	speed	power	pro - duct
low power	33 nsec	1 mw	33 pJ
low power Schottky	10 nsec	2 mw	20 pJ
standard	10 nsec	10 mw	100 pJ
high speed	6 nsec	23 mw	138 pJ
Schottky	3 nsec	19 mw	57 pJ

최근에 몇몇 회사는 정교한 Schottky process 와 implantation 만을 사용하여 제작된 transistor 를 이용하여 진보된 TTL family 를 내놓고 있다. 그 예로는 Texas Instruments 의 54/74 와 ALS family, Fairchild 의 Isoplanar 기술과 current - mirrored 출력을 이용한 FAST series 그리고 National 에서 나온 LS² chip 등이 있다. 모든 Schottky 소자는 20 mW/gate 에서 1.5 ns 내지 2 ns 의 범위에서 동작하고, 저전력 Schottky 소자는 1 mW/gate 에서 5 ns 로 동작한다.

TTL 은 오랫동안 널리 사용되었으며, 따라서 여러가지 다른 종류의 TTL - IC 들이 폭 넓게 이용되고 있다. 대부분의 SSI 와 MSI 소자가 TTL, S/TTL 그리고 LS/TTL 의 세 family 로 제작되는 반면 대부분의 LSI 소자는 LS / TTL 만으로 제작된다. microprocessor 의 제작에는 LS/TTL 이 가장 널리 사용되는 bipolar 제작 기술이다. 그러나 MOS 와는 반대로, TTL 의 전력소모는 one - chip microcomputer 를 실현하기에는 너무 크다. 그러므로, TTL 을 이용한 μ - computer 는 보통 bit - slice 의 형태로 사용된다. 이 경우 microcomputer 를 만들기 위해서는 receiver, buffer, driver 등, 10 개 내지 20 개의 LSI 소자가 추가로 필요하다. 전형적인 예로는, AMD 의 AM 2901 과 2903, Intel 3002, Fairchild 의 Macrologic, TI 의 74S 481 그리고 monolithic memory 6701 을 들 수 있다. 물론, signetics 에서 나온 8 T 97 tri - state buffer 와 8 T 28 bus - receiver 도 예로 들 수 있다.

3. Current - Injection Logic Family

TTL 은 장점을 가진 반면, LSI 응용에는 많은 제한을 받고 있다. 기본적으로 TTL 은 discrete 회로를 monolithic 형태로 직접 옮긴 것이므로, 각 transistor 는 서로 isolate 되어야

하고, 접속은 chip의 표면에서 외부선에 의해 이루어지며, substrate는 단지 pc기판처럼 기판 용으로 밖에 쓰이지 않는다. 또, 앞에서 언급한 것과 같이 대부분의 chip 면적이 isolation 확산에 의해 소비된다. 더우기 저항은 보통 transistor보다 더 많은 면적을 차지한다.

종래의 bipolar 논리회로와 관련된 문제를 다시 고려함으로써 새로운 집적회로 세대가 발달

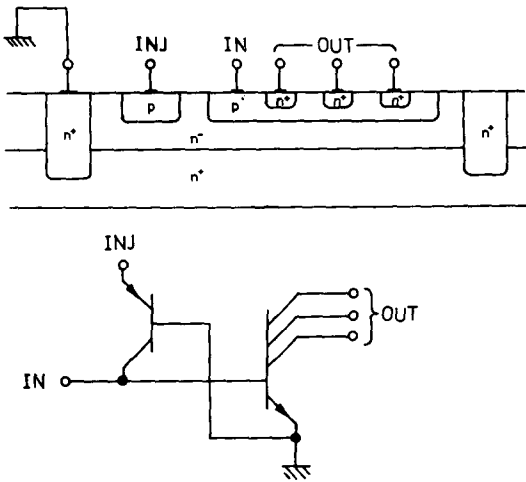


그림 5. I²L gate의 회로도 및 단면도

되어 왔다. merged transistor logic (MTL)^[1]이나 integrated injection logic (I²L)^[2]으로 나타난 새 논리회로의 gate는 switching 소자와 부하 소자로 transistor만을 사용한다. 저항 및 isolation 확산이 없으므로 I²L은 n-MOS 회로의 특성과 비교할 만한 고 집적도 및 저전력 소모 특성을 갖게 되었다.

I²L gate는 그림 5에 보인 바와 같이 한 개의 multi-collector transistor와 한 개의 pnp-transistor가 집적된 상태로 구성되어 있다. 실제 장점은 npn transistor를 역방향으로 동작시키는 데 있다. emitter가 injector로 되어 있는 lateral pnp 전류원에 의해 npn inverter의 base 전류가 공급된다. n+ 영역은 모든 회로에 공통이므로 소자들의 isolation이 필요하지 않다. 부가해서, injector의 전류를 조정하여 gate의 전력을 수 decade의 범위에서 조정할 수 있다. I²L gate 출력의 접속은 그림 6에서 보는 바와 같이 NAND 논리로 된다.

기능이 집적된 논리회로의 또 다른 예로는 current hogging logic (CHL)^[3]을 들 수 있다. CHL gate는 그림 7에서와 같이 중간 col-

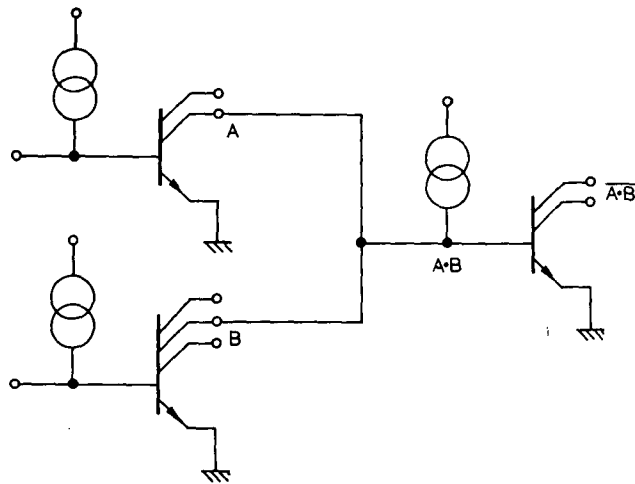


그림 6. I²L gate의 연결 방법

lector를 갖는 lateral pnp transistor로 되어 있다. 전류 흐름에 따라 논리 상태를 정의할 때 이 gate는 NAND로 동작하게 된다. CHL의 단점은 다른 gate를 구동하기 위해 isolate된 npn transistor를 필요로 하는 점이다. 그러나, processing 기술에 따라 역방향 npn transistor의 gain이 충분히 클 때, I^2L 과 CHL이 결합될

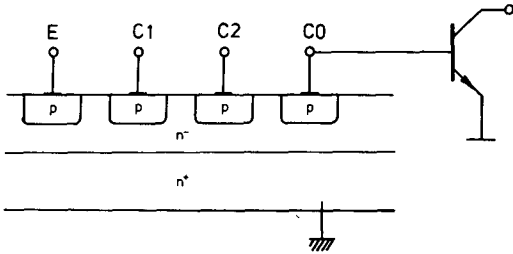


그림 7. CHL gate의 단면도

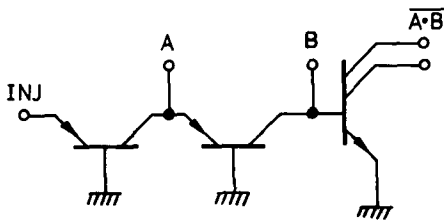
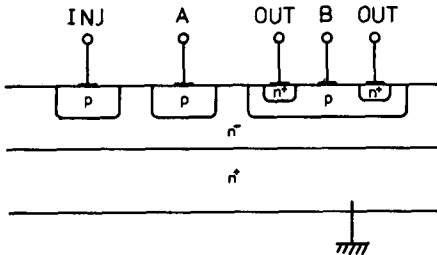
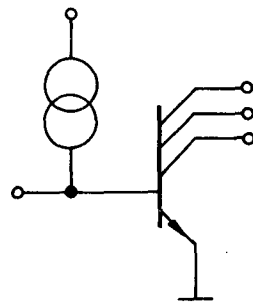


그림 8. CHIL gate의 회로도 및 단면도

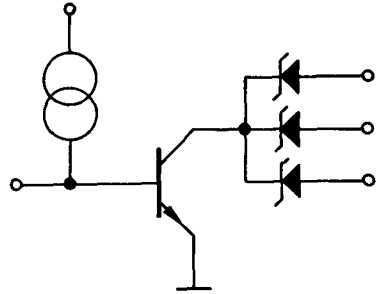
수 있다. 그러한 gate가 current hogging injection logic (CHIL)^[4]으로 이것은 그림 8에서 보는 바와 같이 injector와 inverter 사이에 control collector를 갖는 I^2L gate의 확장된 형태이다.

4. I^2L 의 변형

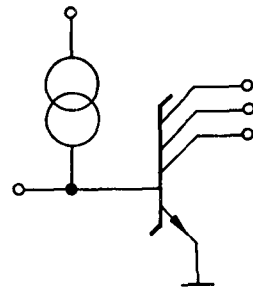
I^2L 회로는 standard buried collector (SBC) process에 의해 제작될 수 있으므로, 설계자로 하여금 같은 chip에 I^2L 과 다른 bipolar 회로를 결합시킬 수 있게 한다. 그러나, 그것이 전혀 문제가 없는 것이 아니다. npn transistor는



(a)



(b)



(c)

그림 9. I^2L 의 3가지 변형에 대한 회로도

낮은 상방향 전류이득을 갖게 되고 epitaxial layer 때문에 과잉 반송자의 저장에 증가된다. CHIL에서는 pnp 구조의 확장으로 그 문제가 더욱 심각하다.

SBC process에 의해 제작된 I²L gate는 epi 두께에 따라 gate delay time이 50ns에서 100ns 정도가 되는데, 이것은 Schottky TTL의 3ns에 비해 훨씬 뒤떨어지는 특성이다.

다음으로, I²L의 여러 변형된 형태를 논의한다. 미묘한 기술적 trade-off를 고려하지 않고 gate parameter를 직접 비교하는 것은 잘못 이해될 여지가 있으므로, 여기서는 정성적인 비교만 하기로 한다. 그림 9는 변형된 형태의 회로도이다.

그림 9 (a)는 gate를 표준 형태로 유지하는 process 변형이고, (b)와 (c)는 Schottky contact을 사용한 형태이다.

초기 I²L의 변형 형태는 대부분 첫번째

특과 injector 성능을 개선하기 위하여, 부가된 확산과정이나 ion-implantation을 이용한 analog와 compatible한 제작기술이 사용되었다. 그렇게 해서 제작된 I²L gate 지연은 대략 10ns이고 속도전력積은 0.1pJ 내지 0.2pJ이 된다. 그림 10은 I²L gate의 단면을 나타내는데 이것은 얇은 epi층, local 산화, ion-implantation 그리고 다층 metallization을 결합한 것이다.

두번째 group (그림 9 (b))에서는 하나의 collector에서 다접점을 얻기 위해 Schottky 접점이 이용된다. 그 예로는 Schottky transistor logic [8], Schottky I²L [9], 그리고 up-diffused I²L [10] 등을 들 수 있다.

그림 11은 up-diffused I²L gate의 단면도이다. Schottky 접점은 inverter의 n-collector 위에 만들어진다. 첫번째 group에 대한 두번째 group의 장점은 gate가 차지하는 면적이 작고 전류이득이 큰 점이다. 이 gate의 delay

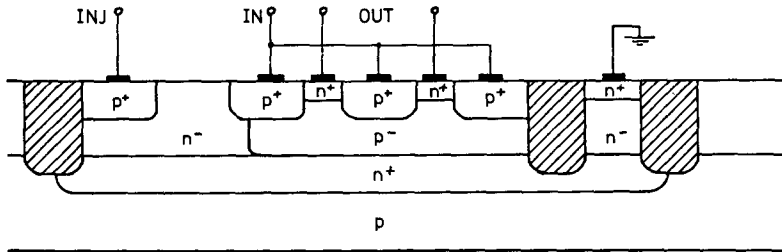


그림 10. I³L gate의 단면도

group (그림 9(a))에 속하는 것으로, vertical injection logic [5], S²L [6], Isoplanar I²L, I³L [7] 등을 예로 들 수 있다. 상방향 전류이

time은 5ns 내지 10ns이고 속도전력積은 대략 0.2pJ이다. 세번째 group(그림 9 (c))은 I²L gate의 더 간단한 형태를 보여준다.

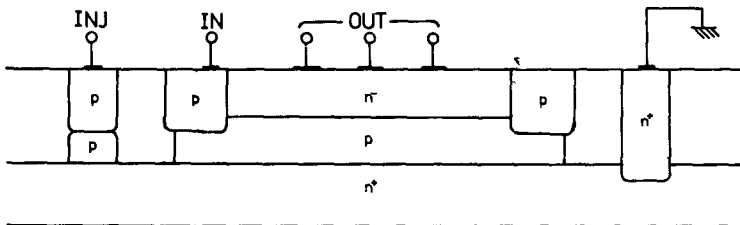


그림 11. Up-diffused I²L의 단면도

Berger와 Wiedmann [8] 에 의해 제안된 이 gate 는 base-collector 접합이 Schottky collector에 의해 대체된 inverter transistor를 사용한다. 이 점은, 두번째 group 이 출력을 서로 decouple 시키는 데만 Schottky 접점을 사용하고 따라서 base-collector junction이 또 필요하게 된 점과 비교하면 대조적이다. n-type 표면에는 쉽게 Schottky 접점이 이루어지므로, 그림 12에 보인 바와 같이 실제 실현하는 것은 pnm transistor를 사용한다. 그 예로는 Schottky-collector I²L [11] 과 multi-input multi-output I²L ((MI)²L) [12] 을 들 수 있다. 전

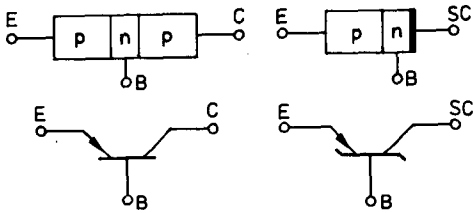


그림 12. pnm transistor

자가 P⁺ substrate, P⁻epi 와 Schottky를 위한 n⁻ implantation 으로 구성된 I²L에 편향된 process인 반면, 후자는 그림 13에 보인 바와 같이 변형된 SBC process를 사용한 것이다.

(MI)²L에서는 digital 소자, 즉 lateral pnp transistor 와 vertical pnm transistor는 P-type 상방향 확산 위에, analog transistor와는 별도로 제작된다. 또, lateral npn transistor의 base를 만들기 위해 ion-implantation을 사용한다. (MI)²L은 CHIL과 같은 방법으로 injection coupled input을 사용한다. 그 예가 대응되는 논리 기호로 그림 14에 나타나 있다. 여기서는 전류가 논리 변수를 정의한다.

잘 정립된 TTL이나 ECL과 비교해서 I²L은 아직도 새로운 논리회로 제작 기술이다. I²L이

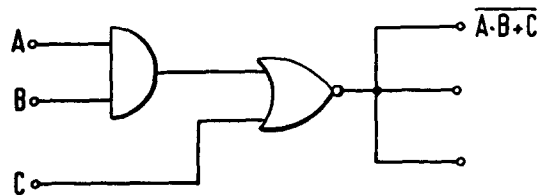
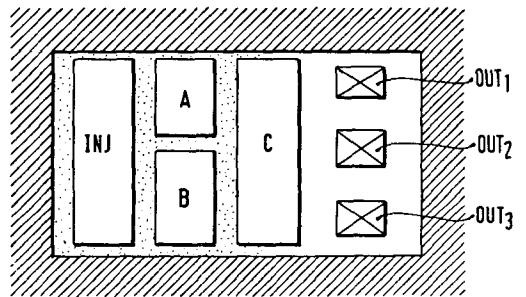


그림 14. (MI)²L gate의 논리 기호

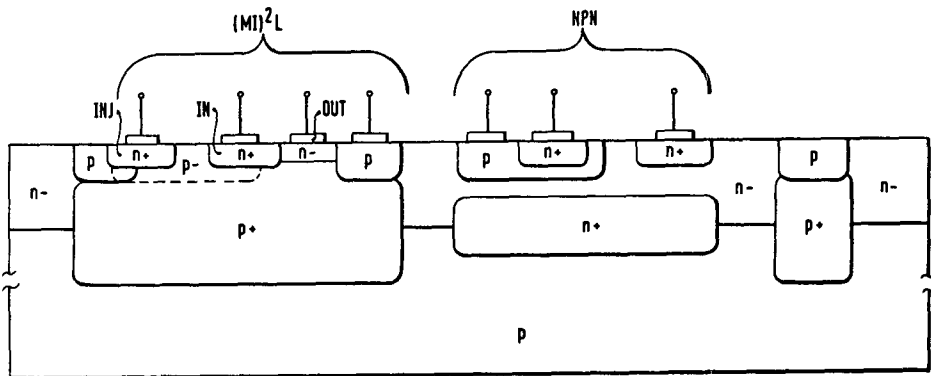


그림 13. (MI)²L gate의 단면도

아직 광범위하게 응용되지 못하는 중요한 이유는, 고 집적도와 저전력소모의 장점에도 불구하고, 속도특성이 느린 점이다. I²L의 가장 일반적인 응용은 MOS 소자에 의해 잠막되어 온 memory 영역이다. Fairchild의 dynamic 16K RAM (93483) 외에도 Fairchild는 9440 micro-processor와 9400 series의 주변 chip을 만드는 데 I²L 제작기술에 의한 SBP 0400 micro-computer를 내놓고 있다.

5. Emitter - Coupled Logic

Emitter-coupled logic은 비포화 논리 family에 속한다. 이 논리회로는 MECL I로 Motorola에 의해 1962년에 처음 소개되었다.

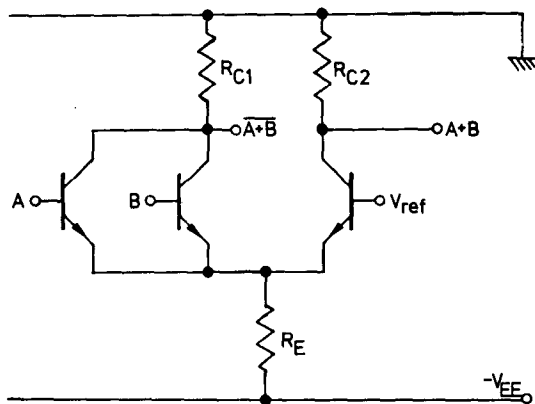


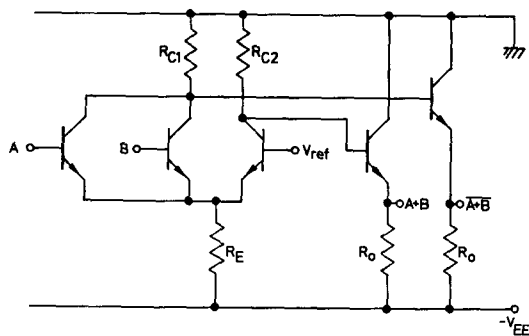
그림 15. 입력에 차동 증폭단을 사용한 ECL gate

그림 15에 보인 바와 같이 gate는 analog 차동 증폭기처럼 동작한다. ECL은 gate가 analog 증폭기처럼 동작하고 transistor가 항상 active 영역에 있기 때문에 bipolar 제작기술중 가장 빠른 속도특성을 갖고 있다. 따라서 과잉 반송자 저장과 같은 과포화나 작은 전류이득과 관련된 문제는 ECL에서는 없다. 실제 ECL gate는 transistor의 포화를 완전히 없애고 fan-out 능력을 크게 하기 위하여 level shifter로

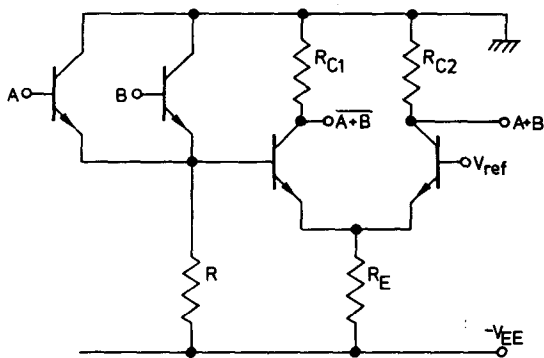
emitter-follower를 사용한다. 그림 16은 두 종류의 ECL gate를 나타낸다.

첫번째가 입력 전류 switch와 출력 emitter follower를 사용하는 반면, 두번째는 입력 emitter follower와 출력 전류 switch를 사용한다. 두번째 것은 보통 emitter-emitter coupled logic (EECL)이라 불린다.

복잡한 standard buried collector process의



(a) ECL



(b) EECL

그림 16. ECL gate의 두 가지 회로도

장점을 갖고 있다. 회로의 전압이득이 차동단에서의 transistor의 전류이득과는 거의 독립적이므로 process 허용범위가 더 넓어진다. 더우기 ECL은 복잡한 논리회로를 설계하는 데에 중요한 다음과 같은 다양성을 갖고 있다.

1. 각각의 gate는 complementary 출력을 제공한다. 그러므로, 다른 logic family에 공통인 별도의 inverting gate가 필요하지 않다.
2. 각 gate의 switching transistor의 collector나 emitter follower의 출력을 서로 연결함으로써 implied-AND 혹은 implied-OR 기능을 각각 얻을 수 있다. 이것은 gate당 더 많은 기능을 가능하게 한다.
3. Stack 형태로 transistor tree를 형성할 수 있는 것은 합산기나 직결 flip-flop과 같은 복잡한 기능을 얻을 수 있게 한다.
4. Emitter follower의 사용으로 출력 능력은 다른 logic 보다 좋아진다. fan-out은 속도 특성을 나쁘게 하는 capacitive 부하에 의해서만 제한된다.

그러나, ECL은 몇 가지 심각한 단점이 있다. 전력소모가 저전력 Schottky TTL의 대략 10배 정도이고 gate당 transistor나 저항의 수가 많아 gate의 크기가 다른 logic보다 더 크다. 또 다른 문제점은 ECL이 보통 많이 쓰이는 TTL이나 MOS 소자와는 다른 전압 level에서 동작하고 또 다른 power supply를 요구하는 점이다.

ECL의 전력소모를 감소시키고 집적도를 높이기 위해 여러가지 변형된 형태가 나오게 되었다. 그러나, 대부분의 변형된 형태는 속도특성이 나빠져 Schottky TTL에 대한 장점을 잃어버렸다.

현재 ECL 소자는 Schottky TTL만큼 넓게 이용 가능하지도 않고 다양한 소자도 갖고 있지 못하다. 전형적인 ECL gate는 25 mW에서 2 ns로 동작한다. 반면, 진보된 제작기술로 제작된 ECL gate는 sub-nanosecond의 속도특성을 갖고 있다. ECL의 응용은, 빠른 속도가 필수적인 mainframe computer IBM 370/168, Am-

dahl 470 그리고 DEC system 10 등을 들 수 있다. 물론, 시장에는 Motorola에서 나온 4-bit processor MC 10800과 그와 연관된 bit-slice와 같이 ECL로 된 몇 개의 LSI chip의 group이 있다. cycle 시간이 55 nsec로, 대응되는 n-MOS에 훨씬 좋은 특성을 갖고 있다.

ECL을 사용한 LSI chip의 제한은 gate 수에 의한 것이 아니고 gate의 전력소모에 의해 주어지므로, ECL은 uncommitted logic arrays (ULA)와 같이 특수한 분야에 응용되고 있다. ULA에서는 한개의 chip 안에 기본 cell이나 gate를 일정한 모양으로 정돈하므로써 사용자가 요구하는 논리기능을 고도로 집적화 한다. ULA를 사용하면 ECL의 빠른 속도와 함께 부품수가 감소하고 신뢰성이 향상되는 점도 system 설계자에게 큰 이익이 된다. gate array의 주요 공급처는 Fairchild (F100K family), Motorola, Plessey, 그리고 Siemens 등이 있고, 대부분의 gate array는 chip당 약 100 내지 400개의 논리회로를 포함하고 있다.

6. 서로 다른 logic 개념의 결합

위에 언급한 family 외에 많은 다른 bipolar 논리회로가 있다. 그 중에는 non-inverting gate로 된, ECL의 변형된 형태인, emitter function logic (EFL)^[14]과 DCTL에 Schottky clamped transistor를 가하고 TTL에서와 같이 multi-emitter inverter를 이용한 direct coupled transistor transistor logic (DCT²L)^[15]이 있다. 이들과 그 밖의 logic family의 대부분은 전력소모가 많기 때문에 LSI 응용에는 부적당하다. 그러므로, 이 section에서는 세 가지의 저전력 logic에 대해 언급하기로 한다. 이러한 logic들의 공통된 특징은 I²L과 같이 merged transistor를 사용한다는 점이다. 예로는 PRL, ISL 그리고 ECIL 등이 있다.

그림 17에 보인 바와 같이, pull down resistor logic (PRL) [16]은 Schottky clamp npn transistor에 병합된 multi-emitter npn transistor를 이용한다. npn transistor는 정상 mode로 동작하고 입력을 제공한다. 비록 집적도와 속도특성이 I^2L 보다는 조금 떨어지지만 PRL은 analog 소자와의 양립성이나 혹은 회로 설계에 있어서의 다양성 면에서 I^2L 보다 나은 특

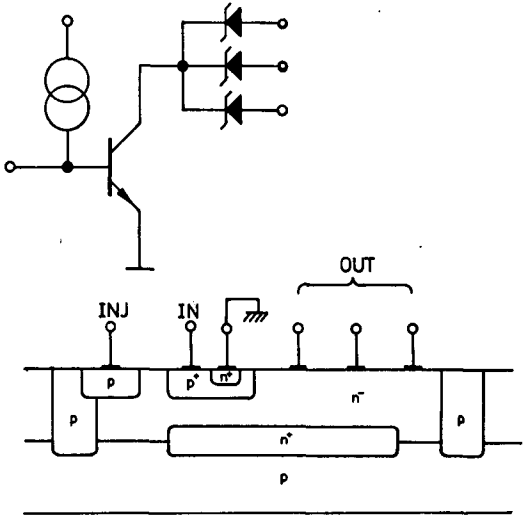


그림 18. ISL gate의 회로도 와 단면도

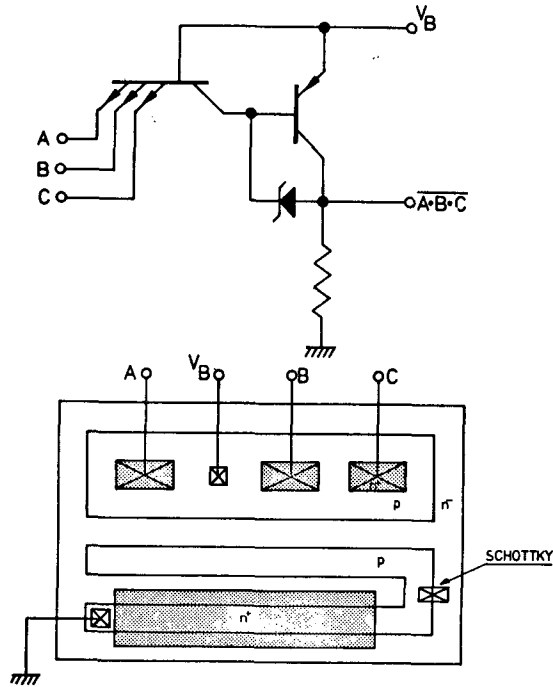


그림 17. PRL gate의 회로도 와 layout

성을 갖고 있다.

Integrated Schottky logic (ISL) [17]은 기본적으로 I^2L 의 뒤바뀐 형태이다. 그림 18에서와 같이 npn transistor는 정상 하방향으로 동작한다. 다출력은 collector 위의 Schottky 접점에 의해 제공된다. 이 logic은 I^2L 보다 속도특성이 좋다 gate delay time이 3ns내지 5ns로 저전력 Schottky TTL과 비교할 만하다. 그러나 isolation 확산에 의해 집적도가 줄어든

점이 큰 단점이 된다.

Emitter coupled injection logic (ECIL) [18]은 새로 나온 비포화 logic이다. 그림 19는 ECIL gate의 회로와 단면을 나타낸다. 이 gate는 lateral npn 전류원의 collector로 동작하는 buried emitter 위에 pnp transistor를 구성하여 만든다. injector선과 평행으로 놓여진 pnp transistor로 이 gate는 I^2L 과 같이 quasi-self isolating이 된다. 비록 I^2L 보다는 각 gate의 크기가 크지만, 다입력, complementary 출력, 그리고 wired-AND 또는 OR 기능 등의 특성이 있기 때문에 I^2L 과 비교할 만한 집적도를 보인다. 또 다른 장점은 이 logic이 I^2L 과 같은 level에서 동작한다는 점이다. 더우기 제작 기술이 SBC 소자와 양립할 수 있다. 필요한 process 변형이라고는 중간 p-type buried layer를 만들기 위한 2 단계 epitaxy 뿐이다. $10\mu m$ 설제로 제작된 gate의 delay time은 200mW/gate에서 4ns이다.

7. 미래의 경향

현재 사용되는 bipolar logic은 세 group의

로 나눌 수 있다. I²L과 같이 고집적도이나 속도가 느린 것, TTL과 같이 속도가 대체로 빠른 것, 그리고 ECL을 포함한 집적도가 작으면서 빠른 속도를 갖는 것으로 나눌 수 있다.

표 2에 그러한 logic들의 특성을 요약하였다.

를 찾을 수 있을 것이다. 별도의 Schottky process를 하지 않으면 ECL 회로의 제작은 S/TTL보다는 간단하다. 더우기 ECL의 주 단점인 다른 logic family와의 비양립성은, 한 chip 내의 기능의 집적도가 높고 ECL과 TTL 주변

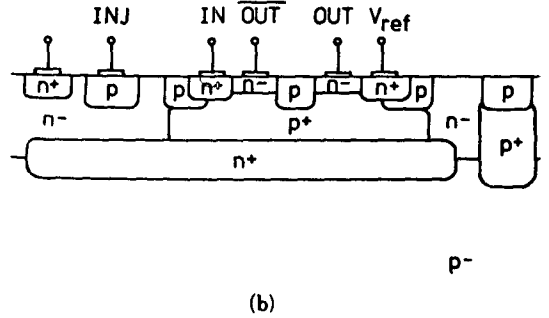
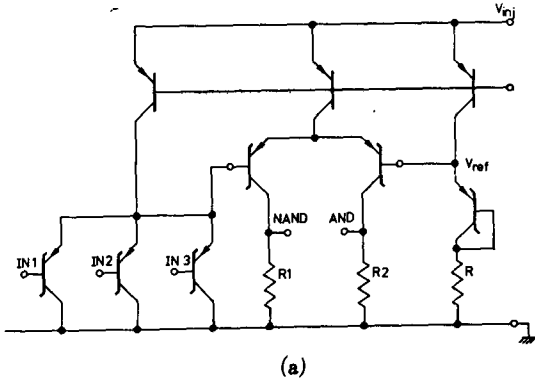


그림 19. ECL gate의 회로도(a)와 단면도(b)

표 2.

rel. gate size	delay /gate	power / gate	speed - power product	
I ² L	1	20-40 nsec	50 u W	1.5 pJ
LS/TTL	5-6	5-10 nsec	2 mW	15 pJ
S/TTL	4-5	2-3 nsec	20 mW	55 pJ
ECL	8-10	1-2 nsec	30 mW	45 pJ

앞으로는 I²L이 LSI 응용에서 LS/TTL을 대체해 갈 것이다. 앞으로 processing 기술이 진보함에 따라 I²L의 delay time이 10ns 이하로 될 것이고 집적도가 더욱 더 증가할 것이다.

결과적으로, 저전력 Schottky TTL은 허용할 수 없을 정도로 전력소모가 큰 이유로 시장을 잃게 될 것이다. ECL에 대한 Schottky TTL도 같은 경우가 될 것이다. Ion-implantation을 이용하여 작은 면적에 높은 저항을 제작할 수 있게 되고 ECL gate의 회로 크기가 줄어들 것이다. ECL의 전력 소모와 gate 크기가 S/TTL과 비교할 만 하게 되면 S/TTL보다 빠른 원래의 속도특성으로 ECL은 더 많은 응용 범위

회로를 interface 하는 ECL 내의 내부 회로로 그 영향이 줄어들 것이다.

그러나, MOS 소자와는 달리 VLSI 회로에 대해 많은 진보가 이루어져야 한다. 고집적도를 위한 가장 직접적인 방법은 진보된 제작기술에 의한 scaling down이다. 이러한 제작기술로는 electron beam 또는 X-ray lithography, plasma processing 그리고 완전히 Ion-implantation을 사용하는 것 등이 있다.

Isolation 면적을 줄이기 위해, 접합 isolation 방법은, 유전체를 이용하여 부분 또는 전체를 isolate 하는 방법으로 대체될 것이다. 지금까지 다소 소홀히 취급한 metallization process는 더 많은 관심의 대상이 될 것이고 다층 metallization은 필수 불가결한 기술이 될 것이다.

보통의 LOCOS나 Isoplanar process는 수직 silicon etching이나, refilled oxide groove isolation (ROGI) process [19]에서 보인 바와 같이 isolation groove를 두번째 층의 접속면으로 채우는 등 좀더 진보된 제작기술로 대체 될

것이다. 그림 20은 ROGI process에 의해 제작된 npn transistor를 나타낸다.

한 chip의 기능을 최대로 하기 위해서는 scaling-down 만으로는 불충분하다. 새로운 소자나 회로의 혁신적인 개념이 나와야 한다. 이것은 emitter isolated structure^[20]나 self-isolating 소자에서 처럼 현재의 SBC process를 전부 포기하는 것을 의미할 수도 있다.

VHSI가 되기 위해서는 logic이 비포화 mode로 동작해야 할 것이다. 마지막 장에서 논의한 ECIL이나 다른 변형된 형태는 VLS/VHS 집적 회로를 향해 한 발자국 발전된 것이라 할 수 있다

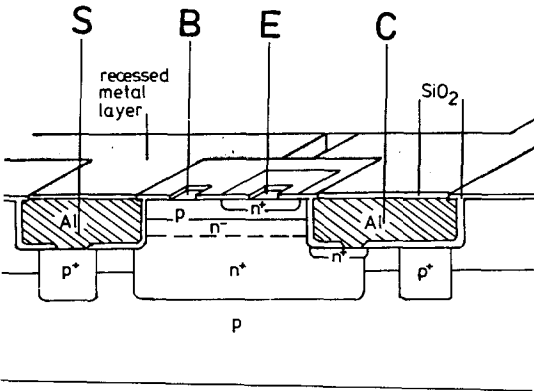


그림 20. ROGI transistor의 모양

參 考 文 獻

1. H. H. Berger and S. K. Wiedmann, "Merged transistor logic (MTL) - A low cost bipolar logic concept," IEEE J. Solid - State Circuits, Vol. SC-7, pp. 340 - 346, Oct. 1972.
2. K. Hart and A. Slob, "Integrated injection logic : A new approach to LSI," IEEE J. Solid - State Circuits, Vol. SC-7, pp. 347 - 351, Oct. 1972.
3. H. Lehning, "Current hogging logic (C-

- HL) - A new bipolar logic for LSI," IEEE J. Solid - State Circuits, Vol. SC - 9, pp. 228 - 233, Oct. 1974.
4. R. Müller, "Current hogging injection logic," IEEE J. Solid - State Circuits, Vol. SC - 10, pp. 348 - 352, Oct. 1975.
5. T. Nakano, Y. Horiba, A. Yasuaka, O. Tomisawa, K. Murakami, and S. Kato, "Vertical injection logic," IEEE Int. Electron Devices Meeting, Tech. Dig., pp. 555 - 558, Dec. 1975.
6. Yukuja Tokumaru, Satoshi Shinozaki, Masanori Nakai, Shintaro Ito and Yoshi Niishi, "I²L with self - aligned double-diffusion injector," IEEE Int. Solid State Circuits Conf., Tech. Dig., pp. 100 - 102, Feb. 1976.
7. F. Henning, H. K. Hingarh, D. O'Brien and P. W. J. Verhofstadt, "Isoplanar integrated injection logic : A high performance bipolar technology," IEEE J. Solid - state Circuits, Vol. SC - 12, pp. 101 - 109, Apr. 1977.
8. H. H. Berger and S. K. Wiedmann, "Schottky transistor logic, IEEE Int. Solid - state Circuits Conf., Dig. Tech. papers, Feb. 1975, pp. 172 - 173.
9. F. W. Hewlett, Jr., "Schottky I²L," IEEE J. Solid - state Circuits, Vol. SC - 10, pp. 343 - 348, Oct. 1975.
10. Denis J. Mcgreivy and Bruce B. Roesner, "Up - diffused I²L, a high speed bipolar LSI process," Int. Electron Devices Meeting, Tech. Dig., Dec. 1976, pp. 308 - 311.
11. S. C. Blackstone, R. P. Mertens, "Schot -

- tky collector $I^2 L$, IEEE J. Solid - state Circuits, Vol. SC -12, pp. 270 - 275, June 1977.
12. W. Kim, P. K. Seegebrecht, and W. L. Engl, " $(MI)^2 L$: Multiinput - Multioutput Integrated injection Logic", IEEE J. Solid - State Circuits, Vol. SC -14, Oct. 1979.
13. S. K. Wiedmann, K. Heuber, W. Klein, "A 16k bit static MTL / $I^2 L$ memory chip," IEEE Int. Solid-state Circuits conference, Dig. Tech. papers, Feb. 1980.
14. Z. E. Skokan, "Emitter function logic - logic family for LSI", IEEE J. Solid -state Circuits, Vol. SC -8, pp. 356 - 361, Oct. 1973.
15. D. E. Fulkerson, "Direct -coupled transistor -transistor logic : A new high performance LSI gate family," IEEE J. Solid - State Circuits, Vol. SC -10, pp. 110 - 117, April 1975.
16. P. Rieger, " Pulldown-resistor -logic PRL- Ein neues Logikelement für Standard - Hochvoltprozesse," NTG - Fachberichte, Band 68, pp. 90 - 93, April 1979.
17. J. Lohstroh, "ISL, a fast and dense low - power logic, made in a standard Schottky process," IEEE J. Solid -state Circuits, Vol. SC -14, pp. 585 - 590, June 1979.
18. W. Kim, W. L. Engl, "Emitter -coupled injection logic," IEEE Int. Solid-state Circuits Conf. Dig. Tech. papers, Fed. 1980.
19. W. Kim, W. L. Engl, "Refilled oxide groove isolation technique - a combined isolation and metalization process," IEEE Int. Electron Devices Meeting tech. Dig., Dec. 1978, Late News.
20. P. K. Seegebrecht, W. Kim, "A new - structure for VLSI bipolar technology," IEEE Int. Electron Devices Meeting, Tech. Dig. Dec. 1979.

••• 著 者 紹 介 •••

1945年 11月 1日生

1972年 서울대학교 電子工學科 卒業

韓國 Fairchild Semiconductor 에서 Process Engineer.

1976年 독일 Technische Hochschule Aachen 에서 Dipl-Ing 을 취득,

독일 Technische Hochschule Aachen 의 Institute für Theoretische Elektrotechnik에서 Teaching Assistant.

1979年 現在 VLSI 제작 기술과 Digital 집적회로 에 관여하고 있음.