

NMOS 소자의 제작 및 평가 (Fabrication and Evaluation of NMOS Devices)

李 鍾 德 *
(Lee, Jong Duk)

要 約

본 연구에서는 N-채널 실리콘 게이트 제작기술에 의하여 일련의 크기를 가지는 커패시터와 트랜지스터들이 제작되었다. 그 결과 다양한 이온 주입 조건, 즉 B¹¹⁺의 경우 에너지 30 keV ~ 60 keV와 도오스 3 × 10¹¹ ~ 5 × 10¹¹개/cm² 그리고 P³¹⁺의 경우 에너지 100 keV ~ 175 keV 와 4 × 10¹¹ ~ 7 × 11개/cm² 도오스 영역에서 이들에 대한 D.C. 인자들의 측정치들이 이론적인 계산치들과 비교, 분석되어 있다. 이 D.C. 인자들에는 threshold 전압, 공핍층의 폭, 게이트 산화물 두께, 표면상태, 가동 하전입자 밀도, 전자의 이동도 그리고 마지막으로 누설전류가 있는데, 이중 실제 MOS의 제작에 있어서 특히 중요한 threshold 전압에 있어서는, 커브트레이서와 C-V plot 을 통하여 측정된 값들이 실제 계산에서 이용된 SUPREM II 컴퓨터 프로그램에 의한 결과와 훌륭히 접근하고 있다. 그 밖에 여기나온 D.C. 인자들 중에서 도오핑 수준은 기판의 역 게이트 바이어스에서 threshold 전압들로 부터 계산된 것이고, 역전도는 정의된 subthreshold 기울기로 부터 추산된 것임을 밝혀 둔다. 마지막으로 이와같은 D.C. 시험 결과들을 종합적으로 평가해 볼 때 만들어진 커패시터와 트랜지스터들이 N-채널 MOS I.C. 기억소자용으로 적합함을 보여주고 있다.

Abstract

Using N-Ch silicon gate technology, the capacitors and transistors with various dimension were fabricated. Although the applied process was somewhat standard, the conditions of ion implantation for the gate were varied by changing the implant energies from 30keV to 60keV for B¹¹⁺ and from 100 keV to 175 keV for P³¹⁺. The doses of the implant also changed from 3 × 10¹¹ /cm² to 5 × 10¹¹ /cm² for B¹¹⁺ and from 4 × 10¹¹ /cm² to 7 × 10¹¹ /cm² for P³¹⁺. The D.C. parameters such as threshold voltage, substrate doping level, the degree of inversion, capacitance, flat band voltage, depletion layer width, gate oxide thickness, surface states, mobile charge density, electron mobility, leakage current were evaluated and also compared with the corresponding theoretical values and/or good numbers for application. The threshold voltages measured using curve tracer and C-V plot gave good agreements with the values calculated from SUPREM II which has been developed by Stanford University process group. The threshold voltages with back gate bias were used to calculate the change of the substrate doping level. The measured subthreshold slope enabled the prediction of the degree of inversion. The D.C. testing results suggest the realized capacitors and transistors are suited for the memory applications.

* 正會員, 韓國電子技術研究所
(Korea Institute of Electronics Technology)
接受日字: 1979年 7月 20日

1. 序 論

N-Channel silicon gate technology [1,2,3]는 N-Channel device가 bipolar에 가까운 speed는 물론 silicon gate를 사용함으로써 threshold voltage를 낮추어 전력소모를 적게 한다는 잇점을 동시에 가진다는 견지에서 1970년 초반에 1K RAM을 만드는 데 사용된 P-Channel silicon gate technology를 이어 memory와 microprocessor를 만드는 새로운 technology로 꾸준히 발전되어 64K dynamic RAM을 탄생시켰다. 이 NMOS device의 세계적인 수효는 전체 I.C. 수효에 대하여 1974년에 5% 미만이던 것이 1979년에는 35%, 1981년에는 50% 이상을 차지하게 될 전망이다.[4] 역사적으로 볼 때 이 technology는 1974년에 4K RAM을, 1976년에 16K RAM을, 1978년에는 64K RAM[5]을 만들는데 활용되어 70년대 초반과 비교하여 device density를 100 devices/mm²에서 500 devices/mm²로, address access time도 800 ns에서 30 ns까지, cell size 역시 1400 μm²에서 160 μm²로 축소시켰으며 bit당 power 소모와 cost 면에서도 각각 0.2 mW에서 3 μW, 그리고 5¢ 이상에서 0.1¢ 이하로 낮추는데 결정적인 역할을 했다.

N-Channel technology는 poly silicon을 사용하

는 외에 ion implantation의 이점을 최대로 이용한 technology 중의 하나이다. 64K RAM을 만드는 과정에서 필연적으로 electron beam registration이 필요하며 short channel에서 일어나는 second gate effect나 subsurface punch through같은 문제[6]가 있지만 앞으로 submicron channel length를 가지는 NMOS transistor를 이용하여 one-chip-megabit memory를 만들게 될 것이다. One-chip-megabit memory를 만들기 위해서는 x-ray beam registration이 필요하게 될 것이며 poly silicon gate의 사용을 피하지 않으면 poly silicon을 ion 또는 laser annealing[7] 등과같은 처리를 하여 비저항을 낮추고 submicron정도가 가능하게 oxide의 질을 높여야 할 것이다. MOS technology를 이용하면 bipolar process에서 device density를 높이는데 가장 문제가 되는 isolation과정이 생략되므로 mask layout이 간단해지며 mask의 수도 줄어든다. N-Channel을 쓰면 hole의 mobility보다 2~3배 더 큰 electron의 mobility를 이용하므로 P-Channel에 비하여 speed를 개선하여 bipolar에 버금가는 device를 만들 수 있으며, 전력소모를 줄여 delay-power product는 bipolar에 비하여 훨씬 좋게 할 수 있다. power를 줄일 수 있는 직접적인 원인은 silicon gate를 사용하여 threshold voltage를 낮춤으로 가능하게 된다. 참

표 1. 다이내믹 메모리의 비교
Table 1. Comparison of dynamic memories.

	1 K	4 K	16 K	64 K
Power supply, V _{DD} (V)	- 30	+ 20	+ 12	+ 5
Density (bit)	1 K	4 K	16 K	64 K
Access, max (ns)	350	300	150	100 ~ 150
Cycle, min (ns)	420	400	375	200
Power, max (mW)	180	400	462	200
Power/bit, max (μW)	200	100	28	3
Channel length (μm)	10	7	6 ~ 7	2.5 ~ 3
Gate oxide thickness (Å)	1200	1000	900 ~ 1000	400 ~ 500
Junction depth (μm)	2.0	1 ~ 1.2	1 ~ 1.2	0.4 ~ 0.5
Cell size (μm ²)	1400	900	450	170
Storage capacitance, C _S (fF)	-	-	40	50
Bit line capacitance, C _B (fF)	-	-	800	600
C _S /C _B	-	-	0.05	0.08
V _T (V)	- 3.5	1.5	1.5	0.8
Technology	P-Ch single poly	N-Ch single poly	N-Ch double poly	N-Ch double poly
Year of development	1971	1973	1976	1978
Cost/bit (¢/bit)	10	1	0.1	0.07

Note: Data for 16K and 64K are mainly referred from TMS 4116 and TMS 4164[4].
The second generation for 16K will appear in short time.

고로 N-Channel silicon gate technology에 의한 memory device에 대하여 power supply, organization maximum access cycle time, maximum power consumption, refresh period, number of refresh cycle에 관한 parameter 등을 표 1에 실어 두었다. 여기서 16K RAM과 64K RAM에 관한 값들은 주로 TMS 4164^[5]의 것을 인용하였으며 1K^[8]와 4K^[9]는 가능한한 만들어진 당시의 제원을 인용하였으나 현재에는 많이 개선되었다.

본 논문에서는 N-Channel single layer silicon gate technology를 사용한 process를 개발하여 memory를 만드는 기초작업인 capacitor와 transistor 등의 discrete device를 실제로 만들어 주로 DC test를 하여 실제 memory에 쓸 수 있나를 검토하였다. DC test에서 측정된 parameter의 값들은 4K RAM에 보통 많이 쓰여지고 있는 device에서 얻을 수 있는 parameter의 값들과 비교되었다. DC parameter 중에서 threshold voltage (V_T)는 curve tracer와 C-V plotter에 의하여 측정되었으며, 이 값들은 SUPREM^[10]을 이용하여 NMOS transistor simulation에서 얻은 값들과 비교되었다.

2. Device 제조

만들어진 device는 $500\mu\text{m} \times 500\mu\text{m}$ capacitor를 비롯하여 channel length $2\mu\text{m}$ 에서 $100\mu\text{m}$ 까지, channel width $2\mu\text{m}$ 에서 $100\mu\text{m}$ 까지 여러 종류의 MOS transistor, 예를 들면 length \times width가 $2\mu\text{m} \times 50\mu\text{m}$, $10\mu\text{m} \times 2\mu\text{m}$, $5\mu\text{m} \times 100\mu\text{m}$, $6\mu\text{m} \times 7\mu\text{m}$, $100\mu\text{m} \times 100\mu\text{m}$ 등이다. 공정은 아래와 같은 standard N-Channel Si-gate process를 택하였으며 ion implantation 과정에서 ion dose와 energy를 변화시켜 threshold voltage (V_T)의 변화를 관찰하는 것이 가장 중요시 되었다. 사용된 substrate는 P-type 3" silicon wafer로 비저항이 $5.5 \sim 8.2 \Omega\text{cm}$, 두께가 25mil이었으며 공정을 요약하면 다음과 같다.

(1) Stress relief oxide deposition : $300 \sim 500 \text{Å}$ 의 SiO_2 를 1000°C 에서 dry oxidation에 의하여 만들며 이 때 mobile charge gettering도 한다.

(2) $\text{Si}_3\text{N}_4 / \text{SiO}_2$ deposition : CVD (chemical vapor deposition)에 의하여 930°C 에서 silicon nitride와 silicon oxide를 각각 1200Å 씩 차례로 deposition 한다.

(3) Active area definition : 첫번째 mask를 사용하여 capacitor나 transistor가 들어갈 부분용제

외하고는 oxide와 nitride를 제거하는 작업이다. nitride etching은 155°C 에서 H_3PO_4 를 끓여서 한다. 이 방법은 plasma etch보다 시간이 더 소요되지만 표면에서의 ion contamination을 막을 수 있기 때문에 더 많이 사용된다.

(4) Field implantation : Field area의 V_T 를 16V 이상으로 하기 위하여 B^{11+} 의 dose는 $3 \times 10^{12} / \text{cm}^2$ 이며 energy는 45 keV이다. 이 때 $\text{Si}_3\text{N}_4 / \text{SiO}_2$ layer는 active area의 masking 역할을 하게 된다.

(5) Field oxidation : Field area의 V_T 를 높이기 위하여 ion implantation도 하고 field에 두꺼운($9000 \sim 11000 \text{Å}$) oxide를 기른다. 이 때 active area의 nitride는 mobile ion의 barrier로서 그리고 oxidation 방지용으로 사용된다.

(6) Gate oxidation : field oxidation 후에 gate area에 남아있는 nitride와 stress relief oxide를 제거하고 1000Å 의 gate oxide를 dry oxidation으로 만든다. 이 과정에서 mobile charge gettering을 하는 것은 대단히 중요하다.

(7) Boron-phosphorus implantation : 이 과정에서는 water를 배군 G1, G2, G3, G4로 나누어 G1에는 50 keV의 B^{11+} ion을 $3X, 4X, 5 \times 10^{11} / \text{cm}^2$ 의 dose로, G2에는 150 keV의 P^{31+} ion을 $4X, 5X, 6X, 7 \times 10^{11} / \text{cm}^2$ 의 dose로, G3에는 $5 \times 10^{11} / \text{cm}^2$ dose에 B^{11+} ion energy를 30, 40, 50, 60 keV로, G4에는 $4 \times 10^{11} / \text{cm}^2$ 의 P^{31+} ion을 100, 125, 150, 175 keV의 energy로 implant 하였다.

(8) Poly silicon deposition : Poly gate를 만들기 위하여 5000Å 의 poly silicon을 CVD 방법으로 입힌다.

(9) Poly gate definition : 두번째 masking 작업으로 1000Å 의 gate oxide 위에 poly silicon gate를 만든다. Poly silicon gate의 정의는 plasma etching에 의한 것이다. 이 때 source와 drain에 남아 있는 gate oxide도 동시에 제거한다.

(10) Poly silicon doping : 유전체인 poly silicon을 n^+ gate로 만들기 위하여 phosphorus를 doping한다. 이 때 동시에 source-drain도 n^+ 로 형성된다. Source-drain 지역의 sheet resistance가 $50 \Omega / \square$, surface concentration이 $10^{20} / \text{cm}^3$ 정도가 되도록 한다.

(11) Pyro oxide deposition과 annealing : Contact open mask material로 4000Å 의 pyro oxide를 덮는다. Pyro oxide의 질을 좋게 하기 위하여 900°C 에서 annealing을 하는데 이 때 mobile ion

gettering도 동시에 하게 된다.

(12) Contact open : 세번째 masking 작업으로 contact open을 한다. 이 때 photoresist의 pinhole 등 defect를 없애기 위하여 double masking을 하여야 한다.

(13) 1.5% Si/Al deposition : 1000 Å 1.5%Si/Al을 입히고 1μm의 순수한 Al을 E-Beam으로 입힌다.

(14) Metal definition : 네번째 mask를 이용하여 interconnection을 위한 metal definition을 한다. Al을 etching 한 후 남은 silicon은 plasma etch를 하여야 한다.

(15) Alloy : metal 과 Si의 접착력을 증가 시키기 위하여 450°C 수소분위기에서 30분 alloying 한다.

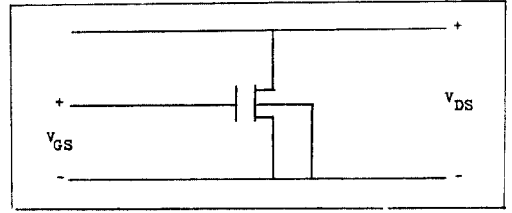


그림 2. NMOS 소자에 대한 convention
Fig. 2. Convention for NMOS device.

saturation 상태에서 enhancement mode NMOS transistor의 channel current equation^[1]은

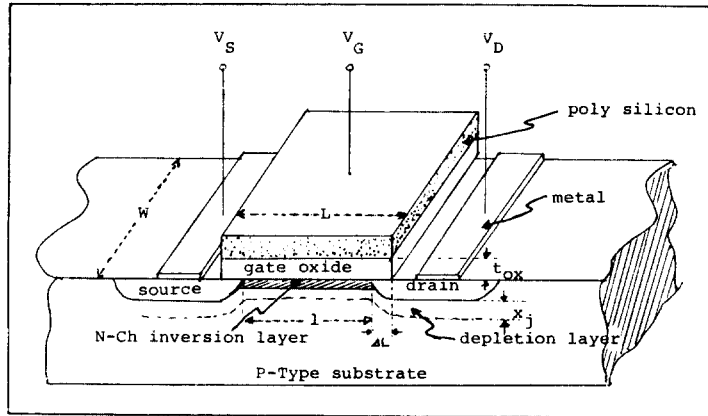


그림 1. 비포화 상태에서의 N-channel MOS 소자
Fig. 1. N-Channel MOS device in non-saturation.

Gate의 크기에 따른 threshold voltage의 변화를 알아보기 위하여 channel의 길이가 2μm에서 10μm까지, 넓이가 3μm에서 50μm가 되는 일련의 transistor가 따로 제작되었다. 제작 공정은 위에 소개한 것과 비슷하지만 channel 길이와 넓이가 5μm이하인 경우도 포함시키기 위하여 다만 gate oxide의 두께만 450 Å으로 하였다.

3. 소자 parameter의 특성 및 결과

그림 1에는 non-saturation 상태에서의 metal gate NMOS device 구조와 기술용어를 나타내었다. LSI에 이용되는 NMOS discrete 소자에 대한 parameter의 측정 방법과 측정결과는 다음과 같다.

(1) I-V 특성곡선

그림 2에 도시된 NMOS transistor에 대한 convention을 사용하고 source가 기판에 연결된 non-

$$I_{DS} = \mu_n \cdot C_{OX} \frac{w}{l} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \dots \dots \dots (1)$$

로 주어진다. 여기서 I_{DS} = channel current, μ_n = 평균표면 mobility, t_{OX} = gate oxide thickness, w = gate width, l = effective gate length, V_{DS} = drain voltage to substrate, V_{GS} = gate voltage to substrate, V_T = threshold voltage이다. $C_{OX} = \epsilon_{OX} / t_{OX}$, $k = \frac{\mu_n \epsilon_{OX}}{2t_{OX}} \cdot \frac{w}{l}$ 로 gain factor라 부른다. (1)식은 다시

$$I_{DS} = k \left[2(V_{GS} - V_T) V_{DS} - (V_{DS})^2 \right] \dots \dots \dots (2)$$

로 표시될 수 있다. saturation 상태에서는 $|V_{DS}| \geq |V_{GS}| - |V_T|$ 의 조건이 성립하므로

$$I_{DS} = k (V_{GS} - V_T)^2 \dots \dots \dots (3)$$

식이 된다. 따라서 I_{DS} 는 V_{DS} 와 독립된 변수가 된다. 이 식들은 어디까지나 일차원적 고려에서 유도된 long

channel에서 성립하는 식이지 2차원적 내지 3차원적 고려가 요구되는 short channel에는 적용될 수 없다.

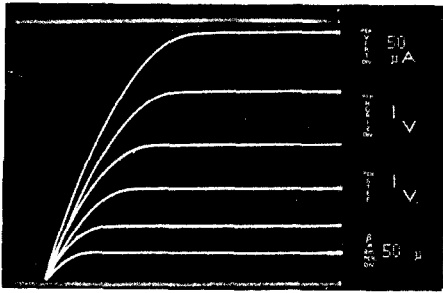


그림 3. 100 μm × 100 μm 트랜지스터의 I-V 특성곡선

Fig. 3. I-V characteristics of 100 μm × 100 μm transistor.

그림 4에서 curve tracer에 의하여 얻은 100 μm × 100 μm의 transistor에 대한 I-V 특성 곡선을 볼 수 있다.

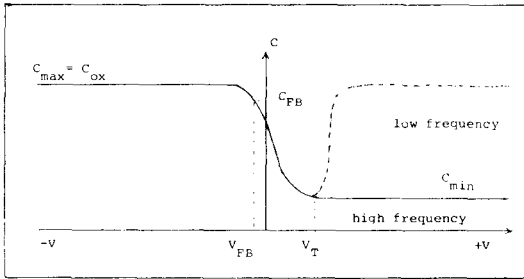


그림 4. NMOS capacitor의 C-V 특성곡선

Fig. 4. C-V characteristics of NMOS capacitor.

(2) Gain factor (k)와 intrinsic transconductance (k')

Saturation 상태에서 두 개의 V_{GS} 측정치, V_{GS1} 과 V_{GS2} 와 이에 대응하는 I_{DS1} 와 I_{DS2} 를 (3)식에서 대입하고 V_T 를 소거하여 얻은 식, 즉

$$k = \left[\frac{\sqrt{I_{DS2}}}{V_{GS2}} \cdot \frac{\sqrt{I_{DS1}}}{V_{GS1}} \right]^2 \dots \dots \dots (4)$$

을 이용하면 gain factor k를 얻을 수 있다. $k' = k \cdot \frac{1}{W} = \frac{\mu n \cdot \epsilon_{OX}}{2t_{OX}}$ 에서 process parameter인 k'과 electron mobility μn 의 계산도 가능하다. 만들어진 device의 k' 값은 $(6 \sim 8) \times 10^{-6} A/V^2$ 의 크기를 나타내었다.

(3) Threshold voltage (V_T)

I-V 특성곡선에서 V_T 를 계산하려면 saturation 상태에서 (3)식을 다시 써서

$$I_{DS} = \frac{\mu n}{2} \frac{\epsilon_{OX}}{t_{OX}} \cdot \frac{W}{L} (V_{GS} - V_T)^2 \dots \dots \dots (5)$$

로 표현할 수 있고 V_{GS1} , V_{GS2} , I_{DS1} , I_{DS2} 와 V_T 의 관계는

$$V_T = \frac{\sqrt{I_{DS2}}}{\sqrt{I_{DS1}}} \cdot \frac{V_{GS1} - V_{GS2}}{\sqrt{\frac{I_{DS2}}{I_{DS1}}} - 1} \dots \dots \dots (5)'$$

로 유도될 수 있어 V_T 의 측정이 I-V 특성곡선에서 계산될 수 있다. 만들어진 device ($6 \mu m \times 7 \mu m$, $100 \mu m \times 100 \mu m$ 등)의 V_T 가 linear (non-saturation)나 saturation 경우 모두 I_{DS} 가 $100 \mu A$ 보다 적게하고 V_{DS} 는 linear인 경우 $100 mV$ 보다 작은 영역에서, saturation인 경우는 $5V$ 정도의 영역에서 측정하여 표 2의 제 5열에 써 두었다. 이 값들은 ion implantation 조건에 따라 어떻게 V_T 가 변화 하나를 보여 주며, $V_T > 0$ 와 $V_T < 0$ 인 경우는 각각 enhancement mode와 depletion mode인 것을 의미한다. 또 이 값들은 C-V plot에 의하여 구한 값들과 비교되며, curve tracer에 나타나는 값을 읽는데 오차가 있으므로 C-V plot에서 얻은 값을 더 신뢰할 수 있으나 그렇게 많은 오차가 관여하지 않으므로 curve tracer에 의한 방법도 측정의 편의상 매우 유용하다 하겠다. 이들 두 측정치는 SUPREM에 의한 simulation 값과 함께 표 2에서 비교된다. 이들 값들은 enhancement mode인 경우 잘 일치하지만 depletion mode인 경우는 이론치와 측정치의 차이가 많은 것을 볼 수 있는데 depletion mode의 V_T 측정은 curve tracer나 C-V plotting에 의한 것이 불완전함을 보여 준다 (3절 12항 h 참조).

Gate의 크기에 따른 V_T 의 변화를 보기 위하여 channel length가 $2 \mu m$ 에서 $20 \mu m$ 까지, channel width는 $2 \mu m$ 에서 $50 \mu m$ 까지의 NMOS transistor를 만들었는데 gate oxide의 두께가 450 \AA 되게 하고 $50 keV$ energy와 $5 \times 10^{11}/cm^2$ 의 dose로 B¹¹⁺를 implant 하였다. 그 외의 공정은 G group의 경우와 동일하게 한 결과, 그림 5에서 보는 바와 같이 channel length가 $5 \mu m$ 까지는 거의 body effect가 나타나지 않지만 $5 \mu m$ 보다 작으면 급작스럽게 줄어 들게 된다. 그림 6에서는 channel length $5 \mu m$ 과 $10 \mu m$ 각각에 대한 width의 변화에 따른 threshold voltage의 변화를 볼 수 있다. Channel length가 V_T 에 미치는 영향과 경향이 같아 channel width가 $5 \mu m$ 까지는 거의 변화가 없지만 $5 \mu m$ 에서 $2 \mu m$ 까지는 V_T 가 급격히 증가함을 보여 준다. 따라서 $5 \mu m$

표 2. 여러가지 측정치와 계산치

Table 2. Data summary.

para- meter	impul- sation energy	dose of implan- tation	$V_T^{(a)}$ volt	N_1 $10^{15}/cm^2$	S		C_{min} (pF)	C_{FB} (pF)	V_{FB} volt	X_{dmax} Å	Q_B/q $10^{10}/cm^2$	t_{ox} Å	N_{SUB} $10^{15}/cm^2$	Q_{SS}/q $10^{10}/cm^2$	Q_O/q $10^{10}/cm^2$	$V_T^{(b)}$ volt	$V_T^{(c)}$ volt
					meas.	cal. b=1 b=2 mV/dec.											
G1-2	50	3	0.92	3.78	-	83.4	35.0	69.6	-0.54	4299	19	1036	4.5	7.2	0.9	1.06	1.11
G1-3	50	4	1.46	4.05	-	82.1	38.7	70.9	-1.08	3546	24	1052	6.8	3.9	9.8	1.34	1.38
G1-4	50	5	1.52	5.69	-	82.2	41.9	72.4	-0.85	3038	29	1051	9.8	1.0	8.0	1.56	1.64
G2-1	150	4	-1.41	4.05	-	83.9	24.4	62.2	-2.14	7554	9.8	1030	1.3	27	0.7	-1.07	-0.54
G2-2	150	5	-2.24	4.57	-	78.9	23.6	58.2	-3.68	7720	9.6	1095	1.2	55	8	-2.18	-0.91
G2-3	150	6	-2.70	4.71	-	-	-	-	-	-	-	-	-	-	-	-	-1.96
G2-4	150	7	-2.87	4.88	-	-	-	-	-	-	-	-	-	-	-	-	-
C	-	-	0.23	0.77	-	83.4	27.0	63.6	-1.02	6479	12	1035	1.8	3.3	0.9	0.19	0.25
G3-1	30	5	1.21	2.64	115	82.9	32.4	67.6	-0.22	4879	17	1042	3.4	14	0.45	1.24	1.23
G3-2	40	5	1.57	5.21	130	84.0	36.7	71.0	-0.37	3978	21	1029	5.3	11	2.3	1.38	1.55
G3-3	50	5	1.67	6.25	145	82.9	42.3	73.2	-0.60	2996	29	1042	9.8	6.3	0.67	1.57	1.66
G3-4	60	5	1.64	7.00	156	82.4	45.0	74.0	-0.80	2607	35	1049	13	2.2	0.4	1.58	1.61
G4-1	100	4	-0.85	-	-	83.0	25.5	62.0	-1.87	7050	11	1040	1.5	20	0.4	-0.71	-0.17
G4-2	125	4	-0.99	-	-	82.8	24.5	60.9	-2.10	7434	10	1044	1.4	26	1.0	-0.99	-0.43
G4-3	150	4	-1.34	-	-	82.4	23.9	60.1	-2.10	7693	9.6	1049	1.3	25	1.7	-1.00	-0.54
G4-4	175	4	-1.45	-	-	81.7	23.1	58.9	-2.22	8088	9.1	1057	1.1	28	0.6	-1.16	-1.26

Note : (a), (b) and (c) stand for the measured values from curve tracer and C-V plot, and the calculated value from SUPREM II respectively. C is not implanted. N_1 and S are doping concentration due to implantation and subthreshold slope respectively.

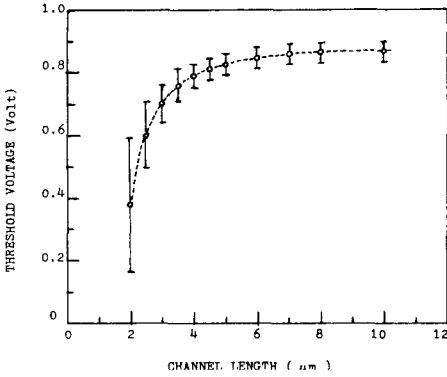


그림 5. 50 μm의 channel 폭을 가지는 NMOS 트랜지스터에 대한 $V_{DS} = V_{GS}$, $V_{BS} = -2.5V$ 에서 측정된 channel의 길이에 대한 V_T

Fig. 5. Channel length vs. V_T measured at $V_{BS} = -2.5V$ and $V_{DS} = V_{GS}$ for the NMOS transistor with channel width of 50 μm.

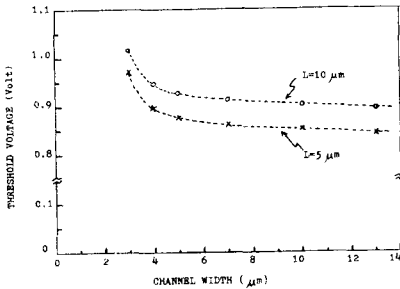


그림 6. Channel 길이가 각각 5 μm, 10 μm을 가지는 2 NMOS 트랜지스터에 대한 $V_{DS} = V_{BS}$, $V_{BS} = -2.5V$ 에 측정된 channel 폭에 따른 V_T

Fig. 6. Channel width(W) vs. V_T measured at $V_{BS} = -2.5V$ and $V_{DS} = V_{GS}$ for NMOS transistor with the channel length of 5 μm and 10 μm.

보다 적은 gate를 사용하는 경우 lateral diffusion과 oxide encroachment가 대단히 중요하게 된다. 16K dynamic RAM까지는 5 μm channel length를 사용하므로 V_T 를 이론적으로 예측할 수 있지만 64K에서는 2 μm design rule을 적용해야 하므로 공정상에서 허용되는 오차 범위가 대단히 제한을 받게 된다.

(4) Mutual transconductance (g_m)^[11]

Small signal 증폭은 다음과 같이 정의되는 transconductance에 의하여 특징지어 진다.

$$g_m = \frac{I_D}{V_G} = \mu_n C_{OX} (V_{DS} - V_S) (V_D < V_{DSat}) \dots (6)$$

$$= 2k' \frac{W}{L} (V_G - V_S - V_T) (V_D \geq V_{DSat}) \dots (6')$$

$$= 2\sqrt{k I_D} \dots (6'')$$

또는

$$g_m = \frac{I_{DS2} - I_{DS1}}{V_{GS2} - V_{GS1}} \text{ fixed } V_{DS} \dots (7)$$

따라서 어떤 V_{DS} 에서의 g_m 은 curve tracer에서 V_{GS} 를 변화시켜 I_{DS} 를 읽을 수 있으므로 계산이 가능하게 되며 (6)''식에서는 I_D 와 g_m 의 관계를 볼 수 있다.

(5) Body effect (M)

Substrate와 source 사이에 bias를 걸면 transistor의 V_T 가 변화한다. reversed bias (V_{BS})를 걸어 V_T 를 측정하면

$$\Delta V_T = V_{TO} - V_{THB} \dots (8)$$

와 같이 표시되고 이 식에서 $V_{BS} = 0$ 때와 $V_{BS} \neq 0$ 의 threshold voltage를 각각 V_{TO} 와 V_{THB} 이다. 또 다른 표현은

$$\Delta V_T = \frac{\sqrt{2\epsilon_{Si} q N_D}}{C_{OX}} \left[\sqrt{V_{BS} + \phi_B} - \sqrt{\phi_B} \right] \dots (9)$$

이다. 여기서 N_D 는 substrate의 불순물 농도이며, $\phi_B = 2\phi_F$ 로 ϕ_F 는 Fermi potential이다. M의 정의에 의하여

$$M = \sqrt{\frac{2\epsilon_{Si} q N_D}{C_{OX}}} = \frac{\Delta V_T}{\sqrt{V_{BS} + \phi_B} - \sqrt{\phi_B}} \dots (10)$$

가 된다. 위 식에서 알 수 있는 바와 같이 V_{BS} 에 따른 V_T 가 측정되면 M과 N_D 가 계산이 된다.

(6) Lateral diffusion (ΔL) and oxide encroachment (ΔW)

Mask dimension을 $L \times W$, effective gate dimension $l \times w$ 이라 하면, L 과 l , W 와 w 의 관계를 알기 위하여 다음 식을 이용할 수 있다. 즉

$$I_{DS} = \frac{W}{l} (k') \left[2(V_{GS} - V_T)V_{DS} - (V_{DS})^2 \right] \dots (11)$$

에서 $I_{DS} = \frac{const}{l}$ 의 조건을 유지하여, 여러 개의 $W(L)$ 가 같고 $L(W)$ 가 다른 device들을 같은 조건에서 I_{DS} 를 측정함으로써 l 과 w 를 측정할 수 있다. 즉 l 에 대한 $\frac{1}{I_{DS}}$ 의 graph(w 에 대한 I_{DS} 의 graph)가 일차선으로 주어지므로 이들 점을 연장하여 X축과 만나는 점과 원점과의 거리가 $2\Delta L$ ($2\Delta W$)가 되므로 실제 유효 channel 길이(폭)는 $l = L - 2\Delta L$ ($w = W - 2\Delta W$)가 된다. 적용한 process를 따르면 source와 drain의 junction depth가 약 0.5 μm 정도이므로 $2\Delta L = 1 \mu m$ 가 되어 $L = 6 \mu m$ 인 device는 $l = 5 \mu m$ 의 유효 channel 길이를 가지게 된다. 따라서 2 μm의 device를 만드는 경우 junction depth를 0.2 μm 이하

이어야 한다.

(7) Breakdown voltage (BV_{DSS})

Transistor의 drain breakdown BV_{DSS} 는 reversed bias voltage를 걸었을 때 junction breakdown이나 punch - thru breakdown이 일어나는 V_{DS} 의 값을 말한다. junction breakdown은 depletion layer에서의 전장의 세기를 증가시켜 lattice atom에서 election이 떨어져 나오는 현상, 즉 valence band에서 conduction band로 이동시키는 avalanche multiplication effect에 의해서 일어나며 punch - thru breakdown은 drain 주위의 depletion region이 bias가 증가함에 따라 확장되어 source까지 연장되어 일어나는 현상으로 short channel device가 아니면 통상 junction avalanche가 먼저 일어나고 punch - thru breakdown이 뒤따른다. 이것은 curve tracer에 의하여 간단히 측정될 수 있다. BV_{DSS} 는 $7\mu m \times 6\mu m$ transistor인 경우 대개 70~80 volt 정도이다. 그러나 $V_{BS} = -5$ volt 정도에서 BV_{DSS} 가 25 - 35 volt 정도이면 쓸만한 device라고 하겠다.

(8) Leakage current test (I_R)

BV_{DSS} 보다 적은 V_{DS} 에서 reversed diode leakage current I_R 이 PN junction의 drain과 substrate를 통하여 흐르는데 좋은 device라면 I_R 는 대단히 적어 pico ampere 정도가 된다. 이의 측정은 curve tracer에서는 정확도가 낮아 독립된 voltage source와 pico ammeter를 사용하여 구할 수 있다. 만들어진 $7\mu m \times 6\mu m$ 이상의 크기를 가지는 대부분의 소자는 $V_{BS} = -5$ volt, $V_{DS} = 12$ volt에서 $1\mu A$ 보다 적은 leakage current를 보여 주며 device가 좋다는 것을 보여 주었다.

(9) Substrate impurity density (N)^[12,13]

Ion implant에 의한 gate oxide 아래의 substrate의 impurity doping density를 알기 위하여 back gate bias V_{BS} 를 걸어 주고 V_T 를 측정하면

$$V_T = V_X + \left[\frac{+2Nq \cdot \epsilon_{si}}{C_{ox}^2} (2\phi_F - V_{BS}) \right]^{\frac{1}{2}} \dots (12)$$

이 성립하고

$$V_T = V_X + m\sqrt{2\phi_F - V_{BS}} \dots (13)$$

와 같이 표시할 수 있다. 이 때 $V_X = \phi_{MS} + 2\phi_F - \frac{Q_{SS}}{C_{ox}}$ 로 정의되며 여기서 ϕ_{MS} 는 metal과 silicon의 일함수의 차이이고, Q_{SS} 는 silicon 표면의 surface states이다. V_T 와 N 의 관계를 보면 ϕ_F 가 $\ln N$ 의 함수로 \sqrt{N} 에 비하여 V_T 에 주는 영향이 대단히 적으므로 V_X 를 N 에 대하여 상수로 취급할 수 있다. m 은,

$$m = \frac{\sqrt{2Nq \cdot \epsilon_{si}}}{C_{ox}} \text{ 또는 } m^2 = \frac{2Nq \cdot \epsilon_{si}}{C_{ox}^2} \dots (14)$$

이다. 따라서 V_T 와 $\sqrt{2\phi_F - V_{BS}}$ 관계 graph에서 기울기 m_1, m_2 로 서로 다른 두 직선이 나타나는데 이들 m_1 과 m_2 는 각각 ion implantation에 의한 doping density N_1 과 본래의 substrate doping density N_2 를 주게 된다. 표2의 제6열에 implantation 조건을 달리 했을 경우의 gate oxide 아래의 impurity density N_1 을 기록하였다. 이 때 본래 사용한 substrate doping density는 대개 $2 \times 10^{15} / cm^3$ 으로 나타났다. N_1 은 threshold voltage를 조정하기 위하여 넣은 것이지만 memory device에서는 이 값이 크면 back bias change에 따른 threshold voltage의 변화가 너무 커서 device의 reliability가 떨어지게 된다. 따라서 V_T 의 조절이 중요하긴 하지만 reliability를 생각하여 implantation의 조건을 결정해야 하겠다.

(10) Subthreshold slope (S)^[14]

V_T 아래에서의 I_{DS} 는 V_{GS} 의 지수 함수로 감소하게 되고 $I_{DS} - V_{GS}$ 특성 곡선에서 pico-ampere 근처에 가면 leakage를 나타내게 된다. 이와 같이 log scale에서 직선으로 나타나는 곳의 $I_{DS} - V_{GS}$ 곡선에서 기울기 $\frac{V_{GS2} - V_{GS1}}{\log I_{DS2} - \log I_{DS1}}$ 를 subthreshold slope라 하며 단위는 보통 mV/decade를 쓴다. subthreshold slope는 dynamic memory array와 같이 low current를 엄격히 제한하여 쓰는 device에는 대단히 중요하다. 이 subthreshold slope^[14], S는

$$S = 2300 \frac{kT}{q} \left[1 + \frac{G_{tox} \sqrt{N_D}}{(V_{SUB} + (b \ln \frac{N_D}{N_I} - 1) \frac{RT}{q})} \right]^{\frac{1}{2}} \dots (15)$$

로 표시된다. 이 때 $G = (\frac{1}{2}q \cdot \epsilon_{si})^{\frac{1}{2}} / t_{ox}$ 로 주어지며 b 는 weak inversion이면 1, strong inversion이면 2로 inversion 정도를 나타내는 parameter이다. S는 주로 band bending, oxide thickness, substrate doping 그리고 온도에 따라 변한다. 표2 제8열에서는 G3-1, G3-2, G3-3, G3-4에 대한 subthreshold slope 측정치와 $b=1$ 과 $b=2$ 에서의 계산치를 볼 수 있다. 이들 값들에 의하면 (15)식이 잘 도출된 식임을 알 수 있다. 그리고 $V_{SUB} = 0.71$ volt, $V_{GS} = (1.0 - 1.6)$ volt의 범위에서 b 의 값이 $1 \leq b \leq 2$ 이므로 필요하다면 (15)식에 넣어 inversion 정도의 최적치를 계산할 수 있다. S의 값은 100 mV/dec. 이하가 되는 것이 바람직한데, 만일 S

의 값이 크면 memory에서 switching을 기다리는 때의 전류는 $10^{-6} \sim 10^{-7}$ A 정도인데 이 때 전압의 전대치가 커야하므로 전력소모가 많아진다. 표 2에서 보는 바와같이 만들어진 device의 S값이 implantation energy를 증가할수록 커지므로 energy를 낮출 수 없다면 does를 줄여야 한다는 결론이 나온다.

(1) Electron mobility measurement [11]

Device를 memory array에 쓰는 경우 speed를 빠르게 하기 위하여 electron mobility(μ_n)를 크게 하여야 한다. 즉 transit time (T_{tr})과 μ_n 의 관계는

$$T_{tr} = \frac{4}{3} \cdot \frac{L^2}{m(V_G - V_T)} \dots\dots\dots (16)$$

로 주어지기 때문이다. 측정은 (17)식

$$\frac{\Delta I_{DS}}{\Delta V_{DS}} \Big|_{V_{DS} \rightarrow 0} = \mu_n C_{ox} \frac{w}{l} (V_G - V_T) \dots\dots\dots (17)$$

을 이용하는데 I_{DS} 가 대개 $1\mu A$ 근처에서 $\frac{\Delta I_{DS}}{\Delta V_{DS}}$ 를 측정하여 μ_n 을 계산한다. 대개 μ_n 이 $500 \sim 800 cm^2/V \cdot sec$ 정도이면 쓸 수 있는 device라 하겠다. 만들어진 $100 \mu m \times 100 \mu m$ device는 대개 $450 \sim 750 cm^2/V \cdot sec$ 의 값을 나타내 주었다.

(2) C-V plotting

지금까지는 curve tracer 또는 voltage와 current source, voltmeter와 ammeter를 이용하여 간단히 측정회로를 만들어 측정할 수 있는 parameter를 예를 들었다. 다음에는 MOS에서 가장 기본적인 device process의 분석 방법인 C-V plotting에 관해서 요약하고자 한다. MOS capacitor의 전압 변화에 따른 capacitance의 변화에 의하여 측정 내지는 계산할 수 있는 parameter들은 oxide thickness(t_{ox}), maximum depletion layer depth(X_{dmax}), depletion layer 근처의 doping density(N_{SUB}), flat band voltage(V_{FB}), threshold voltage(V_T), oxide와 silicon interface에서의 fixed charge density(Q_{SS}), oxide 내부의 mobile charge(Q_o), surfast charge density(N_{SS}) 등이다. 필요한 기구로는 high frequency measurement에는 $1MHz$ 의 전원, x-y recorder, -10V에서 +10V까지 공급할 수 있는 ramp generator, 200-300°C까지 device를 가열해 줄 수 있고 동시에 $\pm 10^6 V/cm$ 의 전장을 걸어 mobile ion을 stress할 수 있는 thermochuck, 빛이 들어가지 못하게 막아 줄 수 있는 wafer probe station 등이다. (-) 전압에서 (+) 전압으로 ramp 시키면 NMOS capacitor에서는 그림 4에서 보는 바와 같이 maximum capacitance($C_{max} = C_{ox}$)에서 minimum capacitance($1/C_{min} = 1/C_{silicon} + 1/C_{ox}$)로

변화한다. 이 C-V plot에서 얻을 수 있는 parameter는 다음과 같다.

(a) t_{ox} : 단위 면적당 oxide가 주는 capacitance는

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \dots\dots\dots (18)$$

(b) x_{dmax} : 정의에 의하여 단위 면적당 silicon에 의한 capacitance는

$$C_{si} = \frac{\epsilon_{si}}{x_{dmax}} \dots\dots\dots (19)$$

로 주어지고 $C_{si}^{-1} = C_{min}^{-1} - C_{max}^{-1}$ 의 관계에서 x_{dmax} 의 값이 계산된다.

(c) $N_{SUB}(N_A)$: Substrate의 doping density

$$C_{si} = \left(\frac{qN_A \epsilon_{si}}{4\phi_F} \right)^{1/2} \dots\dots\dots (20)$$

이며 이 때 Fermi potential ϕ_F 는 n_i 가 intrinsic carrier density일 때

$$\phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i} \dots\dots\dots (21)$$

로 표시된다. ϕ_F 를 다음 식에 대입하여 N_A 를 계산할 수 있다.

$$C_{min}/C_{ox} = \left\{ 1 + C_{ox} \sqrt{\frac{4\phi_F}{qN_A \epsilon_{si}}} \right\}^{-1} \dots\dots\dots (22)$$

(d) V_{FB} : t_{ox} 와 N_A 가 알려졌으므로 이론식

$$C_{FB}/C_{ox} = \left\{ 1 + C_{ox} \sqrt{\frac{KT/q}{qN_A \epsilon_{si}}} \right\} \dots\dots\dots (23)$$

에 의하여 C_{FB} 를 결정할 수 있고 C-V plot에 C_{FB}/C_{ox} 의 값에 해당하는 전압을 읽어 V_{FB} 를 결정한다. V_{FB} 는 이론식으로 다음과 같이 표시된다.

$$V_T - V_{FB} = 2\phi_F - Q_{SS}/C_{ox} = 2\phi_F + \frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\phi_F q N_A} \dots\dots\dots (24)$$

(24)식은 threshold vorage, V_T 를 변화시키려면, t_{ox} 나 N_A 를 또는 둘다 조절함으로써 가능하다는 것을 보여 준다.

(e) V_T : (24)식에서 V_{FB} 가 알려졌으므로 V_T 의 계산은 간단하다.

(f) Q_{SS} : (24)식에서 $V_T - V_{FB}$ 가 구해지면 surface charge state density, Q_{SS} 가 구해진다. Q_{SS}/q 는 좋은 device의 경우 (100) orientation silicon에서는 $1 \times 10^{11}/cm^2$ 보다 작으며 (111) orientation에서는 $3 \times 10^{11}/cm^2$ 보다 작아야 한다.

(g) Q_o : Temperature - bias stress를 가하면 mobile ion Q_o 는 + bias에서 - bias로 stress

되는 동안 ΔV 만큼의 V_{FB} 에서의 차이를 나타낸다. 따라서

$$Q_0 = C_{ox} \cdot \Delta V \dots\dots\dots (25)$$

식에서 Q_0 는 계산된다. Q_0 는 device를 만드는 공정과정에서 gettering을 하여 $1 \times 10^{10}/cm^2$ 이하로 떨어뜨리지 않으면 device의 안정에 문제를 주며 leakage의 원인이 된다.

- (h) N_{SS} : Fast state란 surface 근처에 존재하는 forbidden gap내에 생긴 energy state를 말하며 oxide와 silicon의 접합면에서 생긴 silicon의 dangling bond에 기인한다. 낮은 온도($400 \sim 500^\circ C$)에서 H_2 annealing에 의하여 쉽게 $5 \times 10^{10}/cm^2$ 이하로 떨어뜨릴 수 있다. 고주파 또는 저주파에서 C-V plot를 얻어서 이론적으로 기대되는 curve와 비교하면 fast state의 존재를 쉽게 확인할 수 있지만 정량적인 계산은 용이하지 않다. 이 외에도 inversion layer가 metal gate 밖으로 확장되는 현상, leakage가 있는 경우도 C-V plot에서 쉽게 확인된다. C-V plotting는 MOS capacitor 뿐만 아니라 PN junction과 Schottky diode에서도 device 분석을 위해 중요한 방법이 된다.

위에서 요약한 바와 같이 C-V plot에서 계산할 수 있는 parameter들은 $t_{ox}, X_{dmax}, N_{SUB}, V_T, Q_{SS}, Q_0, N_{SS}$ 이며 이들 대부분의 측정치는 표 2에 실려 있다. C-V plotting에서 얻은 값들 중 depletion mode인 G_2 와 G_3 group에 관하여는 신뢰할 만한 것이 되지 못한다. 이는 V_T 가 낮을 수록 심한데 C-V plot에서의 값이 depletion mode에서는 deep depletion variation^[11]이 심하게 나타나기 때문이다. G_1 group G_2 group에서는 pyro oxide의 annealing과정에서 gettering을 하지 않았기 때문에 Q_0/q 가 $10^{11}/cm^2$ 정도가 되어 mobile charge가 oxide내에 많음을 보여 주며, 따라서 V_{FB} 의 값이 비교적 높게 나타나 있다. 그러나 G_3 와 G_4 group에서는 gettering이 되었기 때문에 $10^{10}/cm^2$ 정도의 mobile ion density를 나타내고 있으며 V_{FB} 도 역시 개선되었다. ion implant하지 않는 silicon gate는 영에 가까운 V_T 를 나타내고 있다. 이 표에서 N_1 을 계산하거나 S를 계산할 때의 필요한 parameter 값들은 주로 C-V plot에서 얻은 값을 사용하였다.

(13) Gate 크기에 의한 V_T 의 변화

Channel의 폭이 $50 \mu m$ 이고, 길이가 $2 \mu m$ 에서 $10 \mu m$ 까지의 transistor들이 back bias가 $-2.5 V$ 에서 V_T 가 어떤 값을 지나를 그림 5에서 도시하였

고, 그림 6에서는 channel의 길이를 $5 \mu m$ 와 $10 \mu m$ 으로 고정시키고 폭을 $2.5 \mu m$ 에서 $20 \mu m$ 로 다르게 했을 때 back bias $-2.5 V$ 에서의 V_T 변화를 도시하였다. 이 두 그림에서 나타난 특징은 channel의 길이와 폭 모두 $5 \mu m$ 보다 길면 거의 변화가 없는데 $5 \mu m$ 이하가 되면 급격히 변화한다는 사실이다. 여기에 관한 이론적 고찰은 2차원적 내지는 3차원적 또는 short channel model을 사용하여야 할 것이다. 현재 16K dynamic RAM의 second generation이나 64K dynamic RAM에서 사용하는 $2 \mu m$ design rule에서는 공정상의 variation에 의한 V_T 의 변화가 크기 때문에(그림 5 참조) 더욱 엄격한 공정상의 정확성이 필요하게 되며 gate oxide의 질도 크게 문제가 된다. 그리고 현재 contact aligner를 사용하고 일반적으로 사용하는 photolithography를 적용하여 $2 \mu m$ gate를 얻을 수 있었으나 장치 yield까지 고려한다면 projection aligner를 사용하여야 할 것이다.

4. 結 論

N-Channel silicon gate technology를 이용하여 memory에 사용할 수 있는 capacitor와 MOS transistor를 만들어 여러가지 D.C. parameter를 측정하였으며 이들이 memory element로 적합한가를 검토하였다. 공정상에서 중요한 것은 ion implantation에 의한 threshold voltage의 변화는 거의 이용 범위 내에서 자유롭게 할 수가 있다는 것과 gettering 과정이 device의 안정에 크게 도움이 된다는 것이다. stress relief oxidation, gate oxidation 및 pyro-oxide annealing 과정에서 행하는 gettering process 효과는 C-V plot의 결과에 의하여 확인되었다. 뿐만아니라 C-V plot은 MOS device의 평가에 필요한 거의 대부분의 parameter의 측정을 가능하게 해 준다는 것도 제시하였다.

그 다음으로는 gate 크기의 변화에 따른 threshold voltage의 변화를 알아 보았다. channel의 길이와 폭이 $5 \mu m$ 보다 크면 V_T 의 변화가 미소하다가 $5 \mu m$ 보다 작아지면 급격히 변화하였으며 이 사실은 $2 \mu m$ design rule을 적용하는 16K, 64K RAM 그리고 더 나아가 앞으로 개발될 예정인 submicron device에서는 공정상의 정확성을 더욱 높여야 한다는 것을 알 수 있다. oxide 두께, ion implant의 parameter, diffusion parameter, sheet resistance 등의 값이 이론적으로 계산되어 실제 device에서 측정된 값과 비교되었다. 주로 사용한 이론은 SUPREM에서 응용된 것이었으며 이론치가 측정치에 오차 범위 내에서 잘

일치하기 때문에 앞으로 비용과 시간을 절약하기 위하여 이 SUPREM의 활용이 기대된다. 끝으로 지금까지 논의되어 온 이들 소자들은 실제로 1 transistor - 1 capacitor cell 을 가지는 4K dynamic RAM 을 만드는데 성공적으로 이용되었음을 부연한다.

參 考 文 獻

1. L. L. Vadasz, A. S. Grove, T. A. Rowe and G. E. Moore, "Silicon-gate technology", IEEE Spectrum, PP. 28-35, Oct. 1969.
2. F. Faggin and T. Klein, "Silicon Gate Technology", Solid-State Electronics, Vol. 13, pp. 1125-1144, 1970.
3. D. L. Critchlow, R. H. Dennard and S. E. Schuster, "Design and Characteristics of N-Channel Insulated-gate Field-effect Transistor", IBM J. Res. Develop., pp. 430-442, Sep. 1973.
4. Glen R. Madland, ICE STATUS 1979 (A Report on the Integrated Circuit Industry, Arrowhead Press, Phoenix, Arizona, USA, 1979.
5. G. R. Mohan Rao and John Hewkin, "64-K Dynamic RAM Needs Only One 5-volt Supply to Outstrip 16-K Parts", Electronics, PP. 111-116, Sep. 28, 1978.
6. R. Dashley, K. Kokonnen, E. Boleky, R. Jecmen, S. Liu and W. Owen, "H-MOS Scales Traditional Devices to Higher Performance Level", Electronics, PP. 94-99, Aug. 18, 1977.
7. G. R. Madland, "The 1979 Semiconductor Technology Forecast", Semiconductor International, PP. 33-45, Nov.-Dec., 1978.
8. H. J. Boll and W. T. Lynch, "Design of a High-Performance 1024-b Switched Capacitor P-Channel IGFET Memory Chip", IEEE J. Solid-State Circuits, Vol. SC-8, No. 5, PP. 310-318, 1973.
9. R. Proebsting and R. Green, "A TTL Compatible 4096-Bit N-Channel RAM", IEEE Intenatl Solid-State Circuits Conf. Feb. 14, 1973.
10. D. A. Antoniadis and R. W. Dutton, "Models for Computer Simulation of Complete IC Fabrication Process", IEEE J. Solid-State Circuits, Vol. SC-14, No. 2, April 1979.
11. R. Muller and T. Kamins, Device Electronics for Integrated Circuits, John Wiley & Sons, 1977.
12. Mototaka Kamoshida, "Electrical Characteristics of Boron-Implanted N-Channel MOS Transistors", Solid-State Electronics Vol. 17, PP. 621-626, 1974.
13. Richard S. C. Cobbold, Theory and Applications of Field-Effect Transistors, Chap. 7, Wiley-Interscience, 1970.
14. R. R. Troutman, "Subthreshold Slope for Insulated Gate Field-Effect Transistors", IEEE Transactions on Electron Devices, ED-22, PP. 1049-1051, Nov. 1975.

