

# SIT 素子の 開發과 特性

朴 昌 燁

〈延世大 工大 電氣工學科 教授 · 工博〉

## 1. 서론

1948年 트랜지스터가 發表된 이래 여러 가지 半導體素子が 發表되었고, 또 開發되었으나 그 중에서도 SIT (Static Induction Transistor)가 提案된 것은 1950年 이었다. 이 SIT는 日本 東北大 電氣通信 研究所의 西澤潤一 教授가 만든 것으로, 絶緣物 薄膜을 金屬과 半導體 사이에서 끼우면 整流性이 向上된다고 하는 이론을 뒷받침 하기 위한 실험을 하는 도중, 캐리어가 加速되어 絶緣物로 뛰어 들어 가는 것이 그 原因이라고, 하는 學說을 세워, 이에 따라 같은 絶緣物이면, 같은 半導體 材料에서 不純物이 조금만 들어가 있는 것이 좋지 않을까 하는 생각을 하였다. 이것이 요즈음의 Pin 다이오드의 發案이었다.

不純物이 들어 있지 않은 領域에서 順方向으로 캐리어가 注入되어 抵抗이 減少하고, 逆方向으로는 캐리어가 注入되지 않으므로 抵抗은 減少하지 않는다고 생각한 것이 Pin 다이오드의 基本的인 着想이지만, 이를 여러 가지로 생각하던 중, 그러면 注入되는 量을 制御하는 電極을 삽입 하면 增幅되지 않을까? 하는 생각으로 그림 1과 같은 제안을 하였다. 이는 당시 이미 다중 채널(multi channel)로서 알려져 있는 것이었다. 단, 靜特性이 어떻게 될 것인가 하는 문제에 대해서는,

거의 同時에 다이오드의 경우에 대한 空間電荷 傳導理論의 계산이 발표 되었으나, 三極素子에 對해서는 어떻게 될 것인지 아직 이해할 수 없었다. 2년이 지나서 같은 發想을 아나로그형 트랜지스터에서 發表한 쇼크리가 三極일 때에도 空間電荷 傳導法則에 따른다고 發表하였다. 이와 같은 쇼크리의 發表에도 불구하고 그 후 20년 가까이 실험적으로 이런 種類의 트랜지스터의 試作은 해 보지도 않은 모양으로 分명한 發表가 없었다.

한편 쇼크리가 1948年 點接觸 트랜지스터의 실험을 성공하기 전부터 시도하여 성공치 못한 電界效果 트랜지스터는 훨씬 전에 Guden, Phol 및 Lilienfeld 등에 의해서도 시도되었으나 1952년이 되어 겨우 실현에 성공하였다. 電流-電壓特性은 그림 2와 같은 飽和特性이었다. 쇼크리는 곧 이의 理論을 세웠다.

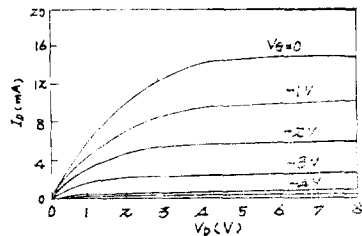


그림 2. JFET의 U-I특성

그러나 그림 3에서와 같이 아나로그형 트랜지스터는 圓筒形의 多重 채널形으로 이를 平行平板形으로 한 것이 西澤등이 發表한 注入制御를 하는 3極 트랜지스터와 같다. 이를 單 채널형으로 만든 것이 1952年 Dacey 등에 依해 試作된 FET에 해당한다. 즉 쇼크리가 空間電荷 傳導理論에 따른다고한 아나로그형 트랜지스터와, 電壓을 增加시켜도 電流가 飽和하는 것을 理論化시킨 FET와는 같은 것이다. 따라서 적어도 어떻게

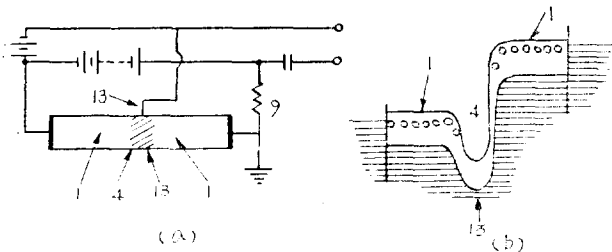


그림 1. 제안된 SIT의 모형

채널폭이 좁아지고  $r_s$ 를 증가시키는 作用이 負帰還으로 作用하여 一定 電流가 흐르게 되는 性質이 생기는 것이 아닐까 라고 생각하였다. 이를 실증하는 同時에, 실제의 FET에서는 이 抵抗  $r_s$  때문에 利得과 周波數 特性이 현저히 低下되는 것을 확실히 알게 되었다. 그러면  $r_s$ 가 작게된 FET란 어떤 것일까? 라는 문제가 대두되었다. 이어서 소오스와 게이트 사이에 생기는 채널의 길이를 짧게 하므로서  $r_s$ 는 충분히 작게할 수 있다고 본다. 아무리 짧게 하여도 게이트와 공핍층 간에 있는 채널 저항은 크게 된다. 따라서  $r_s$ 가 작은 電界效果 트랜지스터를 만들 수 있을 것인가? 또한 어떠한 特性이 생길 것인가? 라는 기대에서 시험한 결과 그림 5에서와 같이 FET의 特性은 飽和하지만 SIT 特性은 飽和하지 않고 直線인 特性을 나타냈다.

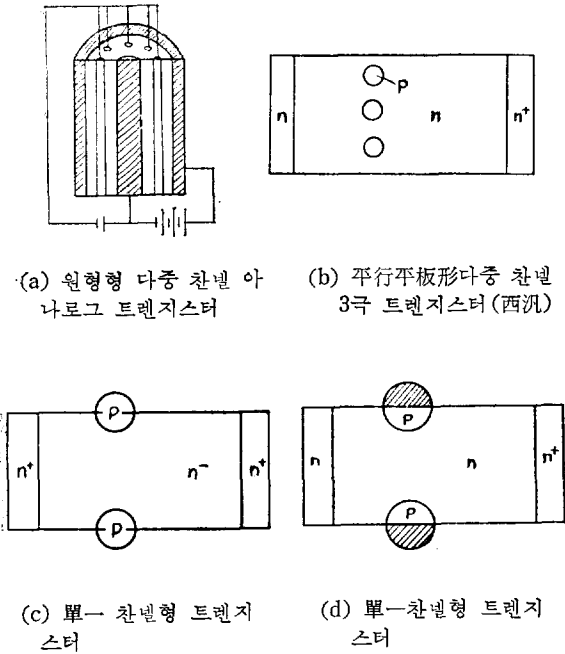
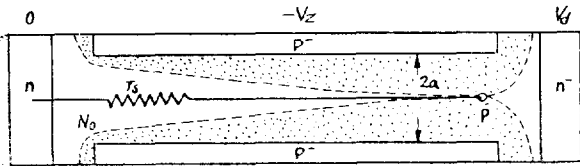


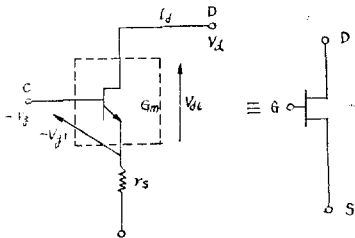
그림 3. 트랜지스터의 모형

해서 飽和 되었는데 알 수가 없었다.

西澤은 이에 對해 다음과 같이 생각한 것이다. 그림 4에서와 같이 채널중에 分布하는 抵抗  $r_s$ 가 있기 때문에 어떤 이유로 드레인 電流가 增加하면  $r_s$ 에 加해지는 電壓降도 增加하고, 게이트와 채널 部分에 加해지는 電位差도 增加한다. 따라서 공핍층이 확장되어



(a) JFET의 소오스 직렬저항



(b) 소오스 직렬저항  $r_s$ 을 갖는 등가회로(點線內는 SIT)

그림 4.

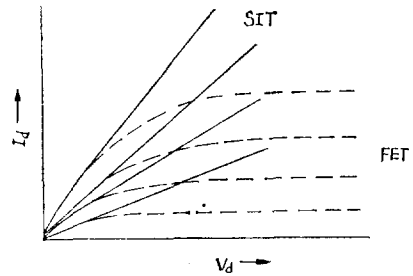


그림 5. SIT 特性(FET의 特性은 積선)

西澤은 종래의 飽和形을 FET라 부르는데 대해 이것과 區別하기 위하여, 여기서 시험한 不飽和形의 素子를 SIT라 부르기로 하였든 것이다.

또 드레인 電壓에 依한 靜電誘導效果도 나타나고, 부궤란에 依해 억제되지 않으므로, 게이트전압, 드레인 전압의 兩者의 靜電誘導效果에 依해 흐르는 電流가 결정되므로 이를 靜電誘導 트랜지스터(SIT)라고 부르게 되었든 것이다.

최근 scaling 理論이 流行하고 있으나 最大의 缺點은 채널을 게이트의 下部側에서 2個의 部分으로 나누어 생각하지 않는 點이다. 여기서 부터(이를 眞 베이스라 한다. 흐르는 電流를 정하는 것은 이 點의 전압이고, 바이폴라 트랜지스터의 베이스에 대응하기 때문이다). 드레인까지의 사이에는 거의 공핍층이 되어 있으므로, 走行時間效果와, 공핍층 容量을 생각하여 設計해야 한다. 즉 너무 두껍게 하면 走行時間이 增加하여 電流가 도달하는 率이 低下하고, 얇게 되면 공핍층 容量이 커지고 내압이 낮게 된다. 즉 최적치가 있게 마련이다.

眞게이트와 소오스간은 부궤환 시켜둔다. 이 値에 依해 特性의 飽和度가 變하고 利得이 최대가 되도록 出力抵抗을 調整한다는 것은 부궤환 저항을 調整하면

된다. 또 주파수 특성을 정하는 것은 이 저항  $r$ ,와 게이트 용량  $C_g$ ,와의 곱인 시간상수  $C_g r$ ,이다.

이와 같은 SIT에서도 2개의 영역이 있다. 하나는 먼저 설명한 거의 저항의인 특성을 나타내는 영역이고 다른 하나는 수직함수 특성을 나타내는 영역이다. 게이트의 공핍층이 채널을 펀치 오프하고 있을 때 대향하고 있는 게이트 공핍층이 채널의 중앙에서 서로 닿아서 그림 6과 같이 되어 있을 때, 드레인 전류의 크기는 이 게이트의 전위의 산을 넘어서 흐르는 전류에 의해 정해 지므로, 전위의 산에서 드레인까지의 사이에, 드레인 전압의 거의 모두가 걸린다. 드레인 전압이 증가하면 정전유도 효과에 의해 드레인으로부터의 정전계가 이 전위의 산에 침입하여 산의 높이를 낮게 하므로, 드레인 전압 또는 게이트 전압 중 어느 것에 대해서도 수직함수의으로 드레인 전류는 변화하게 된다. 그러나 잔류 직열저항  $r$ , 때문에 특성곡선은 내려가게 된다. 西澤이 기대한 것 즉 쇼크리가 발표한 공간전하 전도 특성을 나타내지 않았다. 따라서 SIT의 특성을 더욱 간단히 표시하면 그림 7과 같이

(a) 거의 순저항이지만 점차로  $G_m$ 이 증가하고 이

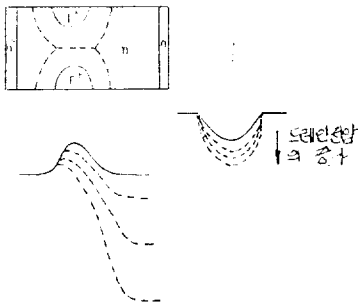
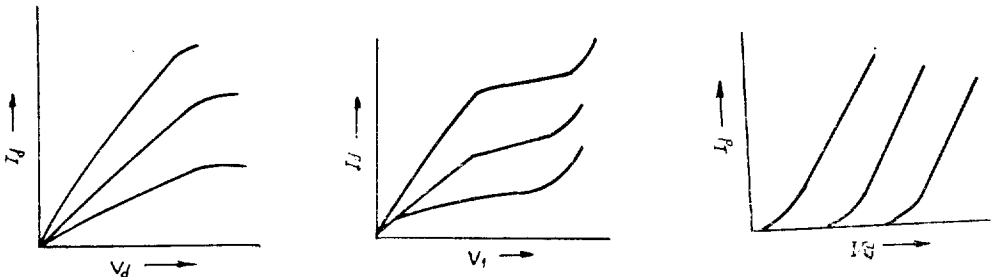


그림 6. 對向게이트間 공핍층이 이 채널 중앙에서 맞닿은 때의 드레인 전압에 의한 전위의 변화



(a) 純저항특성에서  $G_m$ 이 sub linear 특성이 되는 것

(b)  $r$ ,가 작게 되어 상승하는 것

(c) 상승특성이 억제되지 않아 지수함수 특성을 나타내는 것

그림 7. 素子の  $I_D$ - $V_{DS}$  특성

것 때문에  $r, G_m < 1$ 이 되지 않고 서브 리니어(sublinear) 특성이 되는 것.

(b) 보통의 FET 특성을 나타내지만, 드레인 전압에 의해 채널이 점차로 공핍층화 되어 소오스 측에 퍼진 결과  $r$ ,로서 작용하는 부분이 점차 짧게 되어  $r, G_m > 1$ 이 되지 않아 곡선이 상승하는 것.

(c) 수직함수 특성이 나타내는 펀치 오프 상태의 것이지만 당연히  $r, G_m < 1$ 이 되어 있어 상승특성이 억제된다.

이에 대하여 종래 알려진 것은

(a) 드레인 전압의 공핍층이 소오스 금속 전극에 도달하여 펀치 수루(punch through)를 일으켜 전류가 증가하는 것으로 공간전하 전도 이론에 따르는 것.

(b) 전자 사재 항복을 일으키는 것 등이다.

특히 바이폴라 트랜지스터의 베이스의 전기 관통(base punch through)과 혼동될 염려가 있다. 금속과 동등한 동작을 할수록 고밀도로 불순물이 첨가된 전극까지 공핍층이 확장된 경우를 말하는 것으로, SIT인 경우 전위의 산의 높이가 드레인 전압에 의해 변화되는 상태에서, 바이폴라 트랜지스터의 베이스 펀치수루와 비슷하다.

全體로서는 펀칭 수루가 진행되는 상태(punching through)가 되거나, 아니면 리치 수루(reach through)라는 명칭이 타당할 것이다. 특히 최근에 출판된 Taylor의 논문에서도 서브 서레시 호울더(sub threshold) 상태에서 punching through라고 한다. 이를 구분하는 기준으로서 punch through는 공간전하 전도 법칙에 따르지만 SIT의 (c)는 punching through 상태에서 수직함수일 것이다.

## 2. SIT의 특징

SIT에도 여러가지 종류가 있으므로 이를 크게 나누면 3종류의 특성이 있는 것을 분명히 알 수 있다. 또

앞으로 負荷에 맞추어 부궤환의 크기를 조절하는 것도 가능케 될 것이고, 特性曲線이 上昇하여 一定 電流가 되면 電流가 더 이상 증가하지 않도록 할 수도 있고, FET에서 SIT로 연속하여 사용할 수 있을 것이다.

並列容量을 連結하여 直流의으로는 飽和하지만, 交流의으로는 적당한 임피던스가 되도록 할 수 있다.

단순한 SIT에 관해 그 특징을 보면 다음과 같다. 최초로 說明한 바와 같이 직열저항  $r_s$ 가 작은 것은 게이트용량  $C_g$ 와 의 時定數  $r_s C_g$ 를 작게할 수 있는 것으로 고속 응답이 되는 것이다. 따라서 SIT는 반드시 FET보다도 高速應答된다.

또 바이폴라 트랜지스터와 比較해 보면 바이폴라 트랜지스터에서는 소수 캐리어의 축적 용량이 큰 결점이 있다. 그림 6에서 알 수 있는 바와 같이 SIT의 眞계이트는 새들 포인트(saddle point)이므로 축적이 없다. 또 바이폴라 트랜지스터의 결점인 베이스 저항은 SIT에서는 靜電誘導制御이므로 周波數와는 關係없이 制御된다. 이는 그림 8을 보면 알 수 있다.

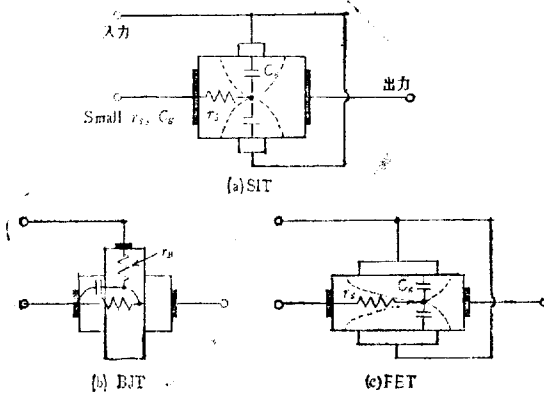
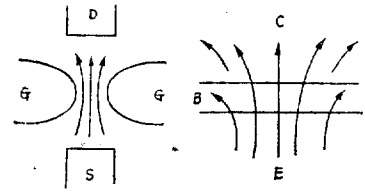


그림 8. SIT는 FET에 비해  $r_s$ 가 작고 BJT에서는  $r_b$ 에 의한 저항제어인 것에 반해  $C_g$ 에 의한 정전유도 제어이다.

또한 그림 6에서 분명한 바와 같이 리치하는 상태(베이스층 펀치 수투)로, 베이스 폭이 극한까지 얇아졌을 때에 대응하여  $f_T$ 는 대단히 높다. 간단히 만든 SIT에서도  $f_T$ 가 1[GHz] 정도인 것은 보통이다.

眞계이트가 接合形이라도 MIS形(다시 말하면 펀칭 수투 MIS)에서도 그림 9(a)과 같이 역방향의 전위로 포위되어 있기 때문에 캐리어가 분산될 가능성이 대단히 적다. 바이폴라 모두드 SIT(BSIT)라고 부르는 게이트에 순방향 전압을 가해도 역방향의 기존 전위를 전부 상쇄 시킬만큼의 전압이 아니면 캐리어의 도전율은 대단히 크다. 이것도 균일 베이스이고 또한 베이스 저항을 적게 하기 위해 상당한 不純物을 첨가시킨 베



(a) SIT의 캐리어 흐름 (b) 균일베이스의 BJT 캐리어 흐름

그림 9. 캐리어의 흐름

이스에서는 그림 9 (b)와 같이 캐리어가 확산 분산되는 것과 대조적이라 볼 수 있다. 다시 말하면 SIT는 역방향 게이트 동작으로는 FET, 순방향게이트 동작으로는 BJT(바이폴라 접합형 트랜지스터)에 유사한 동작을 하지만, 그 어느 것보다도 우수한 트랜지스터라 할 수 있다.

이 SIT는 잡음이 작으므로 소전력動作이 가능하고, IC化, 인버터용으로 가능하며, 소전력 만이 아니고 대전력에도 충분한 잠재성이 있다. 그 하나의 이유로서 다중 채널화가 용이하고 극히 歪形이 적은 소자를 만들 수 있으며(드레인 電流가 5승일 때  $\mu$ 의 변화는 數 [%], 溫度變化는 1[%]이하이고, 전압에 대해서도 50[%]의 변화에 대해서도 數 [%] 이하로 된다, 다수 캐리어의 제어가 정전유도 효과에 의한 동작이기 때문에 용이하고, 또 高速으로 사용할 수 있기 때문이다.

당초 전류가 채널에 집중하기 때문에 최대 허용 전류의 평균치가 작으리라 예상 되었으나 보통 값의 90 [%] 이상이 되어 전역 문제가 되지 않는다. 결국 I素子에서 100[kw] 정도 얻을 수 있는 것도 꿈이 아니라고 믿고 있다. 지리스터에서도 같은 고속, 고효율로 이를 만들어 FCT라는 명칭으로 발표되었다. 이 경우 온도에 對한 電流變化가 低電流에서는 Maxwell Boltzman 통계에 따르므로 正의 값을 갖지만, 대전류가 되면, 잔류 저항  $r_s$ 가 零이 되지 않으므로 負가 되는 것이 열탈주(thermal run away)를 防止할 수 있다.

### 3. SIT의 응용

SIT는 고속, 저잡음, 저저항이므로 IC化 할 수 있는 것으로 예상할 수 있고 이미 프레나형으로 3ns의 速度를 갖는 素子가 實現되었다. 小數 캐리어의 영향이 최고 속도를 제한하므로, MIS形(MOS形) SIT의 IC가 유리하다는 것은 명확하며 장래 10ps 이하로 될 수 있으리라 예상하고 있다. 또 Ga bit 변조를 하기에 가장 유리한 수단으로 생각한다. 초전도 소자, 광계산기(반도체광 IC)에 대항할 수 있는 유일한 반도체 IC

가 될 것이다.

縱形으로 만들면 편리하고, 패키징 밀도는 현재로서도 10<sup>6</sup>/cm<sup>2</sup>, 메모리 소자로서 리프래시 時間(refrash time)은 秒程度이고 액세스(access) 時間은 單位素子에서 10<sup>-11</sup>초가 실측되고 있다. 이 메모리 매트릭스(Memory Matrix)에 영향을 투영하면 그대로 영상 탐지기가 된다.

저잡음이므로 최저 안정 동작전력은 30pW 정도를 내고 있다. 개별 device로서 왜형이 낮은 점을 살려 HiFi 앰프의 실현은 잘 알려져 있고 앞으로 D급 앰프 등 초고 효율 앰프 등에 많이 이용 되리라 본다. 콤프리멘탈의 제조(즉 p 채널, n 채널의 대칭구조)가 가능하게 됨은 변성기의 제거가 가능케 됨을 의미하고 포토 커플러(Photo Coupler)와共用하면 回路의 경량화가 이루어질 것으로 본다. 10<sup>-6</sup>초 이하에서 스위칭 되고 통전시의 전압강하는 2V 이하까지 되므로 손실이 적다. SIT 지리스터는 직류 차단이 되므로, 5[V] 이하이면 직류 충전하는 것이 유리하다는 GE사의 추정에 따르면 SIT 지리스터에 의한 직류 충전은 우수하다고 본다. 또 주파수는 50~60 Hz 어느 것이라도 제한 받지 않는다.

직류에서 MHz까지의 주파수를 갖는 대전력 고주파의 발생도 용이하게 되고 이어 80% 실현된 BSIT와 SIT 지리스터가 경량하고 있다.

表面 게이트형 및 매입형에서도 10<sup>19</sup>~10<sup>20</sup>/cm<sup>3</sup> 정도의 고밀도 불순물이 사용되는 게이트 이므로 大面積比는 대단히 용이하고, 캐리어의 도달율이 크므로 소오스가 위이고 드레인이 아래라도, 역으로 소오스가 아래이고 드레인이 위라도 실용에는 아무런 문제가 없다.

요컨대 평형이라도 좋다. 이는 저주파만이 아니고 높은 주파수에서도 대전력화가 쉬우며 최종적으로는 동일 소자내에서의 위상 지연이 문제가 될 정도의 크기도 실현되리라 본다.

### 4. 전력용 SIT

SIT는 그의 동작원리와 기본적인 구조를 보면 대전력용으로도 적합한 소자가 되리라는 것은 이미 설명한 바 있다.

즉 구조적으로, 종횡으로 하면 드레인층, 소오스층이 분리되어 교압화 하기 쉽다. 또 동작이 다수 캐리어의 이동에 의존하고 있으므로 유도특성이 부가되고, 온도가 상승하면 電流가 減少하는 경향이 있어, 다수의 채널을 균형되게 병렬 구동할 수 있다. 때문에 칩(chip)을 大面積化 하고, 數萬個 以上の 채널을 병렬로 배치한 칩이 동작 가능한 대전류가 흐를 수 있고, 더욱이 내부적열 저항도 작게 된다. 이점에 착안하여

각종 SIT의 전력용이 출현되었다.

종래의 대전력 장치의 대부분은 전자관을 사용하거나, 트랜지스터를 多數並列로 사용하는 등 장치도 대형화 되어 취급하기 곤란하고 回路를 設計하는 데에도 난점이 많았기 때문에 소형으로 效率이 좋은 대전력용 소자의 出現이 要望되었다.

이 電力用 SIT는 고주파 대전력 領域에서 다른 電力素子에 비해 效率이 높고 취급 電力이 크며 사용하기 쉽다는 점등 여러가지로 우수하다. 이것을 사용하므로써 소형으로 效率이 좋은 大電力 裝置를 만들 수 있고 초음파 발생장치, 고주파 유도가열 장치, 스위칭 전원, 펄스 증폭등의 대전력 영역에서 많이 이용되리라 믿는다.

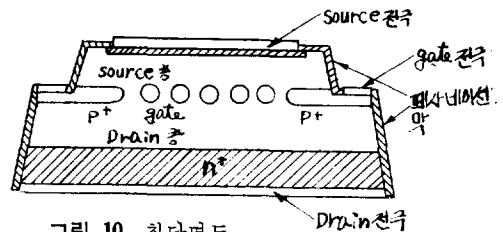
대전력 반도체 소자로서 요구되는 주된 특성을 열거하면 다음과 같다.

- ① 高耐壓, 大電流일 것
- ② 放熱이 쉽고 熱抵抗이 작을 것
- ③ 펄스적인 과도특성에 대해 강할 것
- ④ 특성이 안정하여 신뢰성이 높을 것
- ⑤ 전력 이득이 클 것

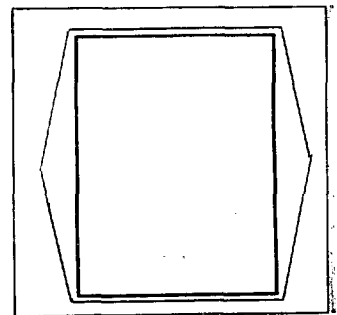
등이다.

이에 대해 SIT는 그의 基質의인 이점으로, 제조 기술에 따른 특징에 맞추어 우수한 전력용 소자를 만들 수 있게 되었다. 또 음향용으로서도 허용손실 200W 정도는 이미 제작회사에서 發表되어 EIAJ에 등록된 것도 있다.

새로히 개발된 허용손실 1000W 전력 SFT에 대해서:



칩의 대표적인 구조는 그림 10에서 나타낸 것과 같이 매입 게이트 형으로 대전류를 흐르게 하기 위해 칩 면적은 크게 하고, 소오스 유효 면적을 사진 1과 같이 14×11mm로 하였고, 더욱더 高耐壓化한 것이다.



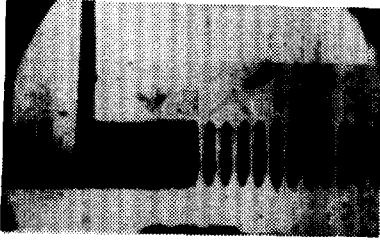


사진 2. 칩단면 구조

게이트 電極을 끌어 낼 때 부근의 단면 구조는 사진 2와 같다. 이 사진은 角度 연마를 한후 스테인 처리한 현미경 사진이다. 이 電力 SIT를 제작하기 위해서는 새로히 개발된 기술로서는

①  $5 \times 10^{13}/\text{cm}^3$  이하의 저불순물 농도를 갖는 고순도 결정 성장 기술의 확립

② 게이트部  $P^+$  部近으로  $2 \times 10^{19}$ 개/cm<sup>3</sup>인 고밀도 확산 기술의 확립

③ 칩 주변의 미세 가공 기술과 표면 패시베이션 기술의 확립 등을 들 수 있다.

이 기술 확립에 의해 드레인 게이트간의 내압이 800V가 되었고, 게이트 소오스간 耐壓이 80[V]인 素子が 제작되었다. 더욱이 이 칩을 효율이 높도록 어떻게 放熱시킬 것인가 하는 문제가 최대 전력을 끌어 내는 요인이라고 할 수 있다.

본 전력 SIT는 사진 3과 같이 卍形 케이스를 사용하였고 드레인, 소오스兩面에 銅블럭(copper block)을 압착하는 구조로서 열저항의 저하를 도모하고 허용손실 1kW형 SIT를 완성시켰다.

사진 3의 下側 프렌지(flange) 部分이 드레인, 上方部分이 소오스이고 그 사이를 세라믹으로 절연한 것이다. 단자는 게이트이다. 프렌지 직경이 55mm $\phi$ , 전 두께가 16mm이다.

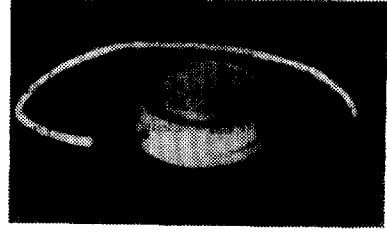


사진 3. 1kW형 전력용 SIT

## 5. 電氣的 特性

大電力用이기 때문에 200V를 직접 정류하여 사용할 수 있도록 드레인-게이트간 耐壓을 800V로 하였으나, 사용방법에 의해서는 내압이 약간 낮아도 내부 저항이 보다 작은 쪽이 유리한 경우도 있으므로 耐壓 600V의 것도 만들었다.

허용손실에 대해서도 1kW형에서, 용도에 의해 너무 큰 경우가 있으므로 허용손실 300W형의 SIT를 제작하고 내압, 전력에 대해 순서 대로 여러 종류를 제작하였다. 사진 (a) (b)는 1kW형 SIT의 드레인 電壓 ( $V_{DS}$ ), 드레인 電流( $I_D$ )의 특성을 나타낸 것이다.

사진 (a)는 大電流, 低電壓領域에서 電流-電壓의 특성이고, (b)는 小電流高電壓領域에서의 電壓-電流特性이다.

이는 일본 Ohm지에 기재된 것을 전재함을 밝혀 둔다.

## 참 고 문 헌

1. B. Serin: Phys Rev. 69, p. 357, 1946.
2. 渡邊, 西澤, 吉田, 物性論研究 41, p. 96, 1951~8
3. W. Shockley & P.C. Prim, Phys. Rev., 90, p. 753 (1963)
4. W. Shockley: Proc. IRE, 40, p. 1365 (1963)
5. G.W. Taylor, IEEE Trans. on Electron Devices. ED-25 p. 337(1978)

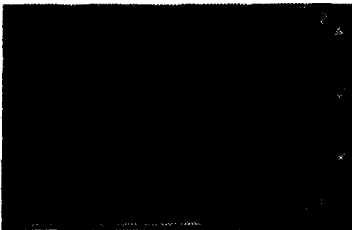
a) 대전류, 저전압영역  $V_{DS}-I_D$  특성b) 저전류, 고전압영역  $V_{DS}-I_D$  특성

사진 4. 電流, 電壓特性