

補償 積分器를 사용한 새로운 能動 濾波器 (New Active Filter using the Augmented Integrator)

金 定 德*, 郭 勳 星**
(Kim, Chung Duk, and Kwak, Hoon Seong)

要 約

능동 RC 여파회로 설계에 보상 적분기와 가산 증폭기를 사용하였다. 두개의 보상 적분기를 기본 회로당(메모리 소자)으로 하고 여기에 세 개의 단자를 인출하여 적당한 가산 증폭기 만을 연결하므로써 평면의 좌반면에 복소수 pole을 가지는 2계 전달함수를 구현할 수 있다.

Abstract

Two augmented integrators are sufficient as memory elements to realize an arbitrary second-order voltage transfer function which has complex poles in left-half S-plane, where S is a complex variable.

The augmented integrator is characterized by transfer function $B/(S+A)$, where A and B are real constant.

1. 序 論

지금까지 능동 RC 여파기의 구현을 위하여 제안한 능동 회로망 요소는 여러가지가 있다. 이들은 몇 가지 유형으로 구분하면 Gyrator를 이용한 방법^(1~4), Negative Impedance Converter (NIC)를 이용하는 방법^(1,2,5,7), Positive Impedance Converter(PIC)를 이용하는 방법^(8,9), 부정저항을 이용하는 방법^(10~13) 등이 있다. 연산 증폭기(Operational Amplifier)의 출현으로 연산 증폭기를 이용한 회로합성이 많이 발표되었으며 구현방법은 연산 증폭기의 수를 최소화하고 감도(Sensitivity)를 최소화 하려는 노력이 계속되어 왔다^(19~23).

최근 IC 공정기술의 발달과 제작시 레이저(Laser)의 응용으로 연산 증폭기의 고밀도(High density)화가 되고 대량 생산이 가능하게 됨에 따라 연산 증폭기의 수를 최소화 하려는 구현 방법보다는 연산 증폭기를 여러 개 사용하더라도 구현방법이 편리하고 실험이

용이하며 감도는 아주 낮은것이 더 요망되고 있다. 이 요구에 알맞게 부각된 상태변수기교(State Variable Technique)는 연산 증폭기로 적분기(Integrator)를 만들어 일반적인 2계 전달함수를 Analog Simulation에서 사용되는 방법으로 용이하게 구현하는 방법이다^(23~25). 이 방법은 일반적으로 감도가 낮은 것으로 알려져 있다²³⁾. 그러나 이 방법을 실제로 응용하려면 다음과 같은 난점을 갖는다.

- 1) 적분기는 연산 증폭기 주위에 저항 및 부궤환 소자로서 Capacitor를 사용하는데 이 Capacitor 내부의 Conductance 성분이 문제가 되며 적분기 자체의 Potential instability가 실험상 난점이 될 수 있다.
- 2) 적분기의 Scale factor를 정하는 데 있어서 사용한 저항치 및 Capacitor의 값을 고려하여 정하여야 하는데 이에 따라 중간 증폭기(Interstage Amplifier)가 불가피하게 되며 이 원인으로 연산 증폭기의 수가 증가되면 발전 가능성을 감수하여야만 한다.

그러므로 본 연구에서는 능동 여파기 구현 방법으로 보상 적분기(Augmented Integrator)와 가산 증폭기(Summing Amplifier)만을 사용하였다. 보상 적분기는 연산 증폭기의 부궤환 소자로서 Capacitor만을 사

*正會員, 洪陵機械

**正會員, 全北大學校 工科大学 電氣工學科(電子專攻)
(College of Engineering, Jeonbug National University)

接受日字: 1978年 5月 1日

용하지 않고 Capacitor와 저항을 병렬연결하여 사용 하므로서 Capacitor 내부 Conductance도 감안할 수 있고 자체 안정도 보장된다. 따라서 본 연구는 다음과 같은 정리로 요약할 수 있다.

<定 理>

두 개의 보상 적분기로 이루어진 기억 소자는 S평면의 좌반면에 복소수 pole을 가지는 2계 전달함수를 구현하는 데 충분하며 보상 적분기의 전달함수는 $B/(S+A)$ 형태를 갖는다. 여기서 A, B는 정의 실수(Positive real constant)이다.

2. 보상 적분기를 사용한 2계 능동 여파기의 합성

앞에서 제안한 정리의 충분 조건은 그 합성 방법을 설명하므로서 증명토록 한다.

1). 보상 적분기 (Augmented Integrator)

상태변수 기교의 방법²³⁾으로 사용되는 적분기는 그림 1과 같으나 부채환 소자로 사용된 Capacitor의 Conductance와 적분기 자체의 불안정을 감안한 보상 적분기는 그림 2와 같다.

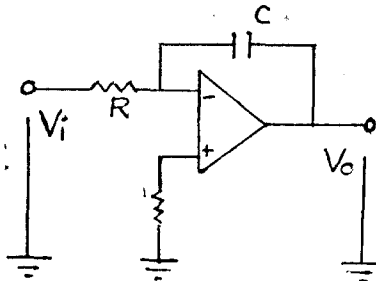


그림 1. 이상적인 적분기
Fig. 1. Ideal Integrator.

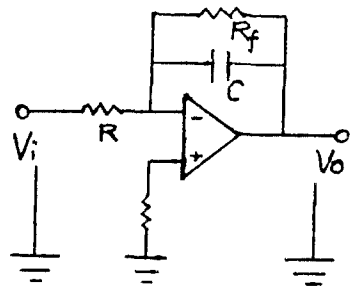


그림 2. 보상 적분기
Fig. 2. Augmented Integrator.

2). 기본 회로망의 구조

보상 적분기 (Augmented integrator)를 사용하여 S 평면의 좌반면에 복소수 pole을 가지는 2계 전달 함수를 구현하는 데 기본 회로망으로서 그림 3과 같이

선정하였다.

그림 3에서 출력 단을 ㉑의 곳에서 선택한 경우의

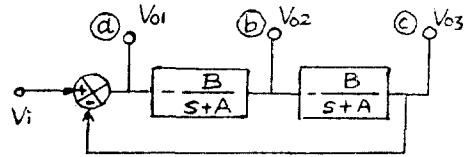


그림 3. 기본 회로망 구조
Fig. 3. Proposed network structure.

전달함수 $T_a(s)$ 는

$$T_a(S) = \frac{V_{01}(S)}{V_i(S)} = \frac{1}{1 + \left(\frac{B}{S+A}\right)^2} = \frac{(S+A)^2}{S^2 + 2AS + A^2 + B^2}$$

이고 출력 단을 ㉒의 곳에서 선택했을 때의 전달함수 $T_b(S)$ 는

$$T_b(S) = \frac{V_{02}(S)}{V_i(S)} = \frac{-\frac{B}{S+A}}{1 + \left(\frac{B}{S+A}\right)^2} = \frac{-B(S+A)}{S^2 + 2AS + A^2 + B^2}$$

이며 ㉓의 곳을 출력 단으로 선택했을 때의 전달함수 $T_c(S)$ 는

$$T_c(S) = \frac{V_{03}(S)}{V_i(S)} = \frac{\left(\frac{B}{S+A}\right)^2}{1 + \left(\frac{B}{S+A}\right)^2} = \frac{B^2}{S^2 + 2AS + A^2 + B^2}$$

이 된다.

(조건) 전달함수의 특성 방정식이 $S^2 + 2AS + A^2 + B^2 = 0$ 일때 두 근은 $S_1, S_2 = -A \pm jB$ 가 된다. 만일 주어진 전달 함수가 S 평면의 좌반면에 Pole을 갖는다고 하면 이는 $A > 0, B \neq 0$ 으로 보상 적분기의 구현조건을 만족한다.

3). 2계 능동 여파기의 합성

보상 적분기를 사용한 그림 3의 기본 회로망을 이용하여 2계 저역통과여파기 (Low-Pass Filter), 대역 통과여파기 (Band-Pass Filter), 고역 통과 여파기 (High-Pass Filter), 및 대역 제거 여파기 (Band-Stop Filter)를 설계한다.

i) 저역 통과 여파회로의 설계

기본 회로망(그림 3)의 출력단 ㉓를 선택하였을 때 전달함수는

$$T_c(S) = \frac{B^2}{S^2 + 2AS + A^2 + B^2}$$

이므로 저역통과 여파회로의 형태임을 알 수 있다. 이 전달함수에 K_1 을 곱하여

$$T_1(S) = \frac{K_1 B^2}{S^2 + 2AS + A^2 + B^2} \dots\dots\dots (1)$$

을 얻는다. 일반적인 2계 저역통과 여파회로의 전달

함수는 $T_{LP}(S)$

$$T_{LP}(S) = \frac{C_3}{S^2 + C_1 S + C_2} \dots\dots\dots(2)$$

이므로 (1), (2) 식에서

$$A = C_1/2$$

$$B = \sqrt{4C_2 - C_1^2}/2$$

$K_1 = 4C_3/(4C_2 - C_1^2)$ 의 관계가 있고

저역 통과 여파회로는 그림 4와 같이 된다.

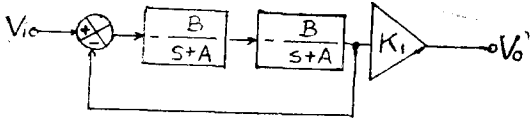


그림 4. 저역 통과 여파기
Fig. 4. Low-pass filter structure.

ii) 대역 통과 여파회로의 설계

대역 통과 여파회로의 전달함수를

$$T_2(S) = \frac{K_2 S}{S^2 + 2AS + A^2 + B^2} \dots\dots\dots(3)$$

라면 이식은 기본 회로망(그림 3)의 출력단 ㉠과 ㉡의 곳에서 얻을 수 있다. 즉

$$T_2(S) = \left(-\frac{K_2}{B}\right) \frac{(-B)}{S^2 + 2AS + A^2 + B^2} + \left(\frac{K_2 A}{B^2}\right) \frac{B^2}{S^2 + 2AS + A^2 + B^2} \dots\dots(4)$$

(4)식에서 계수는 그림 5에서 보이는 바와 같이 가산 증폭기를 사용하면 된다.

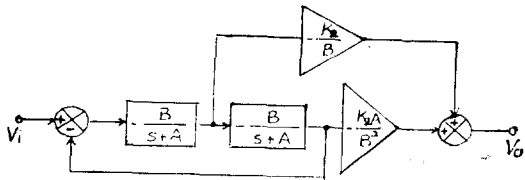


그림 5. 대역 통과 여파기
Fig. 5. Band-pass filter structure.

iii) 고역 통과 여파회로의 설계

고역 통과 여파회로의 2계 전달함수 $T_3(S)$ 는

$$T_3(S) = \frac{K_3 S^2}{S^2 + 2AS + A^2 + B^2} \dots\dots\dots(5)$$

$$T_3(S) = K_3 \frac{(S+A)^2}{D(S)} + \left(\frac{2K_3 A}{B}\right) \frac{[-B(S+A)]}{D(S)} + \left(\frac{K_3 A^2}{B^2}\right) \frac{B^2}{D(S)} \dots\dots\dots(6)$$

(단, $D(S) = S^2 + 2AS + A^2 + B^2$)

가 된다.

(6)식의 각 항은 기본 회로망의 각단 ㉠, ㉡, ㉢에서 얻을 수 있고 각 출력단의 합이 고역통과 여파회로가

되어 그림 6과 같이 설계된다.

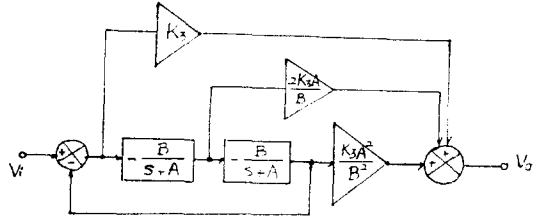


그림 6. 고역통과 여파기
Fig. 6. High-pass filter structure.

iv) 대역 제거 여파회로의 설계

대역 제거 여파회로의 2계 전달 함수는

$$T_4(S) = \frac{K_4 (S^2 + A^2 + B^2)}{S^2 + 2AS + A^2 + B^2} \dots\dots\dots(7)$$

이고 이 식을 변형하면

$$T_4(S) = K_4 \frac{(S+A)^2}{D(S)} + \left(-\frac{2K_4 A}{B}\right) \frac{(-B)(S+A)}{D(S)} + \left[\frac{K_4 (2A^2 + B^2)}{B^2}\right] \frac{B^2}{D(S)} \dots\dots\dots(8)$$

(단, $D(S) = S^2 + 2AS + A^2 + B^2$)

이 되므로 (8)식의 우변 각 항은 그림 3의 기본 회로망에서 출력단 ㉠, ㉡, ㉢에서 각각 얻을 수 있다. 그러므로 대역 제거 여파기는 그림 7과 같이 된다.

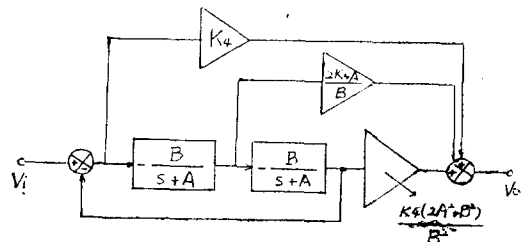


그림 7. 대역 제거 여파기
Fig. 7. Band-stop filter structure.

3. 감도(Sensitivity) 해석

소자들의 변화에 대한 감도를 보상 적분기와 설계된 여파회로에 대하여 고찰 한다.

1). 보상 적분기의 감도 해석

제한한 보상 적분기(그림 3)의 전달함수 $T(S)$ 는

$$T(S) = -\frac{B}{S+A} \text{의 형태를 갖는다.}$$

여기서 $A = 1/R_f C$, $B = 1/RC$ 이다.

소자들의 변화에 대한 보상 적분기의 전달함수 감도

$$S_K^{T(S)} \text{는 } \frac{K}{T(S)} \frac{\partial T(S)}{\partial K} \text{의 정의에서}$$

$$S_R^{T(S)} = -1, S_{R_f}^{T(S)} \leq 1, S_C^{T(S)} \leq -1, S_C^{T(S)} = 0 \text{ 이고}$$

여기서 G 는 Op. Amp.의 Gain이다.

또 $S_{R'}^A, S_{R'}^B$ 에 대한 감도는

$$S_{R'}^A=0, S_{R'}^{A'}=-1, S_{R'}^C=-1, S_{R'}^{C'}=0$$

$$S_{R'}^B=-1, S_{R'}^{B'}=0, S_{R'}^E=-1, S_{R'}^{E'}=0$$

이 된다.

2). 기본 회로망에 대한 감도해석

기본 회로망에서 출력단 ②, ③, ④를 선택한 경우 소자들의 변화에 대한 ω_0 감도($S_K^{\omega_0}$) 및 Q 에 대한 감도(S_K^Q)는 다음 표 1과 같다.

3). 설계된 여파회로의 감도 해석

기본 회로망을 이용하여 설계된 여파회로에서 각 소

표 1. 소자의 변화에 따른 ω_0 및 Q-Sensitivity
Table. 1. Q-Sensitivity and ω_0 -Sensitivity to variation of elements.

출력단 감도 소자	②		③		④	
	$S_K^{\omega_0}$	S_K^Q	$S_K^{\omega_0}$	S_K^Q	$S_K^{\omega_0}$	S_K^Q
A	0	-1	0	-1	0	-1
B	1	1	1	1	1	1
R	-1	-1	-1	-1	-1	-1
R'	0	1	0	1	0	1
C	-1	0	-1	0	-1	0
G	0	0	0	0	0	0

표 2. 설계된 여파회로의 ω_0 및 Q-Sensitivity

Table. 2. Sensitivity of proposed filter circuits.

소자 감도	Low-Pass		Band-Pass		High-Pass		Band-Stop	
	$S_K^{\omega_0}$	S_K^Q	$S_K^{\omega_0}$	S_K^Q	$S_K^{\omega_0}$	S_K^Q	$S_K^{\omega_0}$	S_K^Q
R	-1	-1	-1	-1	-1	-1	-1	-1
R'	0	1	0	1	0	1	0	1
C	-1	0	-1	0	1	0	-1	0
G	0	0	0	0	0	0	0	0

자 변화에 따른 감도는 표 2와 같다. 또 표 2에서 볼 수 있는 바와 같이 ω_0 및 Q 에 대한 감도는 그 절댓치가 1 이하이므로 실용화 하는데 문제점이 없다.

4. 실험 및 고찰

2계 전달함수를 가지는 저역, 대역, 고역 통과 및 대역 제거 여파회로를 구현하는데 보상 적분기를 사용한 실험 예를 들고 고찰한다.

1). 저역 통과 여파회로

$\omega_0^2=12500(\text{rad/sec})^2$ 이고 $Q=1.12$ 이며 전압비의 크기가 $|V_o/V_i|=2$ 인 조건에 만족하는 전달함수 $T_{LP}(S)$ 는

$$T_{LP}(S) = \frac{2 \times 10^4}{S^2 + 100S + 12500} \dots\dots\dots (9)$$

이 전달함수를 앞에서의 저역 통과 여파회로 설계의 (1)식에서 A, B, K_1 의 값을 구하면 $A=50, B=100, K_1=2$ 를 얻으므로 이 결과의 값을 그림 4에 대입하여 보상 적분기를 이용한 회로를 구할 수 있다.

보상 적분기의 궤환 저항(R_f)는 $20K\Omega$ 이고 입력측 저항은 $10K\Omega$, 궤환 Capacitor는 $1\mu F$ 를 사용하여 실험하였고 연산 증폭기는 $\mu A 747$ 을 사용하여 그림 8과 같은 특성 곡선을 얻었다. 실험치 곡선은 이론치와 거의 일치하고 있음을 알 수 있다.

2). 대역 통과 여파회로

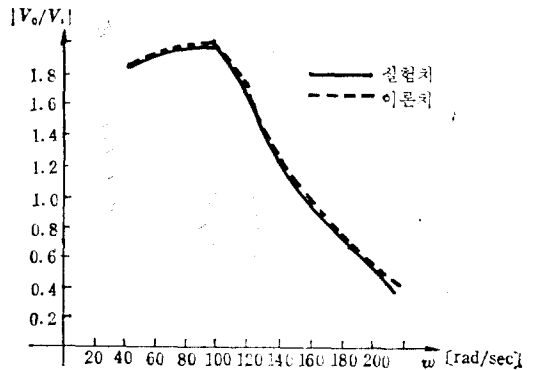


그림 8. 식 (9)를 구현한 저역통과 회로망의 실험 및 이론치

Fig. 8. Experimental and theoretical data for the low-pass network realizing. (9)

주어진 조건이 $\omega_0=1000\text{rad/sec}, Q=5, |V_o/V_i|=10$ 이라 할때의 2계 전달 함수 $T_{BP}(S)$ 와 보상 적분기를 이용한 전달함수는 같으므로

$$T_{BP}(S) = \frac{2000S}{S^2 + 200S + 10^6} = \frac{K_2S}{S^2 + 2AS + A^2 + B^2} \dots\dots (10)$$

에서 $A=100, B=995, K_2=2000$ 이 구하여진다. 이 값

을 그림 5에 대입하여 그림 9와 같은 특성 곡선이 구하여진다.

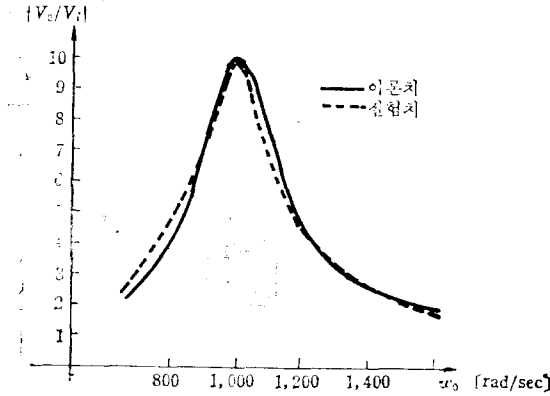


그림 9. 식 (10)를 구현한 대역 통과 회로망이 실험 및 이론치

Fig. 9. Experimental and theoretical data for the band-pass network realizing. (10)

3) 고역 통과 여파회로

$\omega_0=1000$ rad/sec, $Q=1$, $|V_o/V_i|=1$ 일 때 고역 통과 여파 회로의 2계 전달함수는 다음과 같다.

$$T_{HP}(S) = \frac{S^2}{S^2 + 10^3 S + 10^6} \dots\dots\dots(11)$$

A, B, K_3 를 구하면

$A=500$, $B=987$ (이론치 $\cong 1000$ (실험치)) $K_3=1$ 이므로 이 관계를 그림 6에 대입하여 실험하여 그림 10과 같은 결과의 특성 곡성을 얻었다.

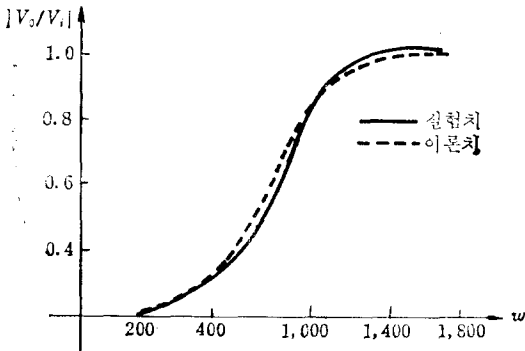


그림 10. 식 (11)을 구현한 고역통과 회로망의 실험 및 이론치

Fig. 10. Experimental and theoretical data for the high pass network realizing. (11)

4) 대역 제거 여파회로

대역 제거 여파회로의 2계 전달함수 $T_{BS}(S)$ 가 다음과 같을 때

$$T_{BS}(S) = \frac{S^2 + 42500}{S^2 + 100^3 S + 42500} \dots\dots\dots(12)$$

A, B K_4 의 값은 $A=50$, $B=200$

$K_4=1$ 을 얻고 그림 7에 각각을 대입하여 실험하여 그림 11과 같은 특성 곡성을 얻었다.

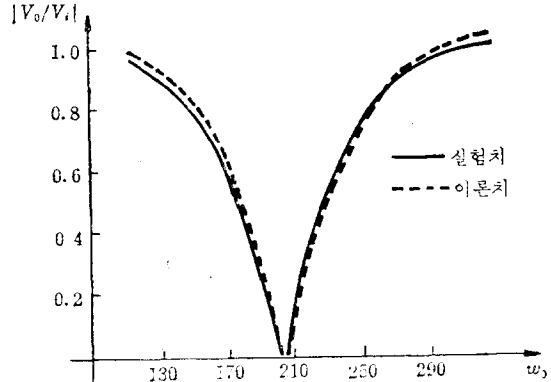


그림 11. 식 (12)를 구현한 대역제거 회로망의 실험 및 이론치

Fig. 11. Experimental and theoretical data for the Band stop network realizing. (12)

이상의 실험을 통하여 이론치는 실험치와 거의 일치함을 알 수 있었다. 또 그림 5, 6, 7에서 계수 항을 증폭기로 나타낸 곳이 2개 이상이나 실제 이용시 Op. Amp를 가산기로서 활용하면 한개로 된다.

5. 結 論

1. 보상 적분기의 감도 및 기본 회로망(메모리 소자), 설계된 여파기의 Q 및 ω_0 의 감도의 절대치가 모두 1 이하이므로 실용화 할 수 있다.
2. 두 개의 보상 적분기를 기억 소자(Memory element)로 하고 여기에 가산 증폭기 만을 연결하므로써 S 평면의 좌반면에 복소수 Pole을 가지는 임의의 2계 전달함수를 구현하는데 충분함을 확인하였다.

參 考 文 獻

1. K.L.Su, "Active Network Synthesis," McGraw Hill, 1965.
2. S.K. Mitra, "Analysis and Synthesis of Linear Active Network," John Wiley, 1968.
3. F.P. Bogert, "Some Gyator and Impedance Inverter Circuits." Proc. IRE, Vol. 43, pp.793-796, July, 1955.
4. I. M. Horowitz, "Optimum Design of Single stage Gyator RC Filters with prescribed Sensitivity", IRE, Trans. Circuit Theory, Vol. CT-8, pp.88-94, June, 1961.

5. J.G. Linvill, "RC Active Filters", Proc. IRE, Vol.42, pp.555-574, Mar. 1954.
6. T. Yanagisawa, "RC Active Networks using Current-Inversion type Negative Impedance Converters". IRE, Trans. Circuit Theory, Vol. CT-4, 140-144, Sept. 1957.
7. J.M. Sipress, "Synthesis of Active RC Networks", IRE trans, circuit theory, Vol. CT-8, Sept. 1961.
8. C.D. Kim, "Active Network Synthesis using the Positive Impedance Converter". Ph. D. thesis, georgia institute of technology. 1971.
9. J. Forski-Popiel, "The positive Impedance Converter. An alternate to the Active Gyrator" proc. Eleventh midwest sym. On circuit theory, pp. 480-499, 1968.
10. H.J. Carlin, "General N-port synthesis with negative resistors". proc. IRE, Vol. 48, pp. 1174-1175, June 1960.
11. F.T. Beesch and M.R. Wohlers, "On network synthesis with negative resistance", proc. IRE, Vol. 48. pp.1656-1657, Sept. 1960.
12. R. Aron, "Gain bandwidth relations in negative resistance amplifiers". proc. IRE, Vol. 49, pp. 355-356, Jan. 1961.
13. H.J. Carlin and D. Cl Youla, "Network synthesis with negative resistors". Proc. IRE, Vol. 49, pp.907-920, May 1961.
14. R.W. Newcomb, "Active integrated circuit synthesis" prentice-hall, 1968.
15. L.P. Huelsman "Theory and Design of active RC circuits" McGraw-Hill, 1968.
16. A.S. Morse and L.P. Huelsman, "A gyrator realization using operational amplifiers". IEEE trans. circuit theory, Vol. CT-11, pp. 277-278, June, 1964.
17. R.H.S. Riordan, "Simulated inductors using differential amplifiers". Electronics letter, 3 pp. 50-51 Feb. 1967.
18. L.P. Huelsman, "Active Filters" McGraw-Hill, new York, 1970.
19. P.E. Fleischer, "Sensitivity minimization in a single amplifier biquad circuit" IEEE trans. circuits and systems, Vol. CAS.23, pp. 45-55, Jan. 1976.
20. L.T. Bruton, "Sensitivity comparison of high-Q second-order active filter synthesis techniques." IEEE trans. circuits and systems, Vol. CAS-22 pp.32-38, Jan. 1975.
21. A. S. Sedra and J. L. Espinoza, "Sensitivity and frequency limitations of biquadratic active filters". IEEE trans. circuits and systems, Vol. CAS-22, pp.122-130, Feb. 1975.
22. D. Hilberman, "An approach to the sensitivity and statistical variability of biquadratic filters". IEEE trans, Circuit Theory, Vol. CT-20 pp. 382-390, July 1973.
23. W.J. Kerwin, L.P. Huelsman and R.W. Newcomb, "State-Variable Synthesis for Insensitive Integrated Circuit Transfer function". IEEE J. Solid-state circuits, Vol. SC-2, pp.87-92, Sept. 1967.
24. M.A. Tapia "Use of superposition in writing state equations for networks with excess elements," IEEE trans. circuit theory, Vol. CT-17, pp.622-624, Nov.1970.
25. J. Tow, "A step-by-step active-filter design". IEEE spectrum, Vol, 6, pp.64-68, Dec 1969.
26. C.D. Kim and K.L. Su, "On the sufficiency of 2N operational amplifiers to realize an Arbitrary NxN Voltage transfer matrix", IEEE trans circuit theory, Nov. 1971.
27. 김 정덕, "연산 증폭기를 사용한 다중 채널능동 필터의 구현", 대한 전기학회지, 제24권 4호 pp.80-82, 1975.