

# 쉬프트레지스터를 사용한 順序論理回路의 簡單化에 關하여 (On the Logical Simplification of Sequential Machines using Shift-Registers)

李 根 泳\*

(Lee, KuenYoung)

## 要 約

쉬프트레지스터(SR) 모듈을 記憶素子로서 사용하여 順序回路를 實現하는 方法을 論하였다. 從來의 方法은 특수한 條件下에서 SR를 선택하는 것으로서 그것을 구동하는 組合論理回路의 複雜度는 고려되지 않았다. 本 論文은 한 整數值函數를 사용하여 段數가 최소인 SR를 선택하였고 각 SR를 구동하는 組合論理回路의 入力線數를 비교하여 論理回路의 複雜度가 낮은 最適 狀態割當을 求하였다.

## Abstract

This paper is concerned with the realization of sequential machines using shift-register modules as their memory elements. Other methods were to select shift-registers under the specific conditions and didn't consider the complexity of combinational circuits driving them. By using an integer valued function, all shift-registers with minimum length could be selected and an optimum assignment with lowest complexity could be obtained by comparing the number of input lines of combinational logic circuits driving them.

## 1. 序 論

順序回路를 實現하는데 가장 重要한 問題의 하나는 狀態를 코오딩하는 것이다. 狀態를 어떻게 코오딩하느냐에 따라 記憶素子를 구동하는 組合論理回路의 複雜度가 현저하게 다르므로 최소의 組合論理回路를 갖는 狀態割當을 擇하여야 한다. 從來의 一般的인 順序回路의 實現法은 각 記憶素子마다 그것을 구동하는 組合論理回路를 갖는다. 最近 IC技術의 進歩에 따라 個個의 論理素子를 사용하는 方法보다 모듈을 사용하여 實現하는 方法의 開發이 絶실히 要求된다. 이러한 方法에 있어서 고려하여야 할 것은 모듈의 集積度는 入力線數의 制限을 받게되므로 論理回路가 갖는 入力線數를 減少하는 것이다.

모듈로서 쉬프트레지스터를 사용하여 順序回路를 實現하는 方法에 關하여 많은 研究結果가 發表되었다.<sup>1-6)</sup> 그러나 지금껏 발표된 論文은 주어진 條件下에서 SR를 선택하는 것으로서 그것을 구동하는 組合論理回路

의 複雜度는 전혀 고려되지 않았다. 本 論文은 Roome<sup>6)</sup>의 方法을 보다 확장하여 SR의 선택뿐만 아니라 그것을 구동하는 組合論理回路의 複雜度를 고려하여 最適한 狀態割當을 求하였다.

本 論文은 分割理論을 基礎로 하였으며 狀態의 코오딩은 1對 1로 하였다.

## 2. 順序回路와 狀態割當

順序回路  $M$ 은 다음과 같은 5-組(5-tuple)의 심벌로 정의된다.

$$M = (I, Z, S, \delta, \lambda)$$

여기서  $I$ : 入力알파벳(入力變數  $x_1, x_2, \dots, x_m$ 의 組合으로 된 集合)

$Z$ : 出力알파벳(出力變數  $z_1, z_2, \dots, z_n$ 의 組合으로 된 集合)

$S$ : 狀態의 有限集合(狀態變數  $y_1, y_2, \dots, y_q$ 의 組合으로 된 集合)

$\delta$ : 次期狀態函數,  $\delta: S \times I \rightarrow S$

$\lambda$ : 出力函數,  $\lambda: S \times I \rightarrow S$

이다.

順序回路를 實現하는데 가장 어려운 問題의 하나는 次期狀態函數  $\delta$ 를 求하는 것이다. 이 次期狀態函數를

\* 正會員, 光云工科大学 應用電子工學科  
(Dept. of Electronics, Kwang-Woon Institute of Technology)

接受日字: 1978年 2月 20日

實現하는 組合調理回路의 複雜度는 順序回路의 各 狀態를 어떻게 코딩 하느냐에 따라 현저하게 다르다. 一般的으로 出力函數  $\lambda$ 를 實現하는 組合調理回路는 狀態割當에 따라 큰 영향을 받지 않으므로 그것의 實現에 관해서는 省略하고 記憶素子(FF)의 入力函數인 次期 狀態函數  $\delta$ 를 實現하는 方法에 관하여 論한다.

表 1의 順序回路 M1에 대하여 두 가지 다른 狀態割當과 J-K FF를 사용하였을 때 入力式을 表 2에 나타내었다.

표 1. Sequential machine M1

S \ I	00	01	11	10
1	-	1	5	1
2	-	3	6	3
3	-	-	6	6
4	-	8	1	1
5	-	7	6	3
6	-	4	6	6
7	-	1	2	1
8	-	8	8	1

표 2. Two state assignments and their J-K input expressions.

1	1 1 1	$J_1 = y_2 + x_1 y_2 y_3 + \bar{x}_1 \bar{y}_3 + \bar{x}_2 \bar{y}_3$
2	0 0 1	$K_1 = \bar{x}_1 y_1 \bar{y}_2 y_3 + \bar{x}_1 y_2 \bar{y}_3 + \bar{x}_2 y_2 \bar{y}_3$
3	0 1 0	
4	0 1 1	$J_2 = \bar{x}_2 \bar{y}_3 + \bar{x}_1 y_3 + \bar{x}_1 \bar{y}_1 + \bar{x}_2 \bar{y}_1$
5	1 1 0	$K_2 = x \bar{y}_3 + \bar{x}_1 \bar{y}_1 + \bar{y}_1 \bar{y}_3$
6	1 0 1	
7	0 0 0	$J_3 = \bar{y}_1 + \bar{x}_2 \bar{y}_2 + x_1 x_2 y_2$
8	1 0 0	$K_3 = \bar{x}_1 \bar{y}_1 + \bar{x}_2 \bar{y}_2$
State assignment 1. Input expressions of J-K FF's (No. of input lines 59)		
1	0 0 0	$J_1 = x_1 x_2 \bar{y}_2 \bar{y}_3 + x_1 x_2 y_2 y_3$
2	1 0 0	$K_1 = \bar{x}_1 y_3 + \bar{x}_1 y_2$
3	1 1 1	
4	0 1 0	$J_2 = y_1$
5	1 0 1	$K_2 = \bar{y}_1$
6	1 1 0	
7	0 1 1	$J_3 = \bar{x}_1 \bar{y}_1 y_2 + \bar{x}_1 y_1 \bar{y}_2 + x_1 x_2 \bar{y}_1 \bar{y}_2 + \bar{x}_2 y_1 \bar{y}_2$
8	0 0 1	$K_3 = \bar{x}_2 \bar{y}_1 + x_1 x_2 y_1 + y_2$
State assignment 2. Input expressions of J-K FF's (No. of input lines 41)		

狀態數가 R 個일 때 이들을 唯一하게 코딩하는데 必要한 狀態變數의 最小數  $q$ 는  $\lceil \log_2 R \rceil$ 이다. 여기

서  $\lceil \log_2 R \rceil$ 의 記號  $\lceil \cdot \rceil$ 은  $\log_2 R$ 보다 크거나 같은 最小整數를 表示한다. SR를 사용하여 順序回路를 實現할 때 사용하는 狀態變數의 數  $n$ 은  $n \geq \lceil \log_2 R \rceil$ 이다. 이것은 SR의 段階가 약간 증가하더라도 SR를 구동하는 組合調理回路를 더욱 減少할 수 있으면 좋다. 이것은 集積回路技術의 進歩로 제조, 가격면에서 별 다른 問題가 되지 않기 때문이다.

[定義 1] 한 個의 狀態變數  $y$ 에 의하여 論理值 0으로 割當된 狀態들을 한 블럭  $B_0$ 에 그리고 1로 割當된 狀態들을 다른 한 블럭  $B_1$ 에 配列하면 두 個의 블럭으로 된 分割  $\Pi(y) = \{B_0, B_1\}$ 을 얻는데 이것을 基本分割(EP) 혹은 基本割當(EA)이라고 정의한다.

狀態數가 R 個일 때 EA는  $2^{R-1}-1$  個가 存在한다.

[定義 2]  $q$  個의 EA에 의하여 順序回路의 各 狀態가 唯一하게 코딩 되었다면 즉,  $\Pi_1 \Pi_2 \dots \Pi_q = \phi$ 이면 이때 이  $q$  個의 EA에 의한 狀態割當을 完全狀態割當 그렇지 않으면 部分狀態割當이라 한다.

最少 狀態變數의 數  $q$  個를 사용 했을 때 狀態割當數  $Q$ 는

$$Q = \frac{(2^q - 1)!}{(2^q - R)! q!}$$

이다. 表 3으로부터 狀態數가 증가하면 狀態割當數  $Q$ 는 급격히 증가함을 알 수 있다. 그러므로  $2^{R-1}-1$  個의 基本割當을 고려하여 가장 경제적인 狀態割當이 되는  $q$  個의 基本割當을 선택 할 수 있으면 좋다.

표 3. Number of state assignments and elementary assignments.

R	q	Q	EA
1	0	-	-
2	1	1	1
3	2	3	3
4	2	3	7
5	3	140	15
6	3	420	31
7	3	840	63
8	3	840	127
9	4	10,810,800	255

### 3. 슈프트레지스터의 선택

分割理論에 의하여 SR를 사용하여 順序回路를 實現 하려면 먼저 狀態表로부터 共寫像체인(CC, comapping chain)을 이루는 두 分割, 即 列分割  $\Pi_c$ 와 行分割  $\Pi_r$ 을 얻을 수 있다. 이  $\Pi_c$ 와  $\Pi_r$ 은 슈프트레지스터를 사용하여 順序回路를 實現하는데 基本이 되는 最小分割

이며 이것으로부터 任意的 最小  $k$  共寫像체인 ( $k-CC$ ) 을 求할 수 있다.  $\Pi_{2,1}=\Pi_c$ 와  $\Pi_{2,2}=\Pi_r$ 은  $2-CC$ 로서  $[\Pi_{2,1} \Pi_{2,2}]$ 로 表示하며 여기서  $[ ]$ 은 두 分割이 共寫像의 關係에 있음을 表示한다. 任意的 ( $k-1$ )- $CC$  ( $k \geq 3$ )이 存在하면 이것으로부터 分割和와 共寫像의 關係를 利用하여  $k-CC$ 를 求하는 方法은 다음과 같다<sup>6)</sup>

$$\Pi_{k,i} = \Pi_{k-1, i-1} + \Pi_{k-1,i} \quad 2 \leq i \leq k-1$$

$$[\Pi_{k,1} \Pi_{k,2}] \text{로 부터 } \Pi_{k,1}$$

$$[\Pi_{k,k-1} \Pi_{k,k}] \text{로 부터 } \Pi_{k,k}$$

를 구한다. 이때  $k-CC$ 의 첫 分割  $\Pi_{k,1}$ 으로부터  $\Pi_1 \geq \Pi_{k,1}$ 인 分割  $\Pi_2$ 를 種分割이라 한다. 이 種分割만 선택 되면 이것과 共寫像 체인을 이루는 다른 分割들은 唯一하게 求할 수 있다.

$k-CC$ 를 이루는 分割들의 實現積( $RP$ )은  $k$ 個  $EP$ 의 分割積  $RP(\Pi_i) = \Pi_1 \Pi_2 \dots \Pi_k$ 로 表示한다. 部分割當( $T$ )은 선택된  $CC$ 들의 集合이며 그것의  $RP(T)$ 는 각  $CC$ 의  $RP$ 들간의 分割積이다. 完全割當은  $RP$ 가  $\phi$ 로서 각 狀態가 唯一한 코오드를 갖는다.  $k-CC$ 로부터 많은  $k-SR$ 이 구하여 진다. 이들 중에서 適合한 것을 선택하기 위하여 각  $S$ R에 대한 分割  $T \cdot RP(\Pi_i)$ 을 다음 整數值函數에 의하여 크기를 比較한다.

[定義 3]  $E(\Pi)$ 를 分割  $\Pi$ 의 最大블럭이 갖는 狀態數라 하면 整數值函數  $N$ 은  $N(\Pi) = \lceil \log_2 E(\Pi) \rceil$ 로 定義한다.

이 整數值函數  $N$ 은 最大블럭의 狀態들을 唯一하게 코오딩하는데 必要한 狀態變數의 數이다. 각  $k-SR$ 에 대하여  $N(T \cdot RP(\Pi_i))$ 을 구하여  $N$ 이 最小인  $k-SR$ 를 擇하면 주어진 順序回路를 實現하는 最少段의  $S$ R를 얻을 수 있다.  $\Pi_{k,1}$ 이 갖는 여러 個의 블럭중에서 두 個의 블럭을 結合하여 얻는 分割을 基底分割( $BP$ )이라 하면  $EP$ 와  $BP$ 간의 大小 關係는 다음과 같다.

[定理 1]  $\Pi_1$ 을  $EP$ ,  $\Pi_1'$ 를  $BP$ 라 하고  $\Pi_1 \geq \Pi_1' \geq \Pi_{k,1}$ 이라 하자. 주어진 部分割當의 分割積  $T$ 와 整數值函數  $N$ 에 對하여  $RP(\Pi_1) \geq RP(\Pi_1')$ 이므로  $N(T \cdot RP(\Pi_1)) \geq N(T \cdot RP(\Pi_1'))$ 이다.

(證明)  $EH$ 函數에서의 證明方法和 同一하므로 省略한다.

$\Pi_1' \leq \Pi_1$ 인 모든  $\Pi_1'$ 의 整數值  $N(T \cdot RP(\Pi_1'))$ 중에서 上限値는  $N(T \cdot RP(\Pi_1))$ 의 上限値이다. 따라서 주어진 정수치  $N_0$ 에 대하여  $BP$ 의 두 集合  $A = \{\Pi_1' : N(T \cdot RP(\Pi_1')) \leq N_0\}$ ,  $B = \{\Pi_1' : N(T \cdot RP(\Pi_1')) > N_0\}$ 가 주어지면 種分割 선택 알고리즘<sup>6)</sup>을 적용하여  $N(T \cdot RP(\Pi_1)) \leq N_0$ 인  $EP$ 들의 集合  $F$ 를 구할 수 있다.

Roome<sup>6)</sup>은 整數值函數  $EH$ 를 사용하여 最小段數인  $S$ R를 선택하였다. 最少段數의  $S$ R를 선택하기 위하여

整數值函數  $N$ 을 사용하면  $EH$ 函數에 比하여 다음과 같은 利點이 있다.

1.  $EH$ 函數를 사용하였을 때  $2^{N-1} < E \leq 2^N$ ,  $0 < H \leq R - BN(\Pi)$  ( $N=1, 2, \dots$ ,  $R$ : 狀態數,  $BN(\Pi)$ : 分割  $\Pi$ 의 블럭數) 사이의 각  $EH$ 값에 대하여 種分割 선택 알고리즘을 適用하므로 모든 最小段數를 갖는  $S$ R를 선택하기 위해서는 알고리즘을 適用하는 回數가 많다. 그러나  $N$ 函數를 사용하면 앞의 각  $EH$ 값들이 同一한  $N$ 값을 가지므로 알고리즘을 한번만 적용하게 되어 매우 간단하다.

2. 組合論理回路의 複雜度는 完全狀態割當에 의해서 決定되므로 部分狀態割當으로는 精確하게 예측할 수 없다. 즉, 部分狀態割當의  $EH$ ,  $N$ 函數값이 最小인 것을 선택하는 것은 最少段數의  $S$ R를 선택할 수는 있으나 組合論理回路의 複雜度는 예측할 수 없다. 函數를 사용하던 最少段數를 갖는 많은  $S$ R중에서  $EH$ 값이 가장 작은 것을 선택하나,  $N$ 函數를 사용하던  $2^{N-1} < E \leq 2^N$ ,  $0 < H \leq R - BN(\Pi)$ 의 각  $EH$ 函數값에 대한 最少段數의  $S$ R를 모두 선택한다. 즉  $EH$ 函數에 의하여 선택된 最少段數의  $S$ R를 實現하는 狀態割當의 集合은  $N$ 函數에 의하여 선택된 그것의 部分集合이다. 그러므로 모든 最少段數의  $S$ R중에서 入力線數가 最少인 最適狀態割當을 구할 수 있다.

整數值函數  $N$ , 部分割當의 分割積  $T$ , 그리고 두 整數  $k$ 와  $N_{max}$ 가 주어졌을 때  $N_{max}$ 보다 같거나 작으며 또한  $N(T \cdot RP(\Pi_i))$ 가 最小인  $k-SR$ 의 種分割을 선택하는 알고리즘은 Roome이 사용한 알고리즘<sup>6)</sup>에  $EH$ 函數 대신에  $N$ 函數를 適用한 것이다.

주어진 順序回路의 狀態表가 한 個의  $S$ R로서 完結하게 實現되지 않으면 完全하게 實現될 때까지 可能한 最少段數의  $S$ R를 求하여야 한다. 이미 얻어진  $S$ R의 分割積  $T$ 에 附加될  $N(T \cdot RP(\Pi_i))$  값이 最少이면서 最少段數를 갖는  $S$ R를 선택한다.  $T$ 와  $k-SR$ 이 주어졌을 때  $k > k'$ 이고  $N(T \cdot RP(\Pi_i)) \geq N(T \cdot RP(\Pi_i'))$ 인 다른  $k'-SR$ 이 存在한다면  $k'$ 가 가질 수 있는 下限値는 다음과 같다.

[定理 2]  $k > k'$ 일 때  $\{\Pi_i\}$ 와  $\{\Pi_i'\}$ 는 각각 基本分割로 된  $k-CC$ ,  $k'-CC$ 이라 하고  $T$ 는 部分割當의 分割積이라 하자. 만약  $E(T \cdot RP(\Pi_i)) \geq E(T \cdot RP(\Pi_i'))$ 이면  $k' \geq N(\lceil E(T) / E(T \cdot RP(\Pi_i)) \rceil)$ 이다.

(證明) 이 定理의 證明은 Roome<sup>6)</sup>의 方法和 同一하므로 省略한다.

整數值函數  $N$ 을 사용하였을 때 附加될  $S$ R를 선택하는 알고리즘은  $EH$ 函數의 알고리즘<sup>6)</sup>에  $k'$ 의 下限을  $(N \lceil E(T) / E(T \cdot RP(\Pi_i)) \rceil)$ 로 하면 同一하다.

4. 完全狀態割當을 위한 基本分割의 生成

順序回路의 列分割  $\Pi_c$ 와 行分割  $\Pi_r$ 의 積  $\Pi_c \Pi_r \approx \phi$ 이면 그 順序回路는 SR만으로 完全하게 實現되지 못한다. 즉 선택된 모든 SR의 實現積이 갖는 최대블럭의 상태수가 2이면  $N = \lceil \log_2 2 \rceil = 1$ 로서 두 상태를 完全히 구분하기 위해서는 한개의 FF이 더 필요하다. 이 FF이 갖는 基本分割을 구해야 한다.

[定理 14] 어떤 分割이 2개의 상태를 갖는 블럭의 數가  $v$ , 한개의 상태를 갖는 블럭의 數가  $w$ 개로 되어 있으면 이 分割과의 分割積이  $\phi$ 가 되는 EP의 數는  $2^{v+w-1}$ 이다.

(증명) 한개의 상태로 된 블럭들이 갖는 상태들의 集合을  $U$ 라 하면  $U$ 의 멱집합(P, Power Set)은

$$P = \{P_1, P_2, \dots, P_1, \dots, P_2^{w-1}, P_2^{w-1+1}, \dots, P_j, \dots, P_2^{w-1}, P_2^w\}$$

이고  $2^w$ 개 部分集合을 그것의 要素로 한다. 그리고 각  $P_i (1 \leq i \leq 2^{w-1})$ 는  $U$ 에 關於하여 補集合인  $P_j = \bar{P}_i (2^{w-1} + 1 \leq j \leq 2^w)$ 가 반드시 하나가 존재한다. EP의 한 블럭  $B_0$ 를 生成하기 위하여  $v$ 블럭 각각으로부터 取할 수 있는 方法은  $2^v$ 로 모두  $2^{v+w}$ 가지 이다.  $P$ 의 임의의 要素  $P_i$ 를 블럭  $B_0$ 에 넣으면  $P_i$ 의  $U$ 에 關於하여 補集合인  $P_j = \bar{P}_i$ 가  $B_1$ 에 포함되어  $\Pi$ 가 生成된다. 마찬가지로  $P_j$ 를  $B_0$ 에 넣으면  $P_i = \bar{P}_j$ 가  $B_1$ 에 포함되어  $\bar{\Pi}$ 가 生成된다. EP인  $\Pi$ 와  $\bar{\Pi}$ 는 同一 分割이다. 나머지  $P_i$ 의 모든 要素에 대하여도 마찬가지이므로 EP의 數는  $\frac{1}{2}$ 로 減少되므로  $2^{v+w-1}$ 이다.  $v$ 블럭이 갖는 두 상태중에서 하나는  $B_0$ 에 다른 하나는  $B_1$ 에 포함시켜 EP를 生成하므로 이것과  $N=1$ 인 RP의 分割積은  $\phi$ 이다.

(증명 끝)

EP는 다음과 같이 하여 얻는다. 2개의 狀態로 된  $v$ 개 블럭에 포함된 상태들의 集合을  $C$ 라 하자.  $v$ 개 블럭 각각으로부터 한개의 상태를 取한 임의의 集合을  $C_k$ , 다른 하나의 상태를 취한 集合은  $C$ 에 關於하여  $C_k$ 의 補集合으로  $\bar{C}_k$ 라 하면 EP는

$$\pi_{i,k} = \{P_i \cup C_k : \bar{P}_i \cup \bar{C}_k\}$$

표 4. Sequential Machine M2.

	I	0	1
S			
1		5	1
2		3	3
3		2	2
4		3	3
5		4	4

이다. 여기서  $i=1, \dots, 2^{w-1}$ 이고 각  $i$ 에 대하여  $k=1, \dots$

$2^w$ 이다.

예로 표 4의 順序回路 M2를 2-SR을 使用하여 實現하여 보자.

$\Pi_c$ 와  $\Pi_r$ 은 다음과 같다.

$$\Pi_c = \{1 : 24 : 3 : 5\}$$

$$\Pi_r = \{15 : 3 : 2 : 4\}$$

最小 整數値를 갖는 2-SR은 알고리즘<sup>8)</sup>을 適用하여 구하면 다음과 같다.

- A {124 : 35} {135 : 24} = {1 : 24 : 35}
- B {135 : 24} {1245 : 3} = {15 : 24 : 3}
- C {13 : 245} {125 : 34} = {1 : 3 : 4 : 25}
- D {15 : 234} {145 : 23} = {15 : 23 : 4}

이들 實現積 최대블럭이 갖는 狀態數가 2이므로 順序回路 M2를 完全하게 實現하기 위해서는 한개의 EP가 더 필요하다. 定理 3에 의하여 각 2-SR과의 RP가  $\phi$ 인 EP를 구하여 完全狀態割當을 求하면 표 5와 같다.

표 5. SR Assignments with MNS, AN.

	完全狀態割當	MNS	AN
A1	(124 : 35) (135 : 24) (125 : 34)	2	5
A2	(124 : 35) (135 : 24) (145 : 23)	2	2
A3	(124 : 35) (135 : 24) (134 : 25)	6	6
A4	(124 : 35) (135 : 24) (123 : 45)	4	5
B1	(15 : 234) (154 : 23) (12 : 345)	2	2
B2	(15 : 234) (154 : 23) (13 : 245)	2	2
B3	(15 : 234) (154 : 23) (134 : 25)	4	5
B4	(15 : 224) (154 : 23) (124 : 35)	2	2
C1	(13 : 245) (125 : 34) (12 : 345)	4	6
C2	(13 : 245) (125 : 34) (145 : 23)	2	4
C3	(13 : 245) (125 : 34) (135 : 24)	2	4
C4	(13 : 245) (125 : 34) (15 : 234)	2	2
C5	(13 : 245) (125 : 34) (124 : 35)	4	6
C6	(13 : 245) (125 : 34) (123 : 45)	4	7
C7	(13 : 245) (125 : 34) (1345 : 2)	2	6
C8	(135 : 24) (125 : 34) (1234 : 5)	4	5
D1	(135 : 24) (1245 : 3) (123 : 45)	2	6
D2	(135 : 24) (1245 : 3) (134 : 25)	4	6
D3	(135 : 24) (1245 : 3) (14 : 235)	2	5
D4	(135 : 24) (1245 : 3) (12 : 345)	2	2

順序回路 M2는 한개의 2-SR과 FF를 使用하여 實現할 수 있는 完全狀態割當은 모두 20가지 있다. 일반적으로 狀態의 數가 많으면  $\Pi_c$ 와  $\Pi_r$ 도 많은 블럭을 갖기 때문에 같은 段數인 SR이 많이 있다. 따라서 이들 중에서 가장 경제적인 것을 선택하여야 한다.

5. 最少 入力線을 갖는 狀態割當의 선택

게이트(gate) 回路的 각각 入力線은 하나의 다이오드 혹은 트랜지스터를 갖고 있으므로 入力線數를 減少하면 실제로 回路素子數도 減少된다. 또한 IC모듈의 集積度를 높이는 데 제약조건 의 하나는 IC주변의 Pin數와도 關係되므로 入力線數의 減少는 중요한 문제이다.

從來의 狀態割當法에 의해서 實現된 順序回路는 狀態數가  $R$ 個일때  $q = \lceil \log_2 R \rceil$ 個의 最少狀態變數를 사용하고 각각의 FF마다 그것을 구동하는 組合論理回路를 갖는다. SR를 사용하여 順序回路를 實現한다면, 먼저 SR로 實現할 수 있는 狀態割當들을 지금까지 展開한 方法에 의해서 求한 다음 그들 중에서 最少入力線數를 갖는 狀態割當을 찾아 낸다. 그러면  $q$ 個의 각 FF를 구동하는 組合論理回路가 必要치 않고  $q$ 보다 작은 數의 SR를 구동하는 組合論理回路가 必要하므로 簡單化된다. 또한 同一한 SR를 갖는 狀態割當이 많이 존재하면 이들 중에서 각 SR를 구동하는 組合論理回路의 入力線數가 最少인 狀態割當을 선택할 수 있다면 더욱 效果的이다. Story<sup>2)</sup>가 제안한 入力線數의 下限이란 概念을 이용하여 SR로 實現할 수 있는 狀態割當 가운데서 入力線數가 最少인 것을 선택한다.

順序回路가  $R$ 개의 狀態를 갖는다면  $2^{R-1}-1$ 개의 EP가 존재한다. 同一한 EP가 다른 狀態割當에 사용되었을 때 실제 코스트(入力線의 數의 多少로 平價)는 다르다. 이것은 그 狀態割當을 구성하는 각각의 EP사이에 相關되기 때문이다. 어떠한 方法에 의해서 각 EP가 서로 관련됨이 없이 固有의 코스트를 갖도록 할 수 있다면 모든 상태 할당의 실제 코스트를 直接 구하지 않고는 間接적으로 그것을 예측할 수 있다.

이때 固有의 코스트는 모든 상태의 코드가 서로 인접(Adjacency)하다는 가정(상태들의 코드사이의 거리가 1) 하에서 코스트의 下限(MN)을 구할 수 있다.

각 EP<sub>d</sub>의 下限을 MN<sub>d</sub>라고 한다. 여기서 d는 EP를 狀態表에 代入하였을 때 現在狀態欄의 2進코드를 10進等價로 바꾼 값이다. (上端의 비트가 높은 자리값을 갖는다.)

順序回路가 m入力, n상태변수를 가지며 入力코드는 서로 인접하게 주어졌다고 한다. EP<sub>d</sub>를 狀態表에 代入한 다음 現在狀態(PS)에서 次期狀態(NS)로 狀態遷移와 J-K FF의 入出力 特性 表 6 으로부터 J-K FF의 入力表를 구한다. 이 入力表에서 어떤 그룹인 2<sup>r</sup>개 최소항(minterm)이 서로 인접하다고 가정하면 狀態가 갖는 실제 코드보다 크거나 같은 인접도를 가지며 r變數를 減少할 수 있어 가장 간단한 式을 구할 수 있다.

표 6. Input Characteristics of J-K FF

PS→NS		J Input	K Input
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

이때 入力變數의 數(NLS)는  $NLS = m + n - r$ 이다.) 여기서  $r = \lceil \log_2(\text{한그룹이 갖는 인접한 최소항의 數}) \rceil$ 이다. 구하여진 入力表로부터 下限(MN<sub>d</sub>)는 다음과 같이 구할 수 있다.

AOI: AND, OR 게이트의 入力線의 數

NL: 모든 NLS의 合

NT: 項(혹은 그룹)의 數

SLT: NLS=1인 項(혹은 그룹)의 數

라 하면

$$AOI = \begin{cases} NL + NT - SLT & NT > 1 \\ NL & NT = 1, SLT = 0 \\ 0 & NT = 1, SLT = 1 \end{cases}$$

이다. EP<sub>d</sub>에 대한 MN<sub>d</sub>는 JK 入力の 合으로  $MN_d = AOI_{Jd} + AOI_{Kd}$ 이다.

표 7의 順序回路 M2에 EP<sub>5</sub>를 代入하여 狀態遷移表와 J-K 入力表를 구하였다(표 8).  $m=1, n=3$ 이므로 각 최소항은  $m+n=4$  變數로 되어있고 J 入力表에는 2개의 그룹이 8개의 인접된 최소항을 갖고 있으므로 J의 AOI는  $NL = (4-3) + (4-3) = 2, NT=2, SLT=2$ 이므로  $AOI_{J5} = 2$ 이다. K 入力表에는 1개의 그룹이 16개의 인접된 최소항을 갖고 있으므로 K<sub>5</sub>의 AOI는  $NL = 0, NT=1, SLT=1$ 로  $AOI_{K5} = 0$ 이다. 따라서  $MN_5 = AOI_{J5} + AOI_{K5} = 2$ 이다.

표 7. Sequential machine M2.

S	I	0	1
	1		5
2		3	3
3		2	2
4		3	3
5		4	4
-		-	-
-		-	-
-		-	-

順序回路 M2는  $R=5$ 이므로  $(2^{5-1}-1)$ 個의 EP가 존재한다. 이들 각각에 대하여 MN을 구하면 다음과 같다.

EP<sub>1</sub> : 2      EP<sub>6</sub> : 0      EP<sub>11</sub> : 2  
 EP<sub>2</sub> : 0      EP<sub>7</sub> : 2      EP<sub>12</sub> : 0

$EP_3 : 2$        $EP_8 : 0$        $EP_{13} : 2$   
 $EP_4 : 0$        $EP_9 : 4$        $EP_{14} : 0$   
 $EP_5 : 2$        $EP_{10} : 0$        $EP_{15} : 0$

狀態割當의 下限(MNS)은 그것을 구성하는 EP의 MN을 합한 것이다. 각 2-SR에 의하여 구하여진 모든 狀態割當의 MNS는 표 5에 表示하였다.

표 8. J-K input table with  $EP_5$ .

$EP_5$	Input		J		K1	
	0	1	0	1	0	1
0	1	0	1	0	-	-
0	1	1	1	1	-	-
1	0	0	-	-	1	1
0	1	1	1	1	-	-
1	0	0	-	-	1	1
-	-	-	-	-	-	-
-	-	-	-	-	-	-
-	-	-	-	-	-	-

각 狀態 할당의 실제 入力式(AN)은 直接代入하여 구한다. A3를 선택하여 AN을 구하면  $AN=2$ 이며 그것의 入力式은 다음과 같다.

$$\begin{aligned}
 J_1 &= \bar{x} + \bar{y}_2 & K_1 &= 1 \\
 J_2 &= y_1 & K_2 &= \bar{y}_1 \\
 J_3 &= y_2 & K_3 &= 0
 \end{aligned}$$

C6를 擇하면  $AN=7$ 이고 入力式은

$$\begin{aligned}
 J_1 &= \bar{x} + y_2 & K_1 &= y_2 + \bar{y}_3 \\
 J_3 &= y_1 & K_2 &= \bar{y}_1 \\
 J_3 &= \bar{x}\bar{y}_1\bar{y}_2 & K_3 &= y
 \end{aligned}$$

이다. 각 狀態割當의 AN은 표 5에 表示하였다. 表 1의 順序回路에 대하여 2-SR을 使用하였을 때 최소 入力線을 갖는 狀態割當은  $\Pi_1 = \{1478 : 2356\}$ ,  $\Pi_2 = \{1258 : 3467\}$ ,  $\Pi_3 = \{1237 : 4568\}$ 로서  $AN=21$ 이다. J-K 入力式은

$$\begin{aligned}
 J_1 &= x_1x_2\bar{y}_3 & K_1 &= \bar{x}_1y_3 \\
 J_2 &= y_1 & K_2 &= \bar{y}_1 \\
 J_3 &= x_1x_2\bar{y}_2 + y_1y_2 & K_3 &= \bar{x}_2\bar{y}_2 + x_1\bar{y}_1y_2 + \bar{x}_1y_1\bar{y}_2
 \end{aligned}$$

이다.

표 9. Comparison of Each SR Assignments with AN.

SR	AN	2	3	4	5	6	7
A		1			2	1	
B		3			1		
C		1		2	1	3	1
D		1			1	2	

표 9는 각 SR를 使用한 狀態割當의 AN를 比較하였다. EH 函數에 의하여 선택된 SR은  $SR^C$ 가 얻어

진다. 이 表로부터  $SR^C$ 에 의한 狀態 할당은 다른 어느 SR보다 큰 AN를 갖는다. 임의의 部分割當의 EH 函數值가 작으면 큰 것보다 많은 順序回路를 實現한다는 概念은 論理回路의 減少에 效果가 없음을 의미한다.

本 論文은 整數值函數  $N(\Pi) = \lceil \log_2 E(\Pi) \rceil$ 를 정의하여 최대블럭의 狀態의 數가  $2^{N-1} < E \leq 2^N$ 이면 部分割當에 附加된 SR의 段數가 모두 같으므로 同一한 값을 주어 SR을 선택한다. 그 다음 入力線의 下限을 구하여 論理回路의 複雜度가 적은 最適狀態割當을 구하였다.

### 6. 結 論

주어진 順序回路를 여러개의 SR를 使用하여 最適實現하는 方法에 關하여 論하였다. SR의 段數가 最少임과 同時에 그것을 구동하는 組合論理回路의 入力線數가 最少인 完全狀態割當을 구하였다.

本 論文에서 展開한 重要한 內容을 要約하면 다음과 같다.

1. 整數值函數  $N(\Pi) = \lceil \log_2 E(\Pi) \rceil$ 를 使用하여 그 整數值  $N$ 을 最小로 하는 임의의  $k$ 段 SR를 모두 선택하였다. 그렇게 함으로써 그들 중에서 最少 入力線數를 갖는 最適狀態割當의 선택이 可能하였다.
2. 順序回路가 2段 以上の SR만으로는 完全하게 實現되지 않는 경우가 있다. 따라서 完全하게 實現하기 위해서는 1段의 SR(FF)들이 必要하다. 이러한 FF들이 갖는 基本分割을 求하는 方法을 提示하였다.
3. 同一한 順序回路를 實現하는 最少段數의 SR를 갖는 狀態割當이 많이 存在한다. 각 SR를 구동하는 組合論理回路의 入力線數를 比較하여 最少 入力線數를 갖는 完全狀態割當을 求하였다.

集積技術의 進歩에 따라 모듈을 使用하여 順序回路를 實現하는 方法은 順序回路를 모듈로 實現하므로 集積化에 容易할 뿐만 아니라 記憶素子로서 SR 모듈을 使用하므로 配線 數가 減少되어 順序回路의 狀態확인 과 論理的 결합의 檢査 및 수정이 容易하여 지므로 信賴度를 높일 수 있다.

### 參 考 文 獻

1. A.J. Nichols, "Minimal Shift-Register Realizations of Sequential Machines", IEEE Trans Comput. Vol. EC-14, pp.688~700, Oct.1966.
2. C.C.Su, and S.S Yau, "Unitary Shift-Register Realizations of Sequential Machines", IEEE Trans. Comput. Vol. C-17, pp.312~324, Apr. 1968.

3. W.A. Davis, "Single Shift-Register Realizations for Sequential Machines", IEEE Trans. Comput. Vol. C-17, pp.421~431, May, 1968.
4. D.L. Johnson, and K.H. O'Keefe, "The Application of Shift-Register to Secondary State Assignment": Part I, II, IEEE Trans. Comput. vol. C-17, pp.654~977, Oct. 1968.
5. H.C. Torng, and J. Zalewski. "On Implementing Sequential Circuits with Shift-Registers", IEEE proc. Letter, vol. 58, pp1394~1395, Sep. 1970.
6. W.D. Roome, and H.C. Torng, "Algorithms for Multiple Shift-Register Realizations of Sequential Machines", IEEE Trans. Comput. Vol. C-22 pp.933~943, Oct. 1973.
7. J.R. Story, H.J. Harrison, and E.A. Reinhard, "Optimum State Assignment for Synchronous Sequential Circuits", IEEE Trans. Comput. Vol. C-21, pp. 1365-1373, Dec. 1972.
8. 李根泳, 順序回路를 實現하기 위한 쉬프트레지스터의 선택에 관하여, 大韓電子工學會誌 Vol-15, No.1, pp.12~18, Mar. 1978.

