

論 文

Full-wave를 이용한 Signal Processing (Signal Processing by Use of Full-wave)

閔 永 基*
(Min Young Ki)

要 約

Full-wave를 얻기 위한 회로와 그회로의 해석을 하여 간단한 결과식을 얻고 또 full-wave를 이용한 duty ratio가 가변인 square wave를 얻을 수 있음을 올바른 이론과 실험을 통해 구현하였다.

Abstract

The circuit which generates full-wave is designed through only simple formula, and full wave is used for square-wave of which duty ratio is variable but period constant.

1. 序 論

최근 micro-computer가 Kit化 되어 널리 보급되어 감에 따라, memory용량도 user들이 필요에 따라 증가시킬 필요가 있다. 이때 문제가 되는 것은 memory device 수가 증가되면 mamory access time을 확보하지 않으면 안되므로, master clock frequency는 불변으로 하고 duty ratio를 可變할 수 있는 square wave를 발생시키면 최적 조건으로 동작시킬수 있고 간편하다. 本 論 文에서는 flip-flop를 사용하는 대신 full-wave를 이용한 square wave 만들기과 그회로 설계를 위한 간단한 공식에 대한 연구를 하였다.

full-wave의 응용범위는 주로 정류용에 국한되어 왔으나, 이것을 signal processing에 응용하면, duty ratio를 임의로 정할 수 있는 square wave를 얻을수 있다.

종래의 정류용 full-wave는 4개의 diode를 bridge型으로 만들어 얻는 방법과, transformer를 써서 얻는 방법을 주로 이용하였으나, 本 論 文에서는 active device를 이용하여, 특히 FET를 이용하여 full wave를 만들고, op Amp를 comparator로 사용하여 square wave를 얻었다.

Bipolar transistor도 가능하나 input impedance가 작아 회로소자에 따라 sensitivity가 커서 이용이 힘들

* 正會員, 成均館大學校 理工大學 電子工學科
Dept., of Electronic Engineering, Sung Kyun Kwan Univ.

接受日字: 1978年 2月 3日

었다.

2. 回路와 解析

i) Full wave generator

그림 1은 B급으로 동작시키는 FET를 이용한 full-wave generator이다.

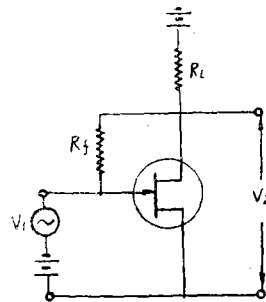


그림 1. B class FET를 이용한 full wave generator
Fig.1. B class full wave generator.

R_1 는 feed forward저항으로, 입력이 역방향시 이저항을 통하여 반파를 얻고, 입력이 순방향 시에는 FET를 통하여 반파를 얻어, 전체적으로 full wave를 얻을수 있다. 그러나, 각반파의 진폭을 일치시키도록 R_1 치를 결정하기 위해 동가회로를 그리면 순방향시는 그림

2와 같다. master clock cycle이 일반적으로 Micro-computer에서는 1MHz이므로, 주파수의 영향이 크므로 high frequency 등가회로 model을 사용하여 그림 2를 얻을 수 있다.

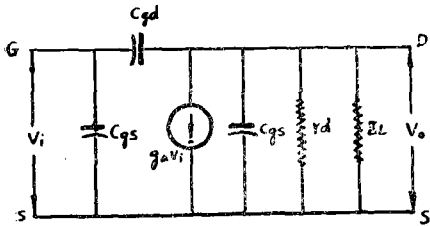


그림 2. 순방향시 등가회로
Fig. 2. Forward path equivalent circuit.

$$Y_1 = S \cdot C_{gs}$$

$$Y_2 = \frac{1}{R_f} + S \cdot C_{gd}$$

$$Y_3 = \frac{1}{r_g} + \frac{1}{R_L} + S \cdot C_{ds}$$

Y parameter를 써서 간단히 하면 그림 3을 얻을 수 있다.

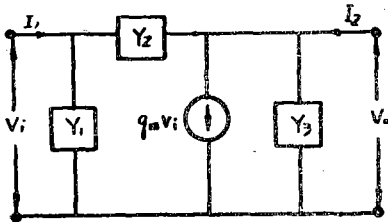


그림 3. Y-등가회로
Fig. 3. Y-parameter circuit.

순방향시 증폭도를 구하기 위해

$$I_1 = Y_{11}V_1 + Y_{12}V_2$$

$$I_2 = Y_{21}V_1 + Y_{22}V_2$$

$$\text{단 } \begin{cases} Y_{21} = \frac{I_2}{V_1} \Big|_{v_2=0} = -g_m + Y_2 \\ Y_{22} = \frac{I_2}{V_2} \Big|_{v_1=0} = Y_2 + Y_3 \end{cases}$$

$I_2=0$ 이면 증폭도를 구할 수 있으므로

$$\text{증폭도 } A_v = \frac{V_2}{V_1} = \frac{g_m - Y_2}{Y_2 + Y_3} \dots\dots\dots 1)$$

역방향시 등가회로는 다른회로 소자에 비하여 $g_m \rightarrow$

0, $r_d \rightarrow \infty$ 이므로,

역방향시 등가회로 그림 4를 얻는다.

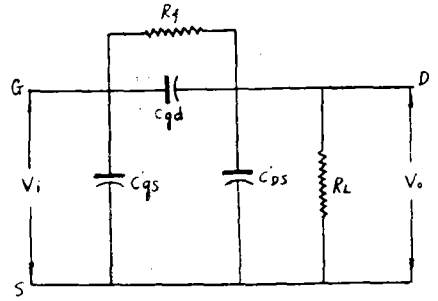


그림 4. 역방향시 등가회로
Fig. 4. Reverse path equivalent circuit.

$$Y_1' = S \cdot C'_{gs}$$

$$Y_2' = \frac{1}{R_f} + S \cdot C'_{gd}$$

$$Y_3' = \frac{1}{R_L} + S \cdot C'_{ds}$$

간단히 하기 위해서, depletion mode FET의 Capacitance를 고찰하면, 입력이 small signal일때 그 변화는 작다. 그 이유는 D.C.上으로는 입력이 순방향이전역 방향이전 V_{gs} 가 negative이기 때문이다.(Reference4) 이것을 출력 특성곡선에 표시하면 그림 5와 같이

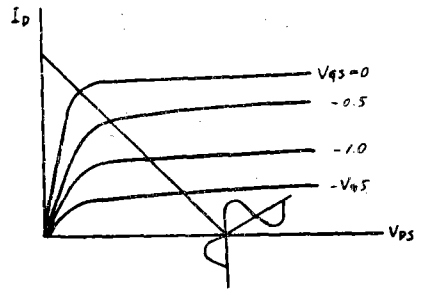


그림 5. B급 동작 load line
Fig. 5. B class operation with load line.

Drain current가 cutoff 되는 pinchoff voltage 부근임을 알 수 있다.

따라서, 첨자를 제거해도 성립되므로

$$Y_1 = Y_1', Y_2 = Y_2',$$

그러나, Y_3' 도 일반적으로 $R_L \ll r_d$ 되도록 R_L 을 잡을 수 있으면, Y_3 가 된다.

따라서, 증폭도는

$$A_v = \frac{V_2}{V_1} = \frac{Y_2}{Y_2 + Y_3} \dots\dots\dots 2)$$

증폭도 1)식과 2)식은 절대치가 같아야 하므로

$$\left| \frac{g_m - Y_2}{Y_2 + Y_3} \right| = \left| \frac{Y_2}{Y_2 + Y_3} \right| \dots\dots\dots 3)$$

단 $R_L \ll r_d$

간단히 $|g_m - Y_2| = |Y_2|$ 가 된다.

$$|g_m - \frac{1}{R_f} - SC_{gd}| = |\frac{1}{R_f} + SC_{gd}| \text{ 에서}$$

$$\text{즉 } \frac{1}{R_f} = \frac{g_m}{2} \quad \text{단 } R_L \ll r_d$$

증폭도 A_v 의 크기는 R_L 의 증가함수이므로 크면 클수록 큰파형을 얻을 수 있으나, $R_L \ll r_d$ 의 제한을 받으므로 $R_L = \frac{1}{10}r_d$ 되도록 택하면 매우 훌륭한 결과가 얻어진다. 또 다음단인 comparator는 op Amp이므로 input impedance가 1MHz부근까지는 상당히 크므로 loading될 우려는 없다.

ii) comparator

그림 6은 compar ator회로이다.

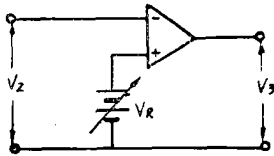


그림 6. Comparator
Fig. 6. Comparator

저항은 offset용 이외에는 불필요하므로 feed back 저항에 의한 inpnt impedance저하가 없어 거의 이상적인 op Amp동작을 한다.

comparator 입력전압 V_2 와 출력 전압 V_3 와의 관계가 기준전압 V_R 도 포함되어 표시된 그림이 있다.

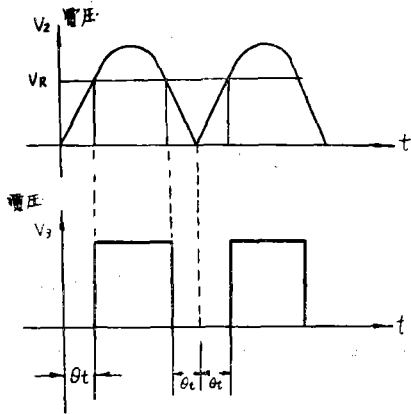


그림 7. Comparator 입력출력전압과 기준전압 V_R 관계
Fig.7. Comparator input and output with referehc voltage.

$$V_R = \sin\theta_i$$

$$\therefore \theta_i = \sin^{-1} \frac{A}{V_R}$$

주기는 $(\pi + \theta_i) - \theta_i = \pi$

따라서 주기는 일정하고 Comparator Reference V_0 .

ltage V_R 에 따라 duty ratio를 가변시킬 수 있는 square wave를 출력으로 얻을 수 있다.

comparator출력 단자에 5V zener diode와 germanium diode를 달아 square wave의 진폭범위를 0V에서 5V로 하여 TTL compatible Micro computer에도 사용이 가능하다.

3. 實驗

그림 7은 전체회로이다.

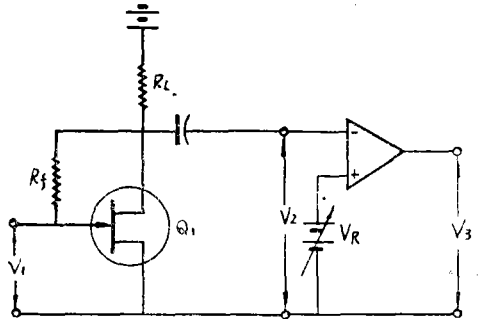


그림 8. 회로도
Fig. 8. Circuit

Q_1 은 2.SK19-Gr (VHF. FM用)으로 pinchoff voltage $-2.9V$, $r_d : 10k\Omega$, $g_m : 7m\Omega$ 을 특성곡선에서 얻었다. 따라서 $R_L = \frac{r_d}{10} = 1k$, $R_f = \frac{2}{g_m} = \frac{2}{7}k\Omega \approx 300\Omega$ input voltage V_1 은 D.C bias가 있는 signal generator를 사

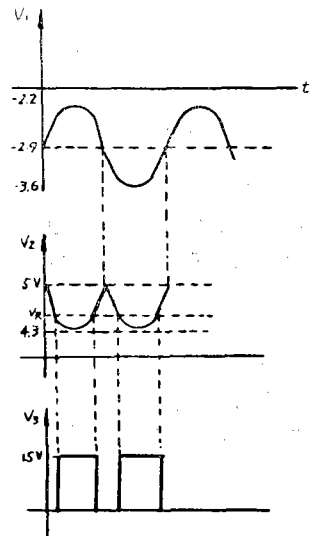


그림 9. 전압 V_1, V_2, V_3 관계 $\langle f=10KHz \rangle$
Fig. 9. Voltage V_1, V_2, V_3 diagram.

용하여 D.C bias를 -2.9V로 하여 sine wave를 bias 시킴.

op-Amp는 $\mu 741C$ 로 전원을 간단히 15V로만 동작시키기 위해 Pin Number 7에 15V를, Pin number 4를 Ground시켰다. 이런 경우에는 off set 조정을 할수도 없고 조정은 또 무의미하다. (Reference5)

이 회로 정수들을 회로에 연결하여 주파수, R_L 변화에 따른 파형의 변화를 조사하였다.

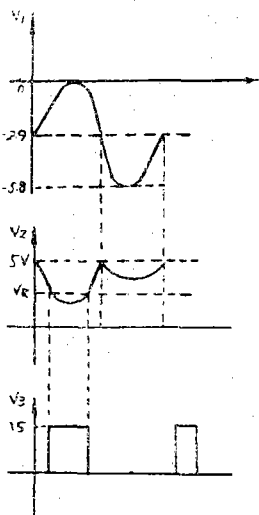


그림 10. Distortion 波形
Fig. 10. Disorted wave form.

i) 주파수 변화

전체적으로 주파수가 증가하면 진폭이 작아졌다.

입력과 출력파형은 그림 9과 같다.

입력전압은 작은 범위에 있을때 Distortion은 없으나 큰입력전압은 그림10과 같은 파형이 나왔다.

최고주파수는 1MHz로 잡아 조사하였다. V_2 의 진폭이 $0.3V_{pp}$ 를 얻었다. 주파수와 V_{2pp} 관계 그림표는 그림11과 같다.

ii) R_L 변화

R_L 를 증가하거나 감소하여가면 그림10와 같은 모양의 波形이 얻어졌다. R_L 이 커지면 그림 9와 같은 波形이 측정이 되나, 작으면 load line에서 g_m 값이 변하게 되어 그림10와 같은 파형이 얻어지게 될것을 알수 있었다.

FET를 여러가지로 바꿔서 관찰하여도 거의 비슷한 성질을 얻었으므로 정성적인 변화는 없다는 것을 관찰할 수 있었다.

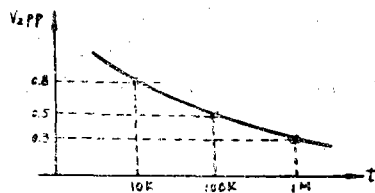


그림 11. 주파수와 출력 V_{2pp}
Fig. 11. Frequency and voltage.

4. 結 論

회로 design을 위해서 정리를 하면 $R_f = \frac{2}{g_m}$ 을 택하여 R_f 를 구하고, R_L 은 $\frac{r_d}{10}$ 부근에서 다소 증감시키면 최적의 R_L 을 구할 수 있다. 이때 clock cycle은 필요한 주파수에 맞춰있으면 된다. V_R 전압 변화는 duty ratio를 직접 변경이 가능하나 V_R 전압에 duty ratio가 비례하지 않는 단점이 있으나 그것도 volume 저항의 $\sin^{-1} \frac{V_R}{A}$ 化에 의해 linear하게 할수도 있다. 이 방법은 또 duty ratio가 50% 넘는 square wave를 만들수도 있으며 그림 9처럼 unbalanced 진폭을 만들어 square wave도 가능하다.

입력범위는 FET 따라 다소 차이가 있으나 일반적으로 1.5V이내가 合理的이고, 출력은 V_2 가 0.6V 정도가 적합하다.

V_3 는 zener diode로 clamping시켜 5V를 얻을 수 있다.

參 考 文 獻

1. Integrated Electronics, 1972, Millman. Halkias
2. Pulse, digital and switching waveforms, 1965, Millman, Taub
3. Electronics designers handbook, 1977. Giacoletto
4. 最新 FET規格表 '76 CQ出版社.
5. Op Amp 回路의 設計 昭和 48年 岡村建夫, CQ出版社.
6. Operational Amplifiers, Design and Applications. Tobey-Graeme-Huelsman McGrawHill.