

Microcomputer의 音聲 Cassette Tape Recorder Interface 방식에 관한 研究 (A Study on Microcomputer Interface to Audio Cassette Tape Recorder)

李 太 遠*, 朴 墉 琪**

(Rhee, Tae Weon and Park, Yong Kie)

要 約

Microcomputer system과 音聲 cassette tape recorder의 interface 방식에 관한 研究로서 並列式 interface adapter를 使用하여 byte 組合을 software的으로 解決하였으며 간단한 motor 制御도 할 수 있었다. 또 간단한 回路를 使用한데 比하여 byte當의 data 處理 速度는 6.6ms 가량 改善할 수 있었다.

Abstract

In this paper is studied a method of interfacing microcomputer system with an ordinary cassette tape recorder. The use of a parallel interface adapter has made it possible not only to construct a byte in software method but also to control moter operation of the recorder. Considerable improvement of the data handling speed is accomplished in spite of a relatively simplified network configurations.

1. 序 論

音聲 cassette tape recorder를 microcomputer와 interface 하는 데에 PED 방식이 많이 採擇되며 이는 再生信號 자신이 同期信號를 發生시킬 수 있다는 長點이 있기 때문이다. 그러나 Interface 回路가 매우 복잡해지는 難點이 있다.

ASK, FSK, PSK 등과 같은 data 變調方式은 再生信號 자신이 同期信號를 發生시킬 수는 없으나 變復調 回路가 비교적 簡便하고 error 率도 그다지 높지 않아 cassette tape recorder interface 回路에 많이 利用되고 있다.^{7,8)}

本 論文은 data 處理에 따르는 變復調 過程에서 直流通成分을 제거해야 하고 位相을 정확히 檢出해야 하는

問題點이 있는 ASK 나 PSK 變調方式을 피하고, 變復調 過程이 몇 개의 gate와 PLL 回路의 使用으로 간단히 이루어지는 FSK 變調方式을 採擇하였으며 data의 變調 周波數 간격을 적절히 조절하여 더욱 回路를 간소화시킬 方法을 생각하였다. data를 記錄하고 再生할 때 直列을 並列로 並列을 直列로 變換하는 裝置를 포함하지 않은 PIA(peripheral interface adapter)를 使用하여 software的으로 byte 組合을 構成하였고, FSK 變調波를 적당히 gate 組合하여 同期信號를 만들었으며 이를 Flip-Flop을 利用해서 data에 同期시켰다. 그리고 parallel interface 裝置를 使用하는 利點을 살려서 간단한 motor 制御를 시도하였다.

2. 音聲cassette tape recorder의 考察

1) tape 特性

cassette tape의 周波數 特性에 관한 資料는 이미 많은 文獻들에서 發表되고 있다.^{1,2,3)} 따라서 여기서는

*** 正會員, 高麗大學校 電子工學科
(Dept. of Electronic Eng., Korea University)
接受日字: 1977年 12月 19日

周波數 特性에 關하여서는 언급하지 않고, 入力電壓의 變動에 따르는 再生信號 出力에 關하여 考察하기로 한다.^{1,2,9)}

入力電壓의 變動은 再生信號 出力 電壓에는 큰 영향을 주지 않지만 매우 큰 入力 電壓을 가하면 cassette tape recorder 內部 증폭 回路의 bias 가 바뀌거나 大信號 特性이 되어 再生이 어렵게 된다. 그러므로 cassette tape recorder 의 「MIC」 入力 端子를 使用할 경우 50mv~1v 가 適當하겠고, 「AUX」 入力 端子를 使用할 경우 500mv~3v 가 適當하다. 그러나 「MIC」 入力 端子를 使用하면 入力信號 準位가 낮기 때문에 記錄過程에서 入力信號와 비슷한 準位의 雜音이 들어갈 수 있으며 이 경우 올바른 出力信號를 얻기가 곤란하므로 可能하면 「AUX」 入力 端子를 使用하는 것이 좋다. FSK 變調波를 記錄하였을 때 再生信號出力은 周波數가 높은 쪽의 信號가 낮은 쪽의 信號에 비해 그 진폭이 작아지게 되며 이는 FSK 復調過程에서 data 의 「O」 準位의 폭(duration)을 줄이게 되어 error 의 原因이 된다. 이는 出力 swing 을 크게 하므로써 改善되기 때문에 再生過程에는 항상 cassette tape recorder 의 出力을 最大로 할 필요가 있다.

2) tape format

tape format 은 ANSI 規格에 따라 構成하였다. 그림 1 에서와 같이 tape 가 進行하는 方向을 「앞」으로 잡아서 1 byte 의 preamble data 를 設定하여 記錄된 data 의 始作點을 알려주도록 하였으며 16進法으로 「55」의 연산부호를 使用하였다.

다음 1 byte는 page number 로 定하여 cassette tape 의 data block 들 각각에 番號를 指定하여 줌으로써 再生할 때 記錄되어 있는 data block 들 중에서 원하는 block 만을 選擇할 수 있도록 하였다. data block 의 記錄이 끝나면 data 의 記錄이 끝났음을 알려 주는 1 byte 의 「postamble data」를 記錄하도록 하였고, 16 進法 演算符號로 「AA」를 使用하였다. 그리고 각 data block 들 사이에는 약 2 sec 가량의 gap 을 두어 각 block 들을 쉽게 區別할 수 있도록 하였다.

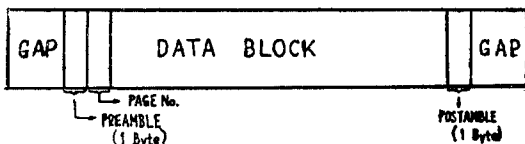


그림 1 Tape format
Fig. 1 Tape format

3) data format

data 記錄과 再生은 software 的으로 實行하였기 때

문에 一般的인 data format 을 무시하고 각 byte 마다 2~3개로 構成되는 frame bit는 使用하지 않았다.^{5,9)} 이는 원래 hardware 的으로 處理되며 byte 와 byte 사이를 區別하기 위하여 使用되는 bit 이므로 software 的으로 byte 를 組合하는 경우 data 處理速度가 늦어지며 program 이 복잡하게 되어 결코 有用하지는 못하다. 따라서 그림 2-(b)에서와 같이 data format 을 構成하였으며 그림 2-(a)의 frame bit 를 使用한 一般的인 data format 와 比較하였다.

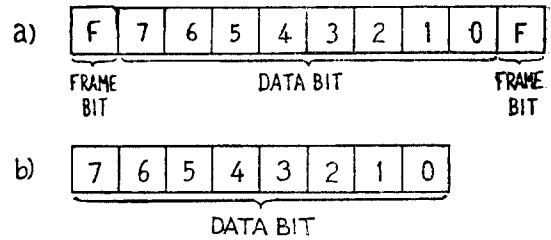


그림 2 Data format
Fig. 2 Data format

3. FSK

1) FSK 變調

FSK 變調는 周波數가 다른 두 개의 ASK 變調를 位置에 차이를 두어 合쳐 놓은 모양으로 나타난다. 이런 모양의 FSK 變調를 實行하는 方法에는 대개 數개의 gate 를 使用하는 것이 보통이다.^{7,8)}

本 研究에서는 두 개의 AND gate 와 하나의 OR gate 를 使用해서 multiplexer 回路를 構成하므로써 FSK 變調를 實行하였다. 대개는 multiplexer 出力端에 BPF 를 연결하여 精確한 周波數를 選擇하고 雜音을 줄여서 正弦波를 만들므로써 FSK 變調의 error 를 줄여왔다. 그러나 「1」과 「0」에 대한 周波數比를 適切히 調整하면 filter 를 使用하지 않아도 FSK 變調 error 를 줄일 수 있으며 回路構成은 매우 簡單하게 된다. 이를 그림 3 에서 보여 주었으며 「0」準位의 周波數를 1200Hz 로 「1」準位를 2400Hz 로 잡았다.

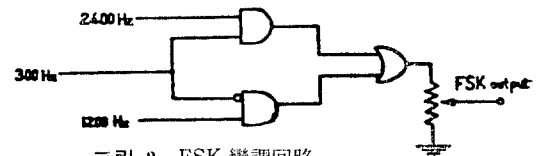


그림 3 FSK 變調回路
Fig. 3 FSK modulation circuit

2) FSK 復調

FSK 復調는 PLL 回路를 使用하였으며 $f_1(2400\text{Hz})$ 과 $f_0(1200\text{Hz})$ 의 中心周波數(1800Hz)를 決定하면 PLL의

出力은 ripple 이 섞이기는 하지만 data 모양을 再生할 수 있다. 그림 4에서 그 方法과 出力波形을 나타내었으며 cassette tape의 FSK 再生信號의 準位를 증폭하여 小信號 入力일 경우에도 모두 檢出할 수 있도록 한 후 PLL 回路를 통과하면 그림 4-b의 (c)의 波形과 같이 data 準位 「1」에 해당하는 周波數에서는 swing의 아래쪽 準位가 올라가고 「0」에 해당하는 周波數는 위쪽 準位가 내려와서 data의 形態를 만든다. 이 信號를 BPF를 통과시켜 (d)와 같은 波形을 만든 다음 準

位檢出(level decet)하면 처음에 記錄하였던 data 信號(c)을 얻을 수 있다.

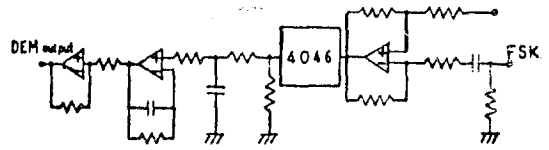


그림 4-a FSK 復調回路
Fig. 4-a FSK Demodulation Circuit

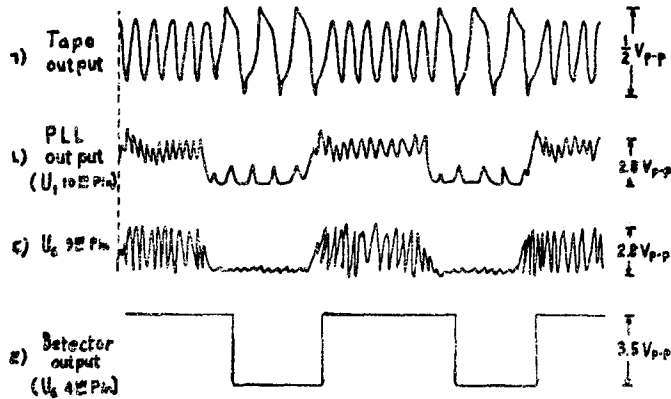


그림 4-b FSK 復調波形
Fig. 4-b FSK Demodulated wave form

4. data 同期回路

FSK 變調波를 만들기 위하여 發生시킨 4800Hz 信號를 그림 5에서와 같이 2400Hz와 AND 演算하여 pulse duration을 4800Hz의 半週期인 1.21ms(그림 6-c)로 한 다음 이를 다시 1200Hz와 AND 演算하였다. 이렇게 하여 이루어진 信號(그림 6-E)는 1200Hz 波이므로 週期는 0.83ms이지만 pulse duration은 0.21ms로 되어 있다. 이 信號는 變調시킬 data와, D Flip-Flop을 通하여 同期시키고 復調된 data도 같은 方法으로 2회 同期시켜서 그림 6-F와 같이 asynchronous한 data를 그림 6-G와 같은 동기 data로 만들었다.

또 data가 300 baud이고 同期信號가 1200Hz이므로 同期信號는 data 1 bit 당 4 同期가 포함되게 되어 software의 再生過程에서도 마찬가지로 1 bit data를 4 部分으로 나누어 4번 읽어서 모두 같은 때를 data로 받아 들인다. 同期信號를 1200Hz 이상의 周波數로 잡으면 좀더 error를 줄일 수는 있으나 1 bit 당 同期信號의 週期가 많아져 program이 길어지게 되고, 同期信號의 週期가 짧아지므로 program 實行時間에 제약을 받게 되는 難點이 있다. 그림 7에서 data와 同期信號를 보여 주었다.

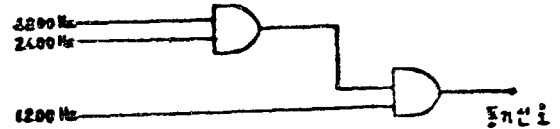


그림 5 data 同期回路
Fig. 5 Data synchronizing circuit

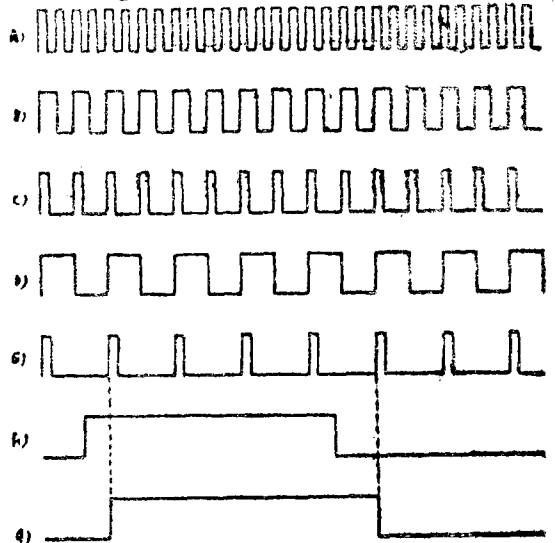


그림 6 data 同期波形
Fig. 6 Data synchronized waveform

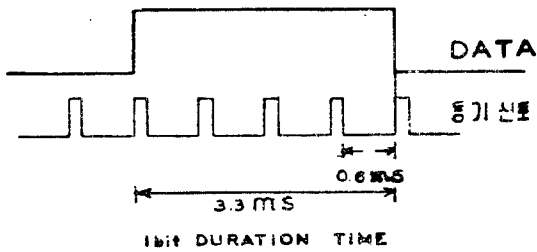


그림 7 1 bit 內의 同期信號
Fig. 7 Synchro. signal in one bit

5. motor 制御回路

그림 8 과 같이 cassette tape recorder의 電源回路의 remote jack 에 SCR 을 連結하고 SCR 의 gate 에 PIA 의 data line 을 連結하여 「1」상태에서 gate 가 on 되어 SCR 을 導通시키므로써 motor 를 制御하였다. 그러나 PIA 出力電壓이 3v 内外이고 電流가 1.6mA 밖에 되지 않아 PIA 出力을 SCR 의 gate 에 直接連結하여서는 SCR 이 動作하지 않는다. 또 SCR 의 cathode 와 cassette tape recorder의 電源端子를 等電位로 하였으므로 實在 SCR 의 gate 電壓은 0.7v 程度에서 動作하겠지만 이 경우 cassette tape recorder의 電源電壓이 6v 이므로 SCR 의 gate 電壓은 接地點으로부터 6.7~7.5v 가 되어야 하고 트리거 電力이 0.1w 가 必要하므로 두개의 TR 을 使用해서 PIA 出力의 電流와 電壓을 증폭하여 SCR gate 에 連結하였다. 단 DC 電源을 使用할 경우 SCR 의 turn off 를 위해 別途의 回路가 必要할 것이다 여기서는 平滑되지 않은 脈流를 利用하였으므로 回路가 간단해졌다.

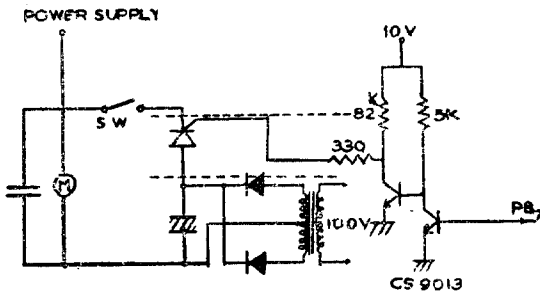


그림 8 motor 制御回路
Fig. 8 Motor control circuit

6. 全體回路의 構成

全體回路의 block 圖는 그림 9 와 같다. 그림에서 9-a는 microcomputer system 으로부터 cassette tape recorder 로 記錄하는 過程이며 system 의 data 를 PIA 를 거쳐서 同期回路에서 일단 同期시켜서 cassette tape recorder 에 記錄하도록 構成하였다. 그림 9-b 는 再生 block 圖이며, 이것은 記錄過程과 逆順이긴 하지만 方法은 같으며 再生 data 와 同期信號를 한번 더 同期시켰으며 記錄과 再生의 data 가 一致하도록 하였다.

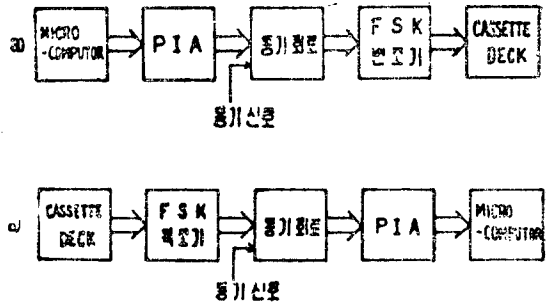


그림 9 a) 記錄回路 block 圖
a) Block diagram of recording interface circuit
Fig. 9 a) 再生回路 block 圖
b) Block diagram of reproducing interface circuit

本 研究에서 使用한 全體回路는 그림 10에서 보여준 바와 같이 timer(NE 555)를 使用해서 4800Hz 를 發振시켰으며 이를 AND gate 를 通하여 binary counter (7493)의 pin 14에 가하였다. 여기서 AND gate 를 使用한 것은 timer 의 信號가 counter 의 出力에 loading 되는 것을 막기 위한 것이다. counter 出力에서 Q₁의 24000Hz 와 Q₂의 1200Hz 를 취하여 FSK 變調波로 使用하였고, 또 4800Hz 와 2400Hz 를 AND 演算하여 duration 을 調節한 다음 다시 1200Hz 와 AND 演算하여 同期信號를 만들었으며 이를 D Flip-Flop(7474(a))의 clock 에 連結하여 data 와 同期시켰고 그 出力을 FSK 變調回路의 data 入力線에 連結하여 FSK 變調波를 얻은 다음 cassette tape recorder 의 「AUX」로 連結하였다.

再生回路는 이미 說明한 바와 같이 cassette tape recorder 의 「EAR」出力을 直接 FSK 變調回路에 인가하여 data 再生을 하고 D Flip-Flop 에 連結하여 同期信號로 同期시켜 그 出力을 PIA 의 PA₇에 連結하였다.

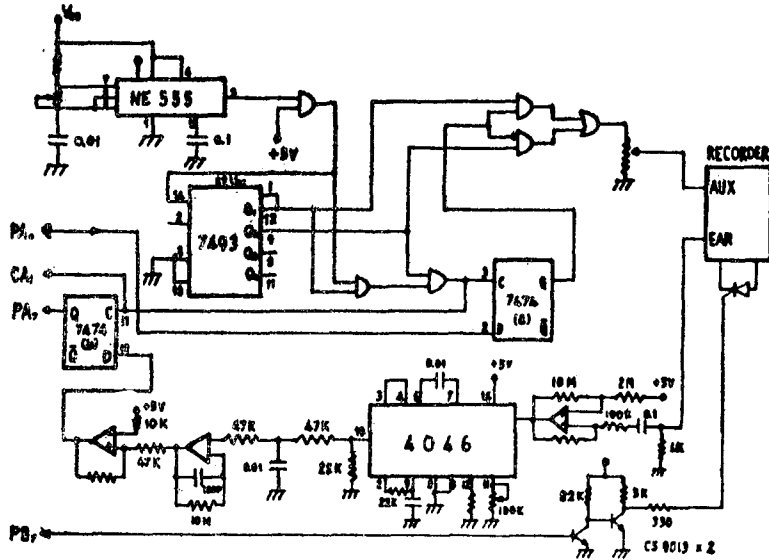


그림 10 全體回路 構成
Fig. 10 Total network schematic diagram

PIA에서 PA0은 data 기록을 위하여 byte의 0 bit를 지정하는 것이며 PA7은 byte의 7bit를 지정하는 것이다. 따라서 data의 기록과 재생을 위한 program이 매우 편리해지게 된다.

7. Software

1) 기록 program

가) motor 驅動 및 始作 data 表示 program.

기록 program이 處理되기 始作하면 PIA 内部의 DDR (data direction register)를 set시켜 data register가 出力으로 動作하도록 하였으며 motor 驅動 address인 COO2 番地에 80을 貯藏시켜 motor를 驅動시킨 다음 address와 page 番號를 지정하여 주는 data를 motor가 安定速度에 到達할 때까지 display 하였다. motor가 安定速度에 到達하는 時間은 약 1.1sec이나 再生 program의 連續的인 使用을 위하여 2sec 동안 遲延시켰다. 또 microcomputer system이 display와 data 處理를 同時에 할 수 없으므로 data register 속에 '0'을 순서대로 4번 出力시킨 後 data 處理 program으로 간다. 그림 11은 이 program의 flowchart이다.

나) data 處理 program

이미 說明한 data format에 의해서 먼저 1byte의 preamble data를 處理하기 위하여 subroutine으로 branch한다. 이 data의 마지막 bit와 다음 data 첫 bit 사이의 一定한 間격을 維持하기 위하여 3.3ms의 遲延 program을 處理한 다음 page number를 위한

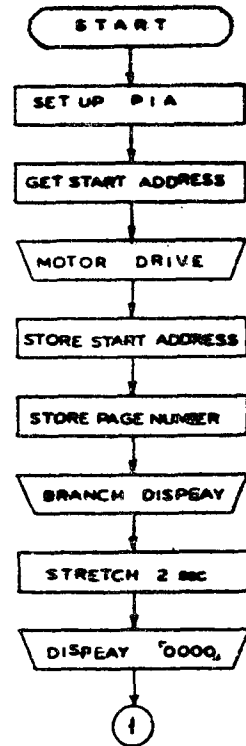


그림 11 motor 驅動 및 始作 data 表示 program의 flowchart

Fig. 11 Flowchart of program for motor start and data display

1byte를 處理하고 memory에 貯藏된 data를 읽어들이어 preamble data를 處理할 때와 마찬가지로 subroutine

으로 branch 한 後 1byte 處理할 때마다 address 를 증가시키면서 같은 過程을 계속 되풀이한다. 한 過程이 끝날 때마다 마지막 data 의 address 와 處理를 끝낸 data 의 address 를 比較하여 마지막 address 와 같아지면 postamble data 를 處理한다. 그림 12에서 이 program 의 flowchart 를 나타내었다.

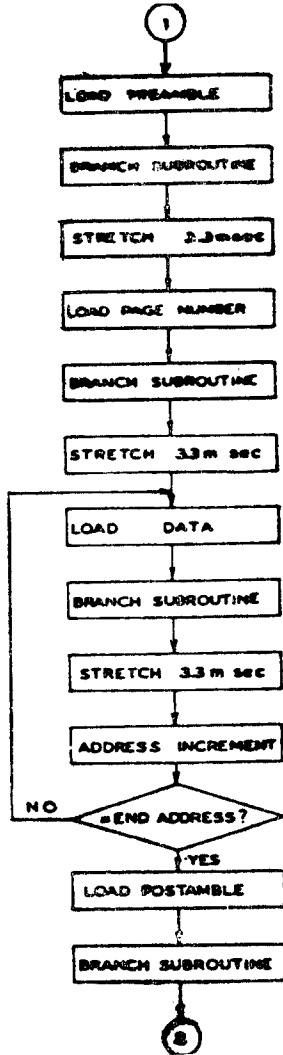


그림 12 data 處理 program 의 flowchart
Fig. 12 Flowchart of data processing program

다) motor 停止 및 마지막 data 表示 program.

data 의 記錄이 모두 끝나면 PIA 의 data register 를 clear 시킴으로 motor 를 停止시키고 마지막 data 와 address 를 microcomputer 의 表示裝置에 나타내어 data 記錄過程이 모두 끝났음을 알려주며 마지막 data 가 정확히 記錄되었음을 알 수 있게 했다. 이 program 이 處理된 後 system 의 reset key 를 눌러주지 않으면 system

도 계속해서 display program 을 處理한다. 이 program 의 flow chart 를 그림 13에 보여 주었다.

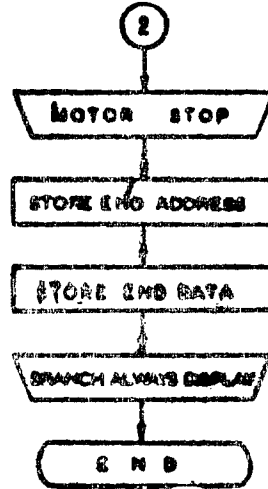


그림 13 motor 停止 및 data 表示 program 의 flowchart
Fig. 13 Flowchart of program for motor stop and data display

라) data 記錄 subroutine

data 의 處理를 容易하게 하고 program 의 byte 數

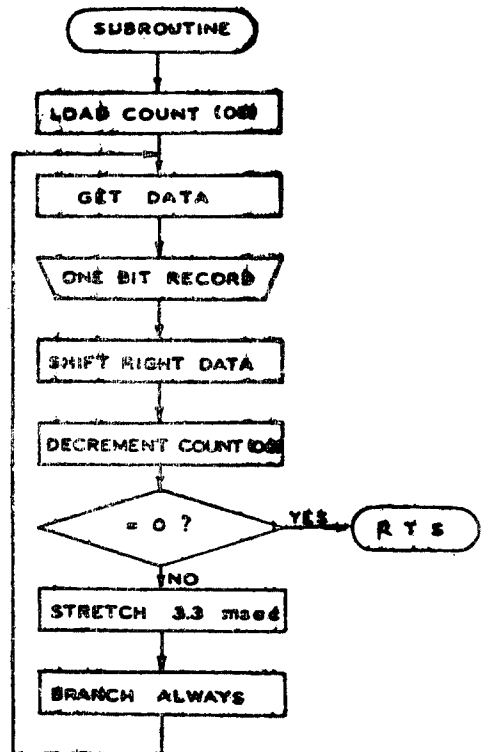


그림 14 記錄 subroutine 의 flowchart
Fig. 14 Flowchart of Recording subroutine

data를 읽고 다르다면 다시 preamble 判定 program 으로 되돌아간다.

page number를 比較한 다음 똑같은 方法으로 계속 해서 data를 읽으면서 address를 한번씩 增加시켜 마지막 data address와 比較한다. 이때 마지막 address와 같으면 마지막 다음 program으로 간다. 이 progr-

am의 flow chart는 그림 17에 보여 주었다.

라) postamble 判定 및 error check program
data block의 再生이 모두 끝났음을 알리는 postamble을 읽기 위하여 program은 또 다시 subroutine으로 branch한다. 그리고나서 postamble과 16進法數「AA」를 比較하여 같으면 motor 停止를 위한 program

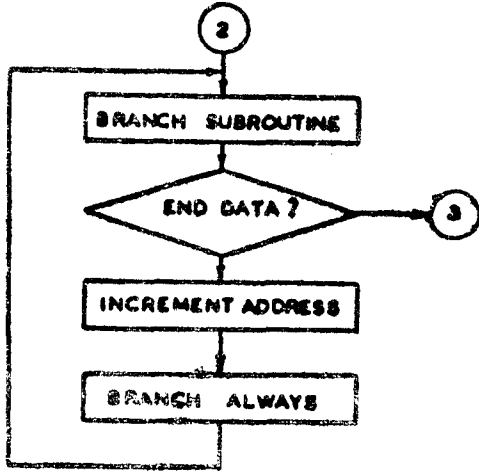


그림 17 data 再生 program의 flowchart
Fig. 17 Flowchart of data reproducing program

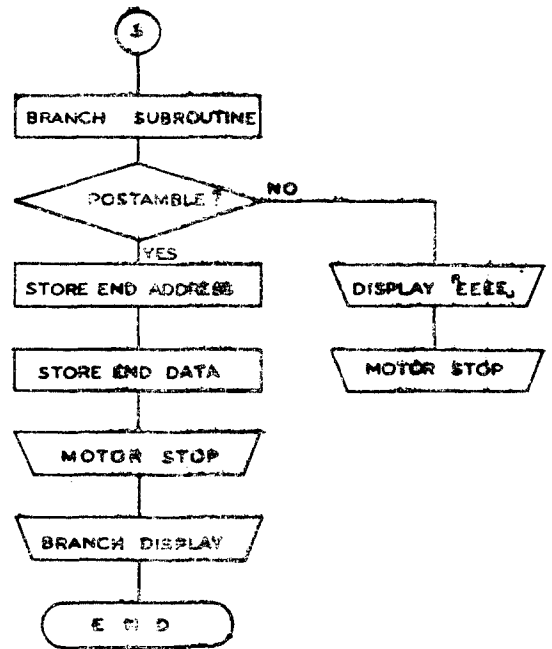


그림 18 postamble 判定 및 error check, 마지막 data 表示의 flowchart.

Fig. 18 Flowchart of program for postamble check, error check, and data display

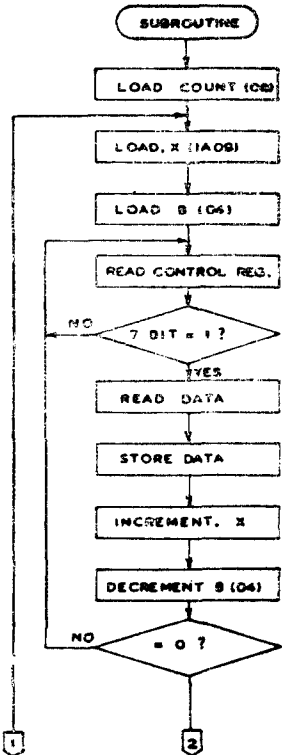
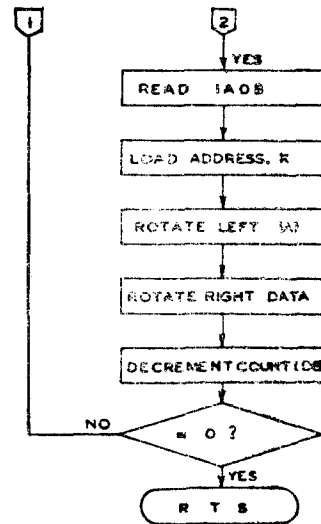


그림 19 data 再生 subroutine program의 flowchart
Fig. 19 Subroutine program flowchart for data reproduction



으로 가고, 그렇지 않으면 error 指示 program 으로 간다. error 指示 program 은 data 再生이 잘못되었음을 알려 주기 위하여 microcomputer 의 表示裝置에 「E」를 4번 表示하도록 하여 使用者에게 data 를 잘못 읽었음을 認識시켜준 後 motor 를 停止시키도록 하였다. 이에 관한 flow chart 는 그림 19에 보였다.

다) motor 停止 및 마지막 data 表示 program.

postamble 을 比較하여 올바른 data 이면 data 再生이 完了되었으므로 motor 를 停止시키고 記錄에서와 거의 같은 方法으로 마지막 data 와 address 를 表示시키고 난 後 program 을 모두 끝낸다. 이에 관한 flow chart 도 그림 18에서 보였다.

바) data 再生 subroutine

이 program 은 直列로 들어오는 data 를 8bit 로 나누어 읽으므로써 byte 를 組合하는 program 이다. 각 bit 는 이미 說明한 바와 같이 4번 읽어서 그 中 한 部分만을 選擇하여 data 로 使用하였다. 이 program 에서는 index register 가 가장 많이 使用되었으며 특히 byte 組合過程에서 memory 參照命令을 使用해서 直接 memory 에서 byte 組合을 하였다. 또 각bit 를 4번 읽었으므로 그 中 어느 部分을 選擇하느냐 하는 것은 使用者가 임의로 選擇할 수 있으며 가능한 한 가장 error 가 적고 同期가 安定된 部分을 使用하는 것이 좋다. 이 program 의 flowchart 를 그림에 보였다.

8. 實驗 및 檢討

實驗은 먼저 音聲 cassette tape recorder 의 選擇과 그 特性을 調査하는 것부터 始作하였으며, 國內生產 製品 中에서 特別한 構造를 갖지 않은 것을 選擇하여 周波數 特性과 기계적인 性質을 調査하였다. FSK 變調는 回路의 簡略化와 實驗의 正確性을 기하기 위하여 tape recorder 와의 連結實驗을 여러번 反復한 結果 周波數 간격을 적절히 調整하여 이미 說明된 方法으로 構成하였다.

FSK 復調回路의 構成 方法에는 여러 가지가 있겠지만 그 中 가장 간단히 이루어지는 PLL 回路를 採用하였다.

이상과 같이 hardware 를 構成한 뒤 software 를 構想하였으나 再生 data block 內의 始作點의 位置를 software 만으로는 알 수 없으므로 다시 hardware 의 同期시키는 方法을 생각하게 되었다. 대개의 경우 data 에서 同期信號를 抽出하는 것이 보통이지만 여기서는 外部에서 同期信號를 data 에 실어 주는 方法을 採擇하였다. 이로서 hardware 의 構成을 끝내고

software 의 記錄 program 과 再生 program 을 始作하였으며 記錄 program 에서는 data 를 8bit 로 나누어 記錄시키는 subroutine 을 構成하여 이를 기초로 하여 다음 program 을 構成하였다. 再生 program 은 data block 의 preamble 位置를 正確히 읽기 위한 program 으로부터 始作하였다. microcomputer system 의 命令處理 時間의 불규칙과 同期信號의 不安定 때문에 preamble data 處理가 어려웠으나 同期信號를 命令處理 時間과 一致시킴으로서 해결할 수 있었다. 사진 1 은 全體 實驗의 사진을 나타내었다.

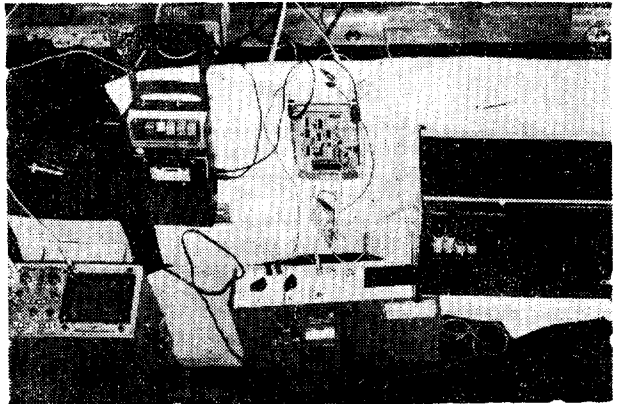


사진 1 全體實驗 回路의 사진

photo. 1 Total layout of the experiment devices

9. 結 論

直列을 並列로 變換하는 回路를 포함한 adapter 를 使用하면 motor 制御가 不可能하지만 並列型 adapter 를 使用하면 간단히 이를 制御할 수 있으며 音聲 cassette tape recorder 內부의 기계적인 스위치를 電子式 스위치로 變換함으로써 rewind 및 fast forward 까지 制御가 可能하며 이를 위한 program 을 개선하면 microcomputer system 이 音聲 cassette tape recorder 全體를 制御하는 것도 可能하다. 특히 tape format 에 page number 를 指定하였기 때문에 再生하고자 하는 data 가 tape 의 어느 位置에 있더라도 再生 program 에 의해서 손쉽게 再生시킬 수 있다.

本 研究의 interface 方式은 digital cassette tape recorder 에 못지 않은 deck 制御를 遂行할 수 있으며 간단한 回路構成으로 더 빠른 data 處理를 할 수 있어 補助記憶 裝置로서 뿐만 아니라 入出力 裝置로서도 매우 有用하다. 또한 program 開發을 위하여서는 더 없이 便利한 裝置라 생각된다.

參 考 文 獻

- 1) M. Howey: "Digital Cassette Overcome Their Past Electronics" 1970. 6.
- 2) Ronald. C. Houts: "A Digital System for Compensating Time-Base Error in Analog Tape Recorders" IEEE Trans. Communication Tech. 1970. 6. p.209-212.
- 3) Davies: "Magnetic Tape Instrumentation" Mc Graw-Hill Book Company, Inc. 1961.
- 4) Hilburn & Julich; "Microcomputers/Microprocessors" Prentice-Hall. Inc. p.187-190.
- 5) "Audio Cassette Interface" Motorola users manual 1976. p.2-4-10.
- 6) A.O. Williman & H.J. Jelinek; "Introduction to LSI Microprocessor Developments" Computer VOI 3. 1976. 6. p.34-6.
- 7) A. Bruce Carlson; "Communication System" Mc Graw-Hill, Inc. 1975. p.389-398.
- 8) Jack Salz; "Communications Efficiency of Certain Digital Modulation Systems" IEEE Trans. Communication Tech. 1974. 4. p.97-192.
- 9) "M6800 Microprocessor Application Manual" Motorola Semiconductor Products, Inc. 1975.
- 10) M6800 Microprocessor Programing Manual" Motorola Semiconductor Products, Inc. 1975.
- 11) "Micro 68 Users Manual and TCC 3 Manual" Electronic Product Associates, Inc.