

JFET와 트랜지스터를 이용한 電流制御負抵抗回路 (Current Controlled Negative Resistance Circuit Using JFET and Bipolar Transistor)

崔 時 永*
(Choi, Si Young)

要 約

本 論文은 JFET와 트랜지스터를 이용해서 電流制御負抵抗特性을 갖는 回路를 構成하여 全動作領域에 걸쳐 解析하였다.

이 回路에 使用된 N채널 JFET의 게이트전압은 全動作領域에 걸쳐서 正의 電位를 갖게 되었고, 따라서 正의 電位에서 出力特性 및 傳達特性을 구하였다. 이 特性을 利用하여 構成한 CCNR회로의 動作을 推定하고 이를 解析하였다. 各領域에서 推定된 動作과 回路解析에서 얻은 負抵抗值를 實驗을 通하여 뒷받침 하였다.

Abstract

Using JFET and bipolar transistor, we have designed a circuit of current controlled negative-resistance and analyzed this circuit in the operating region.

Since the positive gate voltage of N-channel JFET is applied in full operating region, the output and transfer characteristics of JFET are measured in the positive gate region.

The performances of this circuit are predicted from these characteristics and experimental results of the proposed CCNR circuit are presented.

1. 序 論

JFET와 bipolar 트랜지스터를 사용하여 電壓制御負抵抗特性을 갖는 回路는 H.Mizuno 등에 의하여 發表된 바 있으며¹⁻³⁾, 電流制御負抵抗(current controlled negative resistance; CCNR) 回路에 대해서는 I.W. Stanley가 내 놓은 것이 있다⁴⁾. Stanley의 回路에서는 負抵抗部分의 直線성이 좋지않아 제너다이오드나 相補對稱型 트랜지스터 등을 添加하여 直線성의 改善을 試圖했었다. 이와 같은 直線性改善用素子를 쓰지 않고 JFET와 bipolar 트랜지스터 만으로 CCNR회로를 構成코져 하였다.

本 論文은 直線성이 좋은 負抵抗性을 가지는 相補對稱型 트랜지스터를 使用한 CCNR回路⁵⁻⁹⁾에서 1개의 트랜지스터를 JFET로 代치하여 特性을 검토하였다.

여기서 N채널 JFET의 게이트전압이 全動作領域에 걸쳐서 正의 電位를 갖게되는 문제가 야기되었다. 따라서 N채널 JFET의 게이트에 正의 電位가 인가되는 경우 回路의 解析을 위해서 JFET의 게이트전압이 正인 범위에서 出力特性을 구하였고, 또한 傳達特性도 調査하였다. 이 特性을 利用해서 제안된 回路의 動作을 推定하고, 이를 解析하였다. 推定된 動作과 回路解析에서 얻은 負抵抗值는 實驗結果와 잘 일치되었다. 또한 回路의 負抵抗特性은 安定하였으며 直線성이 良好하였다.

2. CCNR회로

1) 回路의 構成

그림 1은 U.Y. Park⁵⁾이 제안한 相補對稱型 트랜지스터를 利用하여 構成한 CCNR回路이다. 이 回路에서 트랜지스터 Q_2 대신에 JFET로 代치하여 CCNR特性을 갖게될 것으로 推定하여 얻은 回路로서, 그림 2와 같은 CCNR회로모형을 제안한다. 제안된 回路에서 N채널 JFET의 게이트전압이 全動作領域에 걸쳐서 正의 電位를 갖게 된다. N채널 JFET의 게이트에 正의 電

* 正會員, 慶北大學校 工科大学 電子工學科
Dept. of Electronics Eng, Kyungpook Univ.
接受日字: 1977年 11月 10日

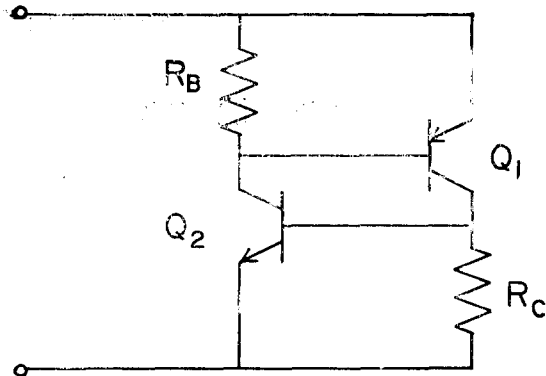


그림 1. 相補對稱型 트랜지스터로 構成된 CCNR 회로
Fig. 1. CCNR circuit using complementary transistors.

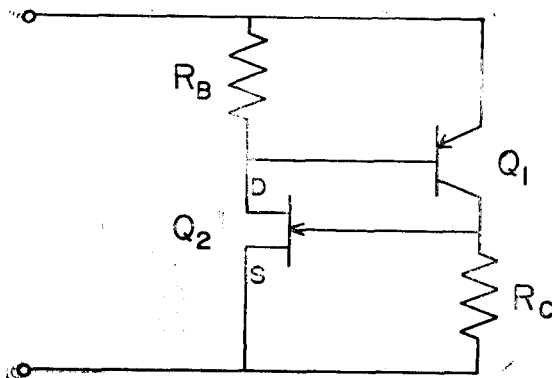


그림 2. 제안한 CCNR 회로 모델
Fig. 1. Proposed CCNR circuit model.

위가 인가되는 경우, 회로의 해석을 하기 위하여, 소오스 공통 $I_d - V_{DS}$ 특성을 게이트전압 V_g 의 正의 범위에

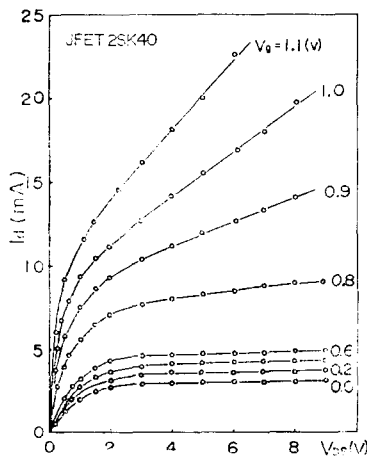


그림 3. JFET 2SK40의 소오스 공통 $I_d - V_{DS}$ 특성
Fig. 3. Common-source $I_d - V_{DS}$ characteristics of JFET 2SK40.

서 測定한 結果는 그림 3과 같다. 그림 3으로부터 $V_{DS}=5V$ 인 경우의 소오스 공통 $I_d - V_g$ 특성을 구하면 그림 4와 같이 된다. 그림 4에 表示된 V_{TGS} 는 JFET

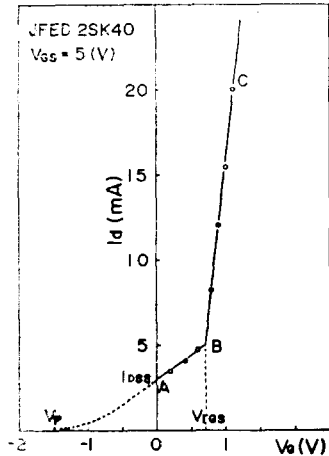


그림 4. JFET 2SK40의 소오스 공통 傳達特性
Fig. 4. Common-source transfer characteristics of JFET 2SK40.

의 게이트-소오스간이 順方向으로 bias되어 pn 다이오드처럼 動作하게 되는 컷인(cut-in) 전압이다. 이 전압은 S_i 다이오드의 컷인전압과 같이 0.7V였다.

그림 2에 제안된 CCNR 회로에 그림 4와 같은 JFET의 傳達特性을 적용시키려면, 入力電壓에 따라 JFET의 드레인-소오스간에 供給되는 電源電壓이 變動하지 않아야 하므로, 그림 5와 같은 電源 V_{DD} 를 별도로 마련하였다.

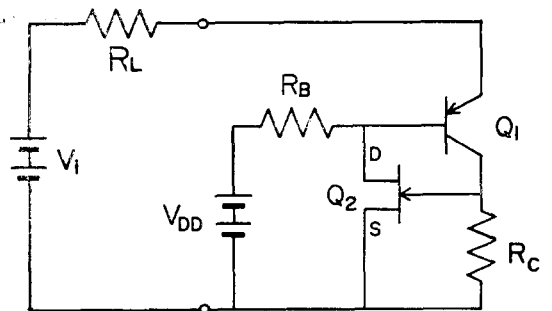


그림 5. 構成한 CCNS 회로
Fig. 5. Composed CCNR circuit.

2) 회로 動作의 推定

그림 5의 CCNR 회로에서 JFET의 게이트전압은 全 動作領域에 걸쳐서 正의 전압범위에서 動作하게 된다. 여기서 JFET의 動作을 그림 4에 표시된 바와 같이

게이트전압의 크기에 따라 구간 AB와 구간 BC로 나누어서 생각한다.

JFET의 게이트전압이 구간 AB에 있을 경우, 入力電流 I_i 의 증가에 따라 게이트전압은 $R_c I_i$ 로 증가하게 된다. 이때 드레인전류는 그림 4에 표시된 것과 같이 게이트전압에 따라 直線的으로 증가한다. JFET의 드레인소-오스간전압 V_{DS} 는 드레인전류의 증가에 의하여 저항 R_B 에서의 電壓降下로 감소하게 된다. 여기서 얻어진 전압의 變化를 Q_1 의 베이스에 直結合하여 여기서 증폭된 Q_1 의 出力을 Q_2 의 게이트에 直結合하고 Q_2 의 出力이 Q_1 의 베이스에 直結合된 正歸還回路가 構成되었다. 따라서 電流正歸還에 의하여 JFET의 게이트전압은 순간적으로 그림 4에 表示된 V_{rGS} 에 이르게 되며, 트랜지스터의 에미터-베이스간 전압도 동시에 V_{rEB} 에 이르게 되어 트랜지스터 Q_1 은 能動領域에 들어가게 된다.

JFET의 게이트전압의 구간 BC에 들어가면, 그림 4에 表示된 것처럼 게이트 전압 V_g 가 V_{rGS} 以上되어 드레인전류 I_d 가 급격히 증가되므로 더욱 트랜지스터 Q_1 의 베이스전류를 증가시키게 된다. 이와 같이 베이스전류의 증가에 따라 Q_1 의 에미터-콜렉터간 전압 V_{EC} 는 감소되나 回路의 入力電流 I_i 는 증가되므로 負抵抗特性이 나타나게 된다.

3. 回路解析

그림 5의 CCNR回路에서 전류-전압特性은 그림 6에 나타낸 것과 같이 3가지 動作領域 즉 遮斷特性을 갖는 領域 I, 負抵抗을 갖는 領域 II 및 飽和特性을 갖는 領域 III으로 나누어진다. 各領域에 따라 回路解析을 하면

1) 領域 I

入力電流가 낮은 범위에서는 트랜지스터 Q_1 의 出力特性이 遮斷領域에 있게 된다. 따라서 入力抵抗은 거의 무한대에 놓이게 된다. 그러나 JFET의 게이트전압은 거의 0V로 되어, 그림 4에 표시된 바와 같이 드레인전류는 I_{DSS} 의 값으로 흐르게 된다.

入力電流 I_i 가 증가되면 JFET의 게이트전압은

$$V_g = R_c I_i \tag{1}$$

로 된다. 이때 JFET의 게이트-소오스간 저항이 매우 커서, 入力電流는 대부분 저항 R_c 로 흐르게 된다. 게이트전압 V_g 가 그림 4의 구간 AB에 있을때, 드레인전류는

$$I_D = I_{DSS} + g_m V_g \tag{2}$$

로 주어진다. 여기서 g_m 은 구간 AB에서 구한 콘덕턴스

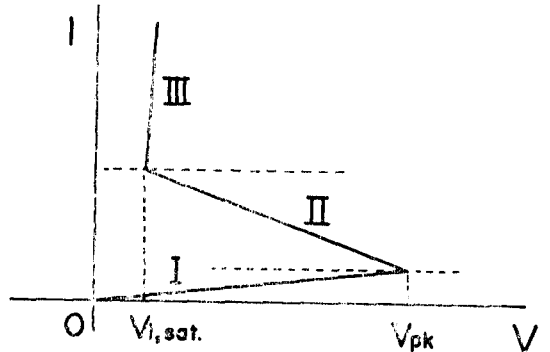


그림 6. 그림 5 回路의 I-V特性

Fig. 6. I-V characteristic of the circuit of Fig.5.

이다. 한편 드레인전류의 증가에 따라 드레인-소오스間電壓은

$$V_{DS} = V_{DD} - R_B I_D = (V_{DD} - R_B I_{DSS}) - g_m V_g R_B \tag{3}$$

로 된다. 따라서 트랜지스터 Q_1 의 에미터-베이스間電壓은 다음과 같다.

$$V_{EB} = V_i - V_{DS} = (V_i + R_B I_{DSS} - V_{DD}) + g_m V_g R_B \tag{4}$$

트랜지스터 Q_1 의 V_{EB} 가 컷인전압에 이르면, Q_1 은 能動領域에 들어가게 되어 負抵抗特性을 나타내게 된다. 이때 回路의 入力電壓 V_{pk} 는

$$V_{pk} = V_{rEB} + V_{DS} = (V_{rEB} + V_{DD}) - R_B I_{Dr} \tag{5}$$

로 된다. 여기서 V_{rEB} 는 트랜지스터 Q_1 의 에미터-베이스間的 컷인전압이고, I_{Dr} 는 JFET의 게이트전압 $V_g = V_{rGS}$ 일때의 드레인전류를 나타내며, V_{pk} 는 回路最大 入力電壓이다.

2) 領域 II

JFET의 게이트전압 V_g 가 구간 BC에 놓일때, Q_1 의 에미터-베이스間電壓은 V_{rEB} 以下로 되어 Q_1 이 能動領域에서 動作하게 된다. 이때 入力段電壓의 增分을 ΔV_i , Q_1 의 에미터-콜렉터間電壓의 增分을 ΔV_{EC} 및 Q_2 의 게이트전압의 增分 ΔV_g 사이에 다음 식(6)과 같은 關係가 成立되면 負抵抗性이 나타난다. 즉,

$$\Delta V_i = \Delta V_{EC} + \Delta V_g < 0 \tag{6}$$

그림 5의 CCNR回路가 負抵抗領域에서 動作하고 있을 때의 等價回路는 그림 7과 같이 된다. 여기서 R_c 는 JFET의 게이트-소오스間的 順方向으로 bias된 狀態의 動抵抗 r_{gs} 보다 훨씬 크기 때문에 무시할 수 있다.

그림 7에서 入力段電壓의 增分 ΔV_i 에 의하여, Q_1 의 에미터-베이스間電壓의 增分 ΔV_{EB} 는

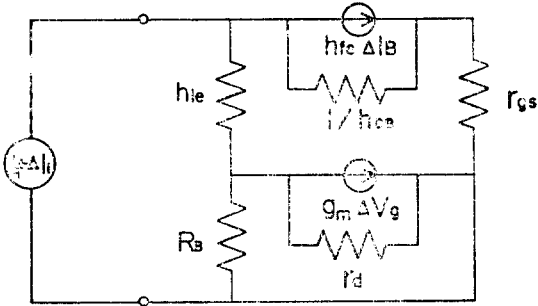


그림 7. 그림 5의 等價回路

Fig. 7. Equivalent circuit of the circuit of Fig.5

$$\Delta V_{EB} = \Delta V_i + \Delta V_g g_m R_B \tag{7}$$

따라서 Q_1 의 베이스전류의 増分 ΔI_b 는,

$$\Delta I_b = \frac{\Delta V_i + \Delta V_g g_m R_B}{h_{ie}} \tag{8}$$

로 주어진다. 回路에서 ΔI_i 는

$$\begin{aligned} \Delta I_i &= (1 + h_{fe}) \Delta I_b \\ &= (1 + h_{fe}) \frac{\Delta V_i + \Delta V_g g_m R_B}{h_{ie}} \end{aligned} \tag{9}$$

또한 JFET의 게이트전압의 増分 ΔV_g 는,

$$\Delta V_g = \Delta I_i r_{gs} \tag{10}$$

따라서 식 (10)을 식 (9)에 代入하면,

$$\Delta I_i = \frac{\Delta V_i + \Delta I_i r_{gs} g_m R_B}{h_{ie}} (1 + h_{fe}) \tag{11}$$

가 된다. 한편,

$$\frac{\Delta I_i}{\Delta V_i} = \left(1 + \frac{\Delta I_i}{\Delta V_i} r_{gs} g_m R_B \right) \left(\frac{1 + h_{fe}}{h_{ie}} \right) \tag{12}$$

이므로,

$$\frac{\Delta I_i}{\Delta V_i} \left\{ 1 - r_{gs} g_m R_B \left(\frac{1 + h_{fe}}{h_{ie}} \right) \right\} = \frac{1 + h_{fe}}{h_{ie}} \tag{13}$$

로서, 入力抵抗 R_N 은

$$R_N = \frac{\Delta V_i}{\Delta I_i} = \frac{h_{ie}}{1 + h_{fe}} - g_m r_{gs} R_B \tag{14}$$

3) 領域 III

트랜지스터 Q_1 이 能動領域에 이르러, 더욱 入力電流 I_i 가 増加하면, JFET의 電流正歸還에 의하여 Q_1 은 飽和狀態가 된다. 그러므로 이때의 入力電壓 V_i 은 Q_1 의 에미터-콜렉터사이의 飽和電壓 $V_{EC,sat}$ 및 JFET의 게이트-소오스간의 順方向 bias 電壓 V_{gf} 의 合으로 주어진다. 즉

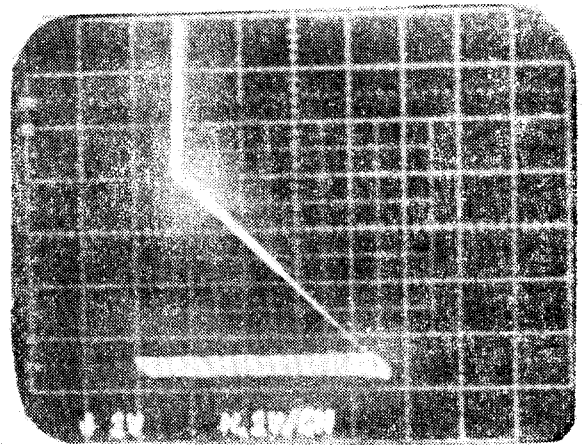
$$V_{i,sat} = V_{ES,sat} + V_{gf} \tag{15}$$

一般的으로 S_i 트랜지스터를 利用할 경우, $V_{ES,sat}$ 은 0.2~0.3[V], N채널 JFET의 게이트-소오스간에 順方向 bias 전압 V_{gf} 는 0.7~0.8[V] 정도이다. 따라서 入力飽和電壓 $V_{i,sat}$ 는 약 1[V] 정도가 될 것이다.

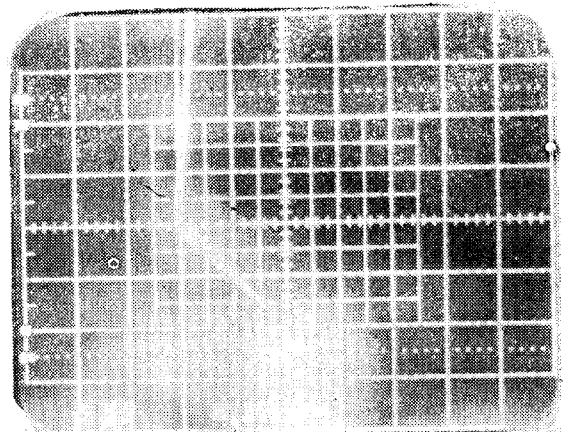
4. 實驗結果 및 考察

그림 5에서 Q_1 및 Q_2 로서는 각각 2SA562Y 및 2SK40을 썼다. 또 각 저항치는 $R_L = 1[k\Omega]$ 및 $R_c = 10[k\Omega]$ 이며, R_B 및 V_{DD} 를 변수로 두었다.

사진 1은 $V_{DD} = 5[V]$ 일때 R_B 를 200[Ω] 및 600[Ω]일때의 電流-電壓特性이며, 負抵抗領域에서 直線性이 좋게 나타났음을 보여 주고 있다. 또한 R_B 의 크기에 따라 V_{pk} 가 變化됨을 나타내고 있다.



(a) $R_B = 200[\Omega]$



(b) $R_B = 600[\Omega]$

사진 1. 그림 5 回路의 $I-V$ 特性: 수평축 1[V/div.], 수직축 1[mA/div.]

Photo. 1. $I-V$ characteristic of the circuit of Fig.5: horiz. 1[V/div.], Vert. 1[mA/div.]

V_{rEL} 는 Q_1 의 에미터-베이스간의 컷인전압으로서 약 0.7[V]이며, I_{Dr} 는 Q_2 의 게이트전압 V_g 가 V_{rGS} 일때의 드레인전류로서 그림 4에 주어진 것과 같이 5[mA]이다. 따라서 식 (5)에 이값을 代入하면,

$$V_{pk} = (0.7 + V_{DD}) - 0.005 \cdot R_B [V] \quad (16)$$

로 된다. V_{pk} 值와 V_{DD} 및 R_B 사이의 關係를 다음의 그림으로 表示했다.

그림 8은 $R_B = 200[\Omega]$ 일때 V_{pk} 가 JFET의 드레인전원 V_{DD} 에 따라 直線的으로 變化함을 보여 주고 있다. 그림 9는 $V_{DD} = 5[V]$ 下에서 V_{pk} 值의 R_B 에 따른 變化를 나타낸 것으로 식 (16)에 의한 V_{pk} 의 計算値는 點線, 實驗에 의한 測定値는 實線으로 表示하였다. 이 結果들은 回路動作을 推定할 때에 推定한 바와 같이 잘 일치하고 있다.

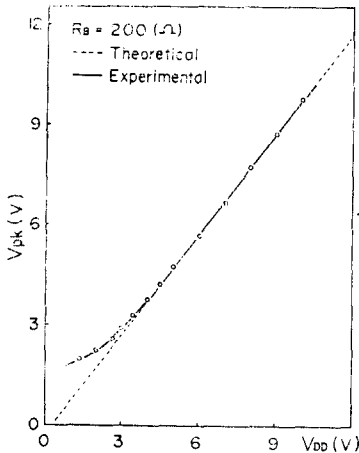


그림 8. V_{DD} 의 變化에 따른 V_{pk} 의 變化
Fig. 8. Variation of V_{pk} as V_{DD} is varied.

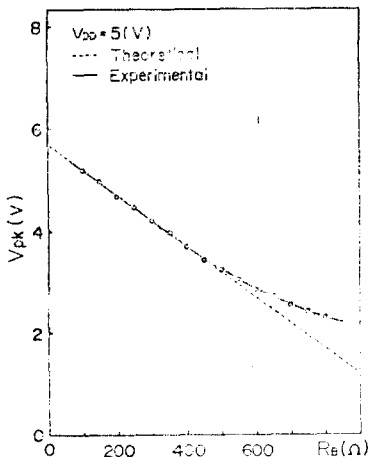


그림 9. R_B 의 變化에 따른 V_{pk} 의 變化
Fig. 9. Variation of V_{pk} as R_B is varied.

그림 8에서 V_{DD} 가 3[V]以下에서는 理論値와 實驗値가 잘 일치하지 못하고 있으나, 이는 그림 3의 JFET의 出力特性에서 V_{DS} 가 3[V]以下에서는 드레인전류가 減少되어 r_d 值가 크게 다른 값을 갖는 때문인 것으로 볼 수 있다. 그림 9에서도 역시 R_B 가 400[Ω]以上에서 理論値와 맞지 않는 理由는 R_B 에 의한 電壓降下로 JFET의 V_{DS} 가 前述한 바와 같이 3[V]以下로 되기 때문이다.

회로의 負抵抗値는 식 (14)에 表示된 바와 같이 R_B 의 값을 조정하여 變化시킬 수 있다. Q_1 에서 $h_{fe} = 20^0$ ($I_E = 2 \sim 10$ [mA]), $h_{ie} = 1$ [kΩ] ($I_b = 10 \sim 50$ [μA])였다. Q_2 의 g_m 은 그림 4의 구간 BC에서 약 40[mS]였고, r_{gs} 는 JFET의 게이트-소스間이 順方向으로 bias 少 있을 때의 電流-電壓特性에서 구간 動抵抗을 表示하며 약 65[Ω]였다. 이 값을 식 (14)에 代入하면 R_N 值는 다음과 같이 된다.

$$R_N = 5 - 2.6 \cdot R_B [\Omega]$$

그림 10은 $V_{DD} = 5[V]$ 下에서, 회로의 負抵抗値 R_N 이

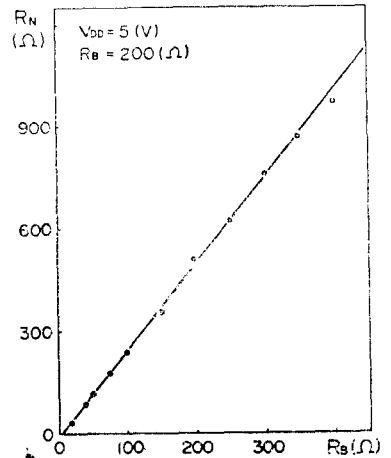


그림 10. R_B 의 變化에 따른 R_N 의 變化
Fig. 10. Variation of R_N as R_B is varied.

抵抗 R_B 에 따라 直線的으로 變化됨을 보여 주고 있다. R_N 의 測定値들은 식 (17)에 의한 計算値와 比較할 때 대체로 2[%] 以內的 誤差範圍에 있었다. 따라서 식 (14)를 얻기 위한 回路解析이 上記 誤差範圍內에서 妥當함을 보여준다.

5. 結 論

JFET와 트랜지스터를 結合한 電流制御負抵抗特性을 갖는 回路를 構成하였다. 回路解析上 N채널 JFET에 全動作領域에 걸쳐서 게이트는 正의 電位를 가지므로

正의 電位에서 出力 및 傳達特性을 구하였다. 이 特性을 利用하여 回路의 動作을 推定하고 動作領域을 3가지로 나누어서 回路의 動作을 各各 解析하였다.

回路의 推定한 動作은 실제의 動作과 거의 일치하였다. 等價回路解析에서 구한 負抵抗의 計算値를 實驗値와 比較한 結果誤差範圍가 2[%]以內에 있었으므로 回路解析이 妥當함을 確認하였다. 그리고 構成한 回路의 負抵抗特性은 安定하였으며, 直線性이 良好하였다.

謝 意

本 研究에 여러가지의 方向提示와 指導를 하여 주신 李宇一教授님과 朴義烈教授님에게 깊은 謝意를 表합니다.

參 考 文 獻

1. H.Mizuno, G. Kano, H.Takagi & I. Teramoto, IEEE J.Solid-state Circuits, Vol. SC-11,2, p.313, 1975.
2. S.H.Bark, J. of the Kyungpook Engineering, Vol. 5, p.7, 1976.
3. T.Inoue, C.Kubota & F. Ueno, Trans. of the Institute of Electronics & Communication Engineers of Japen, Vol. 58-C, 12, p.738, 1975.
4. I.W.Stanley & D.T. Ager, INT. J. Electronics, Vol. 35, p.401, 1973.
5. U.Y. Park, Korea Institute of Electronics Engineers, Vol. 10,1, p.9, 1973.
6. U.Y. Park, J. of the Busan Engineering, Vol., 15, p.245, 1975.
7. S.H. Bark, J. of the Ky ungpook Engineering Vol.3, p.13, 1974.
8. C.K. Sharma & S.C. Dutta Roy, Microelectronics & Reliability, Vol. 11, p.477, 1972.
9. M.Nagita, IEEE Trans. Circuit Theory, CT-12, p.443, 1965.