

Synchronizer의 Metastable 현상 및 그의 개선 방법에 관한 연구

(A Study on the Metastable Phenomena and its Improvement Method in the Synchronizer)

鄭 然 曼* 李 鍾 珏**

(Jung, Young Man) (Lee, Chong Kack)

要 約

synchronizer의 入力端에 非同期된 두 信號가 印加되었을 때 일어나는 Metastable 현상에 대한 회로의 해석과 Metastable point에서 stable state로 遷移되는 過程에서 일어나는 현상을 解析하였으며, 이러한 mishappen 상태에 의해 기인하는 logic failure를 개선하기 위한 방법으로써, Inverter Method, open collector Method를 사용하여 올바른 論理를 理論과 實驗을 통하여 구현하였다.

Abstract

When the input of synchronizer which is used for the purpose of synchronizing the master clock of computer with the interrupt system, a sort of random variable device, is gated with asynchronous intersection of the fall time of the master clock and the risetime of the interrupt request, synchronizer is driven in Metastable region.

This paper is presented circuit analysis of Metastable phenomena and analysis for transient process from metastable point to stable state, and also realizes the collect logic with Inverter and open collector methods with a view to improving logic failure caused by the mishappen phenomena.

1. 序 論

대부분의 Digital computer의 CUP는 master clock에 의한 시간軸에서 동작한다. 그러나 central processor는 computer 내부의 master clock의 동작과는 관계가 없는 Remote Terminal, Teletype, console switch, 및 Interrupt 등과 같은 Random Variable Device와 서로 상관 관계를 갖고 동작하여야 한다. 다시 말하면 이와같은 Device는 master clock의 시간軸으로 동작시킬 수 없기 때문에, CPU와의 動作은 비동기적으로 된다. 그러므로 computer의 Interface와 Random Variable Device와의 情報交換은 computer의 設計상에 심각한 문제점을 제시하여 왔으며, 최근

신뢰성 있는 데이터 通信을 위하여 synchronizer를 사용하여 이점을 해결하여 왔다. 그러나 synchronizer의 入分端에 非同期되는 入力이 印加될 때 Meta stable 現象이 發生한다는 사실을 catt²⁾가 발표하였고 chaney와 Molnar³⁾는 failure mode를 실험으로 증명하였다. 본 論文에서는 External Device와 computer의 master clock이 非同期될 때, 發生하는 Interrupt system에서의 Metastable 現象에 대한 回路解析 및 확률문제, Metastable state에서 stable state로 遷移되는 過程, 이와같은 非同期가 computer의 응답에 미치는 영향 등의 Metastable 現象에 대한 고찰과 이 Metastable 現象에 의한 computer의 誤動作을 방지하기 위하여 synchronizer를 개선하는 문제에 대하여 研究하였다.

* 準會員, 서울大學校 大學院 電子工學科卒業

接受日字: 1977年 8月 26日

** 正會員, 서울大學校 工科大学 電子工學科

(Dept. of Electronics Eng., College of Eng.,
Seoul National Univ.)

2. Metastable 現象

2-1. synchronizer의 회로 해석

synchronizer의 入力단에 IRQ의 상승 부분과 clock.

트 G_1 에 非同期된 狀態로 인가 되었다면, G_1 의 출력에서 spike 형태의 mishappen 현상의 일어난다. 플립플롭은 일반적으로 이와같은 mishappen 또는 "runt" 펄스가 인가되면 그림 1에서와 같이 metastable 또는 semistable이라고 하는 영역에 들어가게 된다.

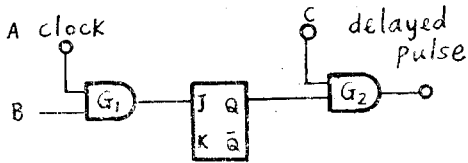
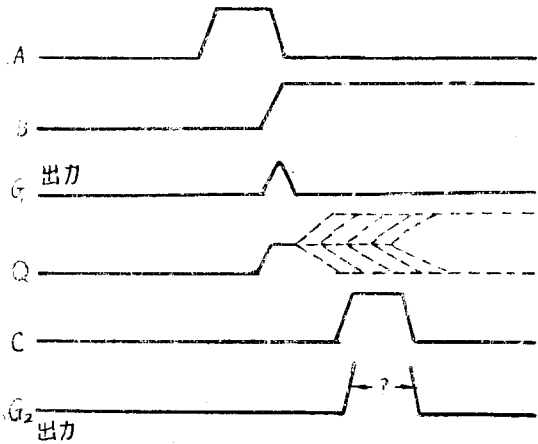


그림 1. Synchronizer와 信號進行
Fig.1. Synchronizer and signal processing.



펄스의 하강 부분이 그림 1에서 보는바와 같이 게이트 따라서 非同期 狀態의 두 신호는 half-logic, half-amplitude 신호에 의한 論理 failure의 결과를 갖게 된다.

다음은 Eccles Jordan flip flop을 이용하여 metastable 현상을 설명하고자 한다.

그림 3에 보는바와 같이 a-a'端에서 측정한 V-I특성곡선의 부저항은 transistor가 on-off의 천이 과정에서 일어나는 현상으로, 접합용량과 같은 능동소자들을 고려하여 등가 어드미턴스를 구함으로써 얻어진다.

T_r 의 천이 과정의 플립플롭 등가회로는 아래와 같다 (그림 4참조).

$$R_{B1} = R_{B2} = R_B \quad R_C = R_f$$

$$c = c_e + c_c(1 + gmR_L)$$

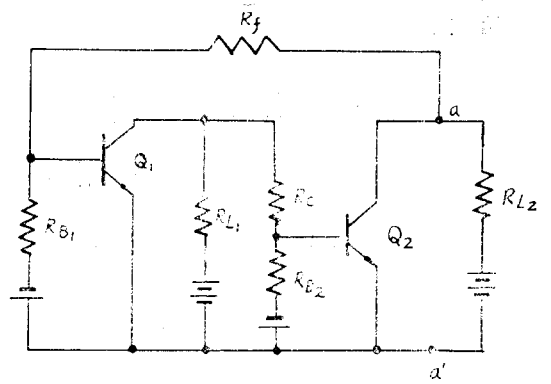


그림 2. 케환루우프의 관점에서 본 플립 플롭
Fig.2. Flip-flop showing feedback loop.

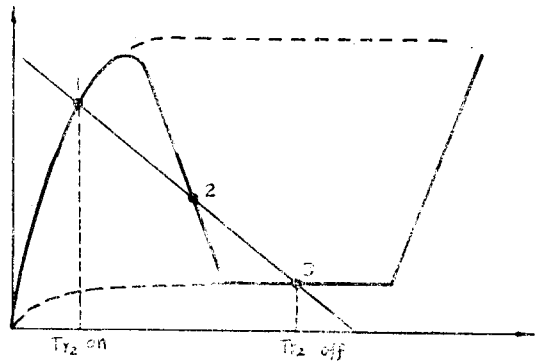


그림 3. a-a'端에서 測定한 V-I特性曲線
Fig.3. V-I characteristics measured at terminal a-a'.

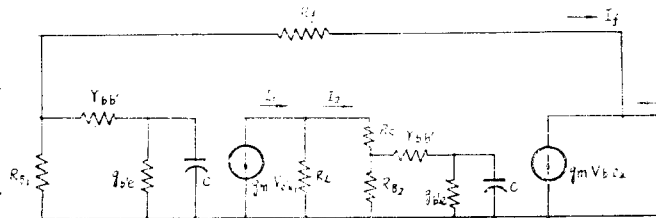


그림 4. 플립플롭의 천이과정의 등가회로
Fig.4. Equivalent circuit of transient process in flip-flop.

$$V_{of} = \frac{I}{V}$$

$$I + I_f = gmV_b'e_2 \dots \dots \dots (1)$$

$$V = -L_f \left[R_f + R_B // \left(r_{bb'} + \frac{r_b'e}{1 + j\omega r_b'e} \right) \right] \dots \dots \dots (2)$$

$$V_{be1} = V \times \frac{R_B // \left(r_{bb'} + \frac{I_{b'e}}{1 + j\omega r_{b'e}c} \right)}{R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)} \dots\dots\dots (3)$$

$$gm \ V_{b'e1} = -(I_1 + I_2) \dots\dots\dots (4)$$

$$I_1 R_L = I_2 \left[R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right) \right] \dots\dots\dots (5)$$

$$V_{be2} = I_1 R_L \times \frac{R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)}{R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)} \dots\dots\dots (6)$$

$$V = I \left[R_f + R_B // r_{bb'} + \left(\frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right) \right] - gm \ V_{b'e2} \left[R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right) \right] \dots\dots\dots (7)$$

⑤⑥식에서

$$V_{be2} = I_2 \left[R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right) \right]$$

$$V_{be2} = V_{se2} \frac{\frac{r_{b'e}}{1 + j\omega r_{b'e}c}}{r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c}}$$

$$= I_2 \times \frac{R_B \frac{r_{b'e}}{1 + j\omega r_{b'e}c}}{R_B + \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)} \dots\dots\dots (8)$$

④⑤식에서

$$gm V_{b'e1} = -(I_1 + I_2)$$

$$= - \frac{R_L + R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)}{R_L} I_2 \dots\dots\dots (9)$$

한편 ②식에서

$$V_{be1} = V \times \frac{R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)}{R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right)}$$

$$V_{b'e1} = V \cdot \frac{R_B \cdot \frac{r_{b'e}}{1 + j\omega r_{b'e}c}}{\left[R_f + R_B // \left(r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right) \right]}$$

$$\left(R_B + r_{bb'} + \frac{r_{b'e}}{1 + j\omega r_{b'e}c} \right) \dots\dots\dots (10)$$

식 ⑧⑨⑩을 식⑦에 대입하면

$$Ya - a' = \frac{1 - k_1}{R_f} + j \frac{2k_2\omega}{R_f}$$

위식에서 $k_1 > 1$ 인 경우 effective 저항은 부저항이 된다. 따라서 flip flop의 천이 즉 부저항 영역에서의 동작상태를 보면 $Ya - a'$ 는

$$R_m = \frac{R_f}{1 - k_1} \quad c = \frac{2k_2\omega}{R_f}$$

값을 갖는 RC병렬회로를 구성한다.

2-2. Metastable Point에서 Stable State으로 천이 되는 과정

metastable point에서 stable state로 천이되는 데에는 i) 초기 offset 전압, ii) 회로잡음이 지대한 영향을 미친다. 잡음이 회로 response에 미치는 정도는 metastable point로 부터 offset 크기에 의해 결정된다.

그림 6에서 보는바와 같이 천이 과정을 두단계로 나눈다.

첫번째 천이는 그림 5에서와 같이 초기조건에서 출발하여 stable state의 boundary로 옮겨 가게 된다. 초기 조건의 출발 부분에서는 잡음이 지대한 영향을 끼치게 되어, 초기 출발점이 V_M 의 낮은 쪽인지 높은 쪽인지를 결정하게 된다. M 이라는 문자는 metastable point를 나타낸다.

이점에서의 bistable은 무한정 불확정된 상태를 지속한다.

점선은 synchronizer의 AND 게이트의 출력 spike가 플립플롭을 Mestable 근처로 옮겨 놓았을 경우이다. 사분면에서 출발하여 반시계 방향으로 작용하였다면, $2d$ 라는 시간후에 플립플롭은 천이 영역을 벗어나게 된다.

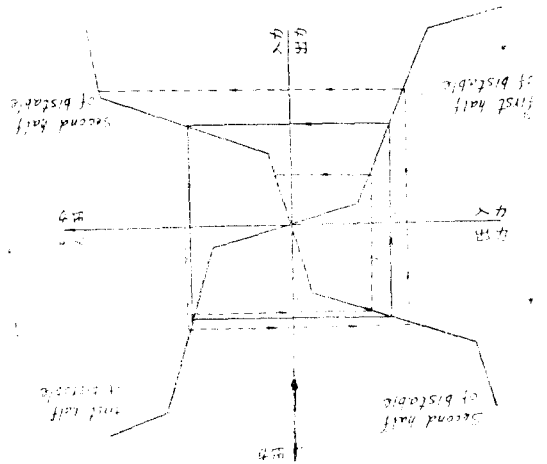


그림5. Bistable의 4分面 特性曲線
Fig.5. Two halves characteristics of the bistable.

따라서 mishappen pulse가 플립플롭에 인가되면 일정한 시간동안 RC발진을 하며, half-logic, half-amplitude가 지속된다.

두번째 천이과정은 boundary에서 stable point의 한 상태로의 이동이다. 이 천이는 deterministic이므로 $(p < V_1 > V_B/t)$ 로 정의되며, 이 영역에서는 gain이 거의 Zero가 되어 잡음이 증대한 영향을 끼치게 된다.

M. Hartardo는 다음과 같은 증명을 하였다.

i) metastable 영역은 플립플롭에서 존재한다.

ii) 회로가 metastable 영역에 있으면 外部 信號 또는 noise가 존재하지 않을 경우에는 stable state에 도달하지 못하고 무한히 indefinitely하게 남아 있게 된다.

iii) 入力端에 입력 信號가 인가되지 않았을 경우

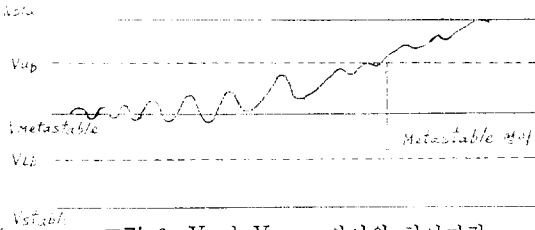


그림 6. V_M 과 V_{stable} 사이의 천이과정
Fig. 6. Transient process between V_M and V_{stable} .

Metastable 영역으로 부터 stable한 영역으로 옮겨갈 수 있는 유일한 요소는 noise이다.

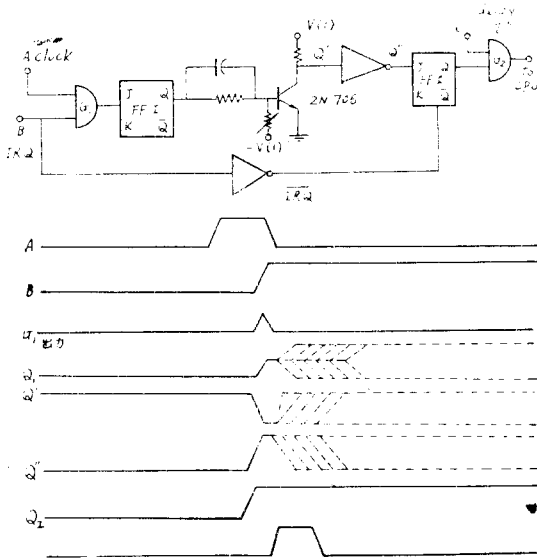


그림 7. 인버터회로 入力端을 개조하여 구성된 synchronizer와 信號進行
Fig. 7. Synchronizer composed by improvement of the input of inverter circuit and its signal processing.

3 改善方法

3-1. Inverter Method.

플립플롭의 metastable 동작에 의한 論理上의 誤動作을 개선하는 방법으로 INVERTER 회로를 약간 개조하여 플립플롭의 出力端 Q에 연결하므로써 logic ailure의 문제를 해결하였다. 그림 7은 synchronizer의 入力 A, B가 서로 非同期가 되는 경우에 플립플롭은 metastable 동작을 하게된다. 그때 flip flop의 出力端은 불확정 시간동안 half-amplitude를 갖고 발전하게 된다 이때의 전압 level은 대략 1.0~2.0V 정도가 되므로 Inverter 회로의 入力端을 개조하여, T_{ri} on되는 최저 전압 level을 대략 1V가 되게 잡으면, half logic에 의해 Invert의 出力은 論理 1을 갖게 되며, 이것을 다시 Inverter 회로를 거쳐 플립플롭을 통과시키면 IRQ는 CPU에 올바른 論理를 전달하게 된다.

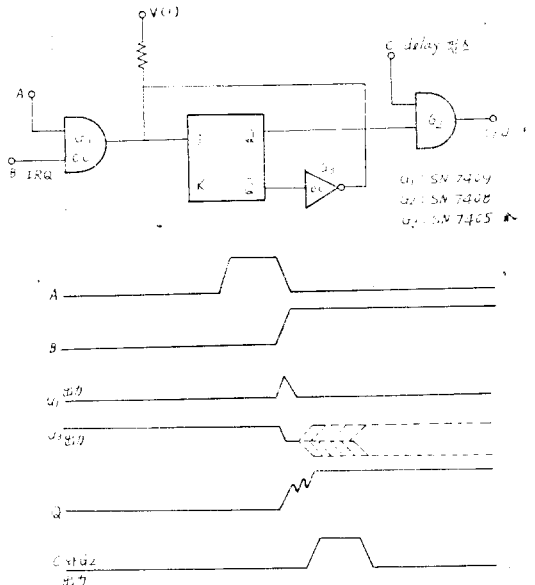


그림 8. 正歸還를 사용한 synchronizer와 信號進行

Fig. 8. Synchronizer using positive feedback path and its signal processing.

3-2. Open Collector Method.

Metastable 現象에 의한 플립플롭의 logic failure를 개선하고자, AND 게이트 G_1 과 플립플롭의 出力端 Q의 inverter 게이트의 G_2 를 open collector를 사용하여 그림 8에서 보는바와 같이 正歸還 회로를 구성하였다. 따라서 플립플롭은 metastable 영역에서 두 개의 T_r

증폭기로써 동작하게 되며, 이때의 이득은 대략 34db 정도의 이득을 갖게 된다. 그러므로 G_1 의 出力과 G_2 의 出力이 결합하여 dot-OR 회로의 역할을 하게 되며, 이때의 전압 level은 G_1 의 出力에 +전압만큼 보태지는 결과를 갖게 된다. 이것이 플립플롭에 인가되어 歸還을 계속하면 플립플롭은 一種의 증폭기 구실을 하게 되므로, stable state 論理 1으로 遷移되며, 일단 stable state가 되면, 이득이 zero가 되어 論理 1의 작용을 하게 된다. 따라서 flip flop Q와 delay clock을 AND 게이트에 인가시키면, synchronizer의 出力은 CPU에 올바른 IRQ를 전달하게 된다.

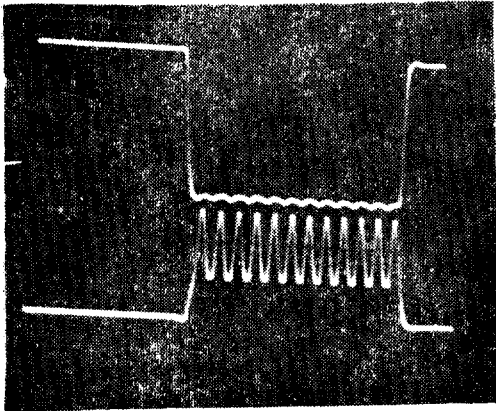


사진 1. 改善方法 (1)에 의한 플립플롭 Q_1 과 inverter 出力波形 (Vertical 0.5V/cm Hor.10nsec/cm)

Photo. 1. flip-flop Q_1 and inverter's output-wave form by improvement method (1).

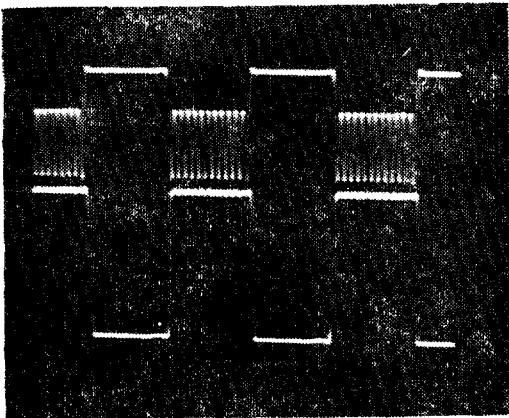


사진 2. 改善方法 (1)에 의한 플립플롭 photo* 2. Q_1 과 inverter 出力波形 (Vertical 0.5V/cm, Hor. 50nsec/cm).

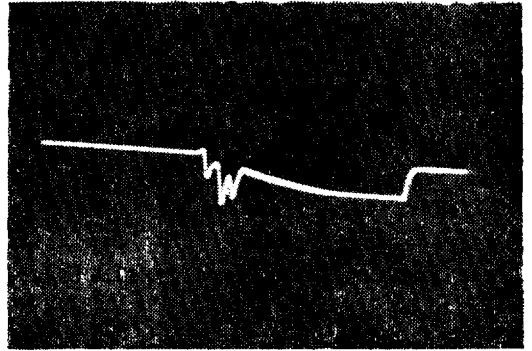


사진 3. 改善方法 (2)에 의한 플립플롭의 出力波形

Photo. 3. flip flop's output-waveform by improvement method (2).

4 測定 및 檢討

Synchronizer의 logic failure現象을 개선하고자 改善方法 1, 2를 사용하였다. 이들 개선방법에 따른 synchronizer는 그들의 logic을 충실히 수행하고 있음을 사진 1, 2, 3에서 보는바와 같이 실험을 통하여 확인하였다.

改善方法 1은 사진 1에서 보는바와 같이 동작특성에 있어서 half logic이 불과 수십 ns 정도가 되는 짧은 시간의 경우에도 충분히 comparate 할 수 있음이 확인 되었다.

改善方法 2는 사진 2에서 보는바와 같이 完全한 logic 1이 되지 못하고, 약간의 이그러진 波形이 나타남을 볼 수 있었으나, 최저 論理 1 전압 2.4V 이상의 값을 가지므로 다음 端의 게이트에 인가될 때, 아무런 영향도 미치지 않음을 볼 수 있었다.

5 結論

Master clock과 IRQ의 上昇·下降部分이 서로 交叉되는 非同期 상태를 synchronizer에 印加되면, synchronizer는 metastable現象을 일으키게 된다. 이와같은 현상은 플립플롭이 on에서 off로 천이되는 과정에서 나타나는 正歸還에 의한 負抵抗에 기인함을 알게 되었으며, metastable 동작時에는 initial vtg와 회로 잡음에 의해 發振이 지속되다가 임의의 stable state로 遷移됨을 two halves 特性曲線을 이용하여 half-logic 상태의 duration이 지속됨을 확인 하였다.

한편 改善方法으로 Invert회로를 사용한 Inverter방법, open collector를 사용하여 正歸還회로를 구성한 open collector方法으로 synchronizer를 改善하므로

써, logic failure에 의한 誤動作을 방지하므로써 IRQ가 CPU에 올바르게 전달되도록 하였다.

參 考 文 獻

1. J.L. Hilburn and P.M. Julich, "Microcomputer/Microprocessor". prentice-Hall, 1976.
2. I.Catt, "Time loss through gating of asynchronous logic signal pulses", IEEE. Trans. Elec-zron compufer, Vol. EC-15, pp. 109~111, Feb 1966.
3. T.J.chaney and C.E. Molnar, "Anomlaous behavior of synchronizer and arbeits circuit", IEE E.Trans. Comput, Vol. C-22, pp. 421~422 Apr 1973.
4. Turner, I.R. and Rawlings, JoH, "Realization of randomly timed comput input and output by means of an interrupt feature", IRE Trans. Electron. Comput. Sune, 1958.