

Hybrid System을 위한 Interface 회로構成의 實驗的 研究

論 文
26~6~1

Experimental Study of Interface Circuit Implementation in Hybrid System

高 明 三*
(Myoung Sam Ko)

Abstracts

The paper deals with the fundamental specifications for the physical implementation of interface circuit, which will play an important role in information and signal transmission between computer and controlled system, and also we have proved that the digital controller will be able to improve the data handling of interface circuit.

1. 序 論

최근 여러 工業分野에서 아나로그信號와 디지털信號의 相互變換을 催급하는 傾向이 크게 증가하였으며 미니컴퓨터 혹은 마이크로컴퓨터의 출현은 이러한 傾向을 더욱더 加速化시키고 있다. 일반적으로 디지털시스템과 아나로그시스템 相互間의 정보수수, 교환 및 제어를 가능케 하기 위한 교량적 역할을 담당하고 있는 것이 interface회로이다. 물론 인터페이스 회로構成에 대하여는 이미 발표된 일반론은 있으나^(1,2,3,4,5), 여기서는 우리나라에서 求得할 수 있는 素子를 利用하여 주어진 示方[3 参照]을 만족하는 디지털 제어기 및 Interface 기능을 完備하게 수행할 수 있는 시스템 構成法에 關하여 論하고져 한다.

2. Interface회로構成을 위한 素子 特性

Interface 회로 構成에 필요한 素子를 열거 하면 Analog Multiplexer, Analog Switch, 계기용 增幅器, Sample/Hold 素子, D/A變換器 및 A/D變換器등이며, 本回路構成에서 사용한 이들 素子들의 特性과 시스템 構成에 必要한 사항은 다음과 같다.

(a) Analog Multiplexer

Analog Multiplexer는 여러개의 다른 Analog ch-

annel 사이에서 아나로그-디지털 變換器의 時分割을 위해서 사용되는 것으로, 著者가 사용한 것은 AD7501로써 그림 2.1과 같이 제어入力を decoding하는 decoder와 入力は 各 채널에 연결되어 있고, 出力側은 아나로그스위치와 공통적으로 구성되어 있다.

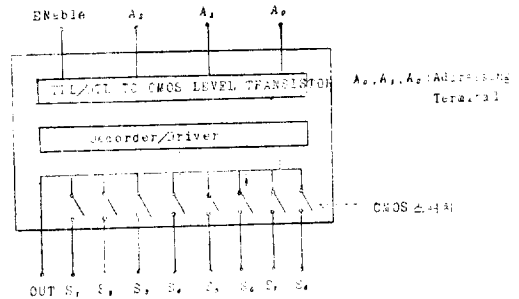


그림 2.1. 아나로그 멀티플렉서
Fig. 2.1. Analog Multiplexer(AD 7501)

그림 2.1에서의 CMOS 스위치의 등가회로는 그림 2.2와 같다. 그림 2.2의 등가회로에서 알 수 있는바와 같이 만일 이들 Multiplexer의 출력측에 연결된 장치의 入力피던스가 낮아, 스위치의 ON狀態에서의 低抵抗(170Ω)으로 인한 오차를 무시할 수 없는 경우에는 그림 2.2(b)와 같이 出力側 buffer의 접속으로 이 문제는 해결된다.

그림 2.3과 2.4는 이 Multiplexer의 Aperture time과 Settling time의 測定 回路 및 그 결과를 각각 나

* 正會員 서울대 工大副敎授·工博(當學會編修理事)
接受日字: 1977年 10月 17日



그림 2.2. 동가회로 및 출력버퍼
Fig. 2.2. Equivalent Circuit & Output Buffer

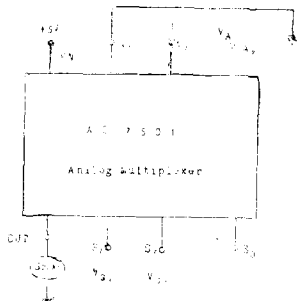
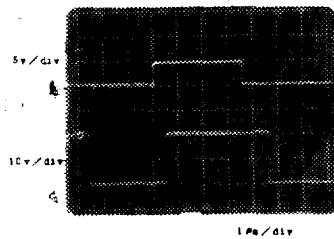
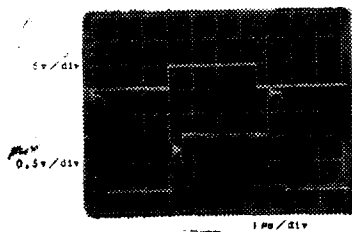


그림 2.3. 실험 결선도
Fig. 2.3. Connection Diagram



$V_{S1} = -10V$, $V_{S2} = 10V$, $V_{EN} = +5V$
 $V_{A0} = 5V$ 구형파, $V_{A1} = V_{A2} = GND$



$V_{S1} = -0.6V$, $V_{S2} = 0.57V$

그림 2.4. 멀티플렉서 특성
Fig. 2.4. Multiplexer Characteristics

타내며, 그 결과 $1[\mu S]$ 임을 알 수 있었다.

(b) 아날로그 스위치

전체시스템에서 계기용 증폭기의 利得制御를 위하여 사용할 아날로그 스위치는 AD7510로써 그림 2.5는 5 [V]의 短形波로 스위치를 조정하고, 직류 入力 $10[V]$ 과 負荷抵抗 $1[k\Omega]$ 시의 전달 특성을 나타내고 있으며, 윗과형은 制御入力이고, 아래과형이 出力 波形이며 閉 閉시간은

$$t_{on} : 0.2[\mu sec],$$

$$t_{off} : 0.5[\mu sec]$$

와 같이 주어짐을 알 수 있다.

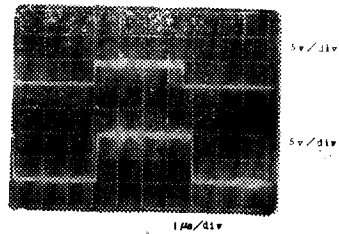


그림 2.5. Analog Switch의 특성
Fig. 2.5. Characteristics of Analog Switch

(c) 計器用增幅器

計器用增幅器는 일반적으로

- (i) 高入力 임피던스 ($2 \times 10^6 \Omega$)이며,
- (ii) 外部에서 增幅器利得을 여러가지로 조정할 수 있고 ($1 \sim 1,000$ 배)
- (iii) CMRR(Common Mode Rejection Ratio)가 높은 것

등 여러 특성이 있으며, 本 構成에서 사용한 것은 AD520이며 그림 2.6은 이의 回路圖이고, 그림 2.7은 Settling time과 Slew rate를 측정한 특성을 나타내며, 同圖 (a),(b)는 각각 短形波入力에 대한 出力 利得이 1 및 10인 두가지 경우를 나타낸다.

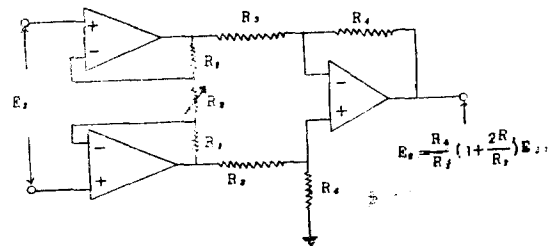


그림 2.6. 계측기용 증폭기
Fig. 2.6. Instrumentation Amp

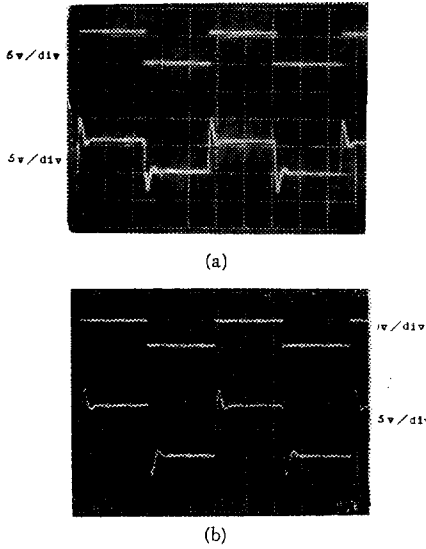


그림 2.7. Instrument Amp의 특성
Fig. 2.7. Characteristics of Instrumentation Amp.

이 그림에서 Slew rate는 $4[V/\mu\text{sec}]$, Settling time은 $16[\mu\text{sec}]$ 임을 알 수 있다. 디지털 제어를 구성함에 있어서, 計器用增幅器의 出力 側에 접속된 장치(여기서는 S/H)를 동작시키기 위하여는 앞의 장치가 완전히 Settling된 후에 동작되어야 하므로, 이 Settling time은 제어기 설계에 매우 중요한 비중을 차지한다.

(d) Sample/Hold

그림 2.8은 Sample/Hold 회로로서 스위치와 커패시터로 구성되었고, ON時は 신호의 Sampling, 즉 Tracking mode를, OFF時は HOLD Mode를 각각 나타내게 된다. 著者가 사용한 것은 Acquisition時間이 $4[\mu\text{sec}]$, Aperture Time $50[\mu\text{sec}]$ 인 AD583으로써 그림 2.9에서 上部 波形은 Hold 제어 신호를, 下部 波形은 正流入力시 制御信號에 대한 出力을 각각 나타낸다.

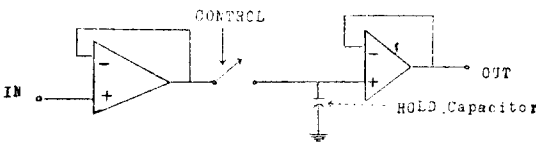


그림 2.8. 샘플 및 홀드회로
Fig. 2.8. Sample & Hold Circuit

여기서 Hold Capacitor로서 $1,000\text{PF}$ 의 Polystyrene Capacitor를 사용하였다. 그 理由는 절연저항과 低誘電損失을 기하기 위하여서이다.

(e) D/A變換器

그림 2.10과 같이 R-2R사다리꼴 회로網과, 10개의

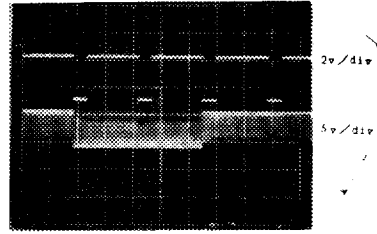


그림 2.9. Sample/Hold의 출력
Fig. 2.9. Output wave of Sample/Hold

電流 조형성 스위치로 구성된 AD7522를 사용하였으며 Unipolar 동작인 경우, 그림 2.10의 L단자를 接地시키면 V_{ref} 단자에서 본 등가저항은 R이다. 그러므로 回路電流는

$$\frac{V_{ref}}{K} = I$$

로 주어진다.

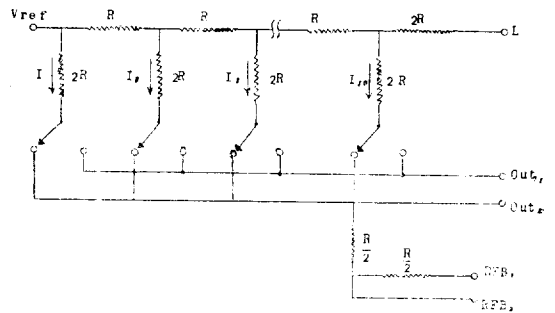


그림 2.10. D/A 변환기 회로
Fig. 2.10. D/A Converter Circuit

지금 $I = \frac{V_{ref}}{K}$ 라 하면

$$I_1 = \frac{V_{ref}}{K} \times \frac{1}{2} = \frac{1}{2} I$$

$$I_2 = I_1 \times \frac{1}{2} = \frac{1}{4} I$$

.....

로 주어진다.

지금 RFB₁ 단의 저항 R에 OP Amp를 그림 2.11과 같이 연결하면 電流-電壓變換器가 되어 아나로그 電壓으로 변환된다. 이때 OUT₂는 접지시킨다. 만일 단자 RFB₂에 그림 2.11의 電流-電壓 變換器를 접속하면 $V = -\frac{R}{2} I$ 가 되어, OUT₁을 사용시의 $\frac{1}{2}$ 이 된다.

(f) A/D變換器

여기서 사용한 것은 Successive Approximation型인 AD7570이며, 그림 2.12는 이의 원리도이다.

즉 變換이 시작되면 MSB만 "1"로 셋트하여 즉(10

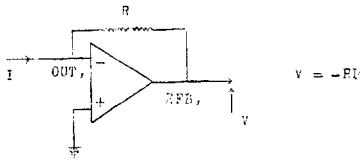


그림 2.11. 전류-전압 변환기
Fig. 2.11. Current to voltage Converter

000000)을 D/A 변환기의 入力로 가하여 이 때 出力과 아날로그 入力과 비교하여 아날로그 入力이 크면, 그 양두고, 적으면 이를 clear시킨다. 같은 방법으로 다음 bit를 set하고 계속 LSB까지 set한다. 그런데 AD 7570인 경우 Comparator의 Slew rate settling time, D/A 변환기의 變換時間 등의 영향으로 0.6[MHz] 이상의 Clock는 인가 못한다. 그러므로 이 경우, Aperture時間까지 합치면 最小變換時間이 20[μsec]가 됨을 알 수 있다.

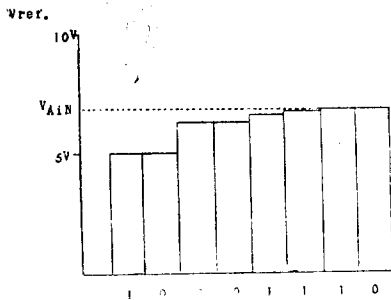
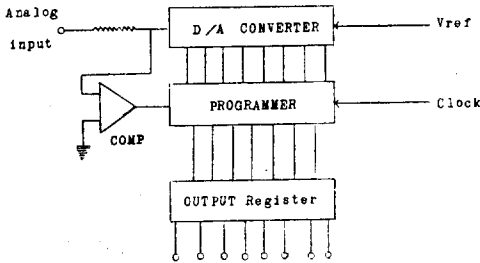


그림 2.12. A/D 변환기
Fig. 2.12. A/D Converter

표 1. 유니폴라 동작
Table 1. Unipolar Operation

아날로그 入力	디지털 出力
FS-ILSB	11111111
$\frac{3}{4}$ FS	11000000
$\frac{1}{2}$ FS+ILSB	10000001
$\frac{1}{2}$ FS	10000000
0	00000000

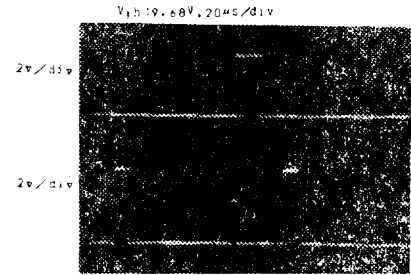
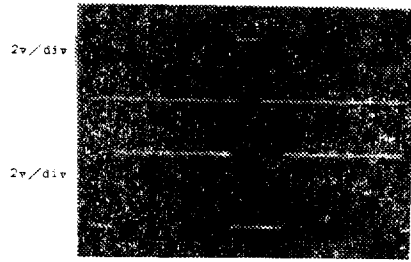


그림 2.13. A/D변환기의 출력
Fig. 2.13. A/D Converter Output

표 1은 Unipolar 동작에서 아날로그 入力과 디지털 出力간의 관계를 나타내며 그림 2.13은 실제 실험결과이다. 여기서 AD7570 자체의 Resolution에 의한 오차에는 利得制御, Offset 조정으로 제거할 수 있었다.

3. 디지털制御器 構成

지금까지는 interface system에 필요한 각종 소자들의 특성과 interface 回路構成에 필요한 주요 사항을 단편적으로 기술하였다.

각 소자에서의 제어신호는 TTL level이므로, 별 문제가 없으며, 요는 time sequence 설정문제가 가장 중요하다.

外部에서 들어오는 制御 入力信號로 Multiplexer의 아날로그 入力채널을 선택하여 주는 address 入力과 Data를 요청하는 Request 入力 및 出力 Data의 Serial-Parallel여부를 결정하는 制御信號를 고려하였다. 한편 Interface회로상태의 Conversion동작 여부를 나타내는 Register를 하나 갖게할 수 있는 기능을 갖는 論理制御器의 time sequence의 示方을 작성함에 있어 다음 사항을 고려하였다.

- (i) Multiplexer Enable은 Multiplexer Aperture Time과 計器用增幅器의 整定時間을 고려하여 20 μsec로 하였고,
- (ii) CONVERT Command는 적어도 500nsec 이상이 되도록 하였고,
- (iii) HOLD Command는 A/D 變換器의 變換이 끝

날 때까지 Hold상태로 유지케 하고,
 (iv) Multiplexer Enable과 Hold Command간에는 적어도 HOLD device의 aperture時間인 50nsec 이상 중첩되도록 함.

그림 3.1은 이상 네가지 사항을 고려한 Time sequence이다.

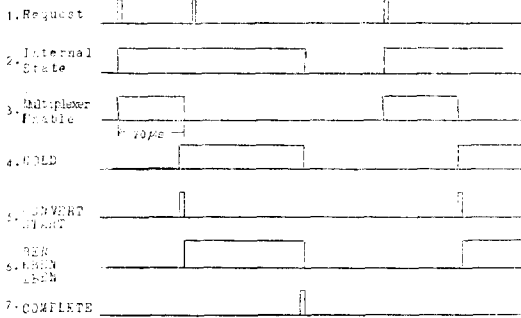


그림 3.1. 시간 시퀀스 선도
 Fig. 3.1. Time Sequence Diagram

이상의 제조건을 만족시키는 회로를 實現하기 위하여 고려할 점은 첫째로 time delay이다. time delay 법에는 여러가지 있으나 本研究에서는 Counter를 이용하였으며, 여기에 부주되는 gated clock generator는 Monostable Multivibrator(74123)을 이용하여 그림 3.2와 같이 설계 제작하여 1.8[MHz]의 Clock를 얻었고, Register요소로는 D형 F/F(7474)를 이용하였다.

한편 이 시스템전체를 start시킬 때, Clear 여부를 보장하기 위하여 Manual Reseter와 CONVERT Complete를 NOR로 넣어 전체 制御器의 Clear로 인가시켰다. 또한 Multiplexer Address는 Latch(7475)에 일단 Set시켜 Multiplexer의 Address로 넣어주고 이를 Decoding하여 각각 入力채널에 알맞는 利得에

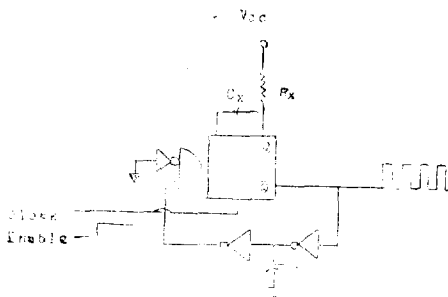
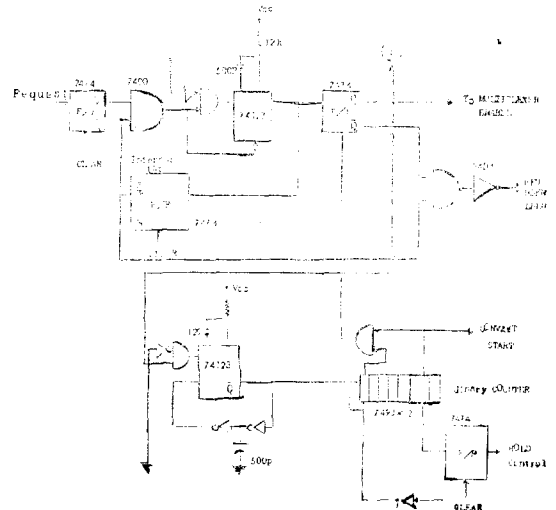
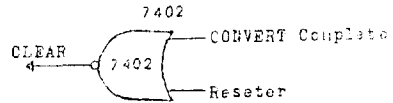


그림 3.2. 게이트드클럭발생기
 Fig. 3.2. Gated Clock Generator

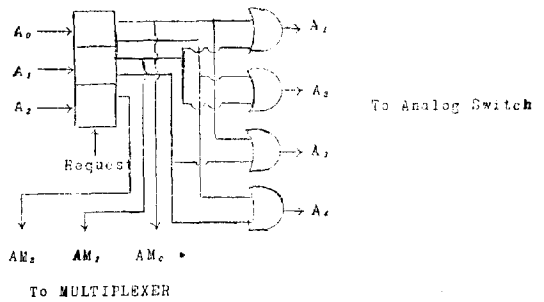
맞출 수 있도록 아나로그 스위치로 제어하였다. 그림 3.3은 이상의 제示方을 고려하여 제작된 interface 회로를 동작시키기 위한 디지털 制御器이다.



(a) Controller



(b) Single State in 7402



(c) Addressing & Decoding

그림 3.3. 시퀀스 콘트롤러
 Fig. 3.3. Sequence Controller

4. Interface시스템 構成 및 檢討

그림 4.1은 위에서 기술한 諸機能을 갖춘 시스템에서의 신호 전송에 관한 블록 線圖이다.

그림 4.1에서 transducer는 비전기적인 아나로그 量을 전기적 量으로 變換시키기 위한 것으로 變換類는 被測定 아나로그 量에 의하여 결정된다. 일단 pick up된 아나로그電壓은 計器用 增幅器에 의하여 ±10V로

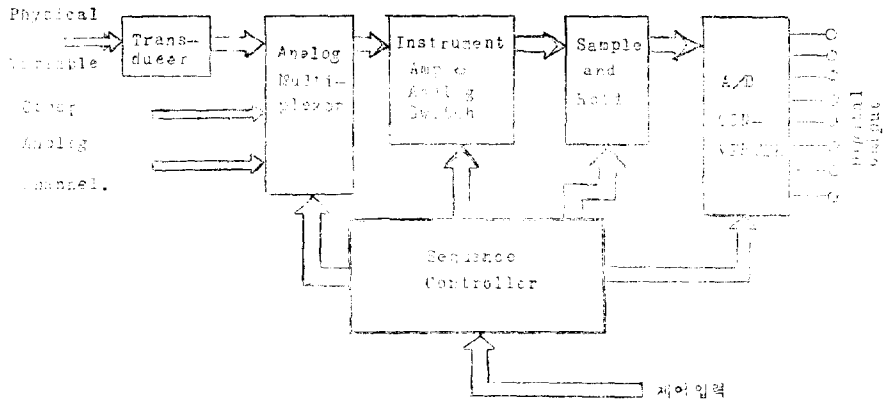


그림 4.1. 시스템 블럭선도
Fig. 4.1. System Block Diagram

그 電壓레벨로 바뀐다. 이를 S/H로 Sample 및 HOLD 시켜, A/D變換器에서 신호처리가 끝날때까지 유지시킨다. 이때 시스템전체의 Time sequence제어는 앞에서 論한 Sequence Controller에서 처리한다.

이렇게하여 완성된 全體 System의 回路는 그림 4.2와 같고, 그림 4.3은 이의 試作品의 結果양이며 그림 4.4는 제작된 interface회로의 出力特性이며, (a)圖는 Request신호에 대한 digital出力이고, (b)圖는 Sample

/Hold出力에 대한 digital出力을 각각 나타내며, 아나로그 信號로써 直流電壓을 사용하였다.

이상과 같은 시스템 構成에서 특히 주위할 점은 다음 몇가지로 要約될 수 있다.

- (i) 아나로그信號와 디지털信號가 共存하는 곳에서는 接地를 각각 獨立的으로 해야만 noise를 제거할 수 있었고
- (ii) 抵抗 특히 trimmer potentiometer들의 不安定

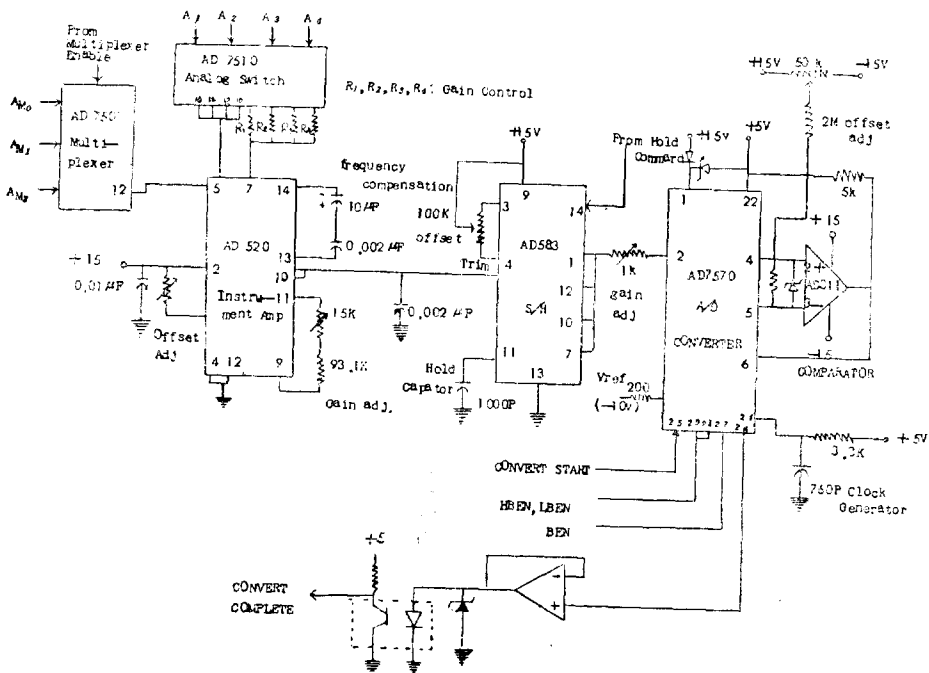


그림 4.2. 인터페이스회로
Fig. 4.2. Interface circuit

은 offset 조정과 利得 조정에 매우 까다로운 문제점을 제거하며,

內部 임피던스가 너무 크기 때문에 附加的인 OP Amp를 필요로 하였다.

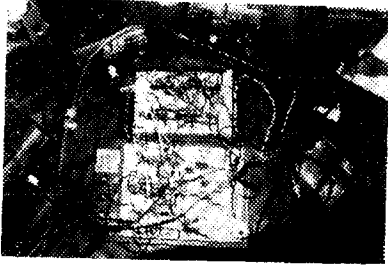


그림 4.3. 제작된 Interface 회로의 외관
Fig. 4.3. Eyevieiw of designed interface Circuit

5. 結 論

계산기 제어시스템에서 계산기와 被制御系間의 境界 役割을 담당하고 있는 인터페이스 회로는 그 구성과 특성에 있어서 여러가지로 분류되지만, 본 研究에서는 Unipolar 동작에만 局限시켰고, Bipolar 동작인 경우에는 A/D 變換器의 변환만으로 그 동작이 가능하며 入力 信號 15[KHz]까지의 信號 처리가 가능하기 때문에 一般 工業用 生産 라인에서 充分히 通用될 수 있다고 史料되며, Multiplexer의 소자오차, Cross-talk 오차, Instrument Amp의 Common Mode 오차, Sample/Hold의 Aperture 시간으로 인한 오차 등은 Offset 조정과 이득 조정으로 완전히 제거할 수 있었다. 본 研究는 科技 處의 研究費에 의하여 이루어졌음을 밝힌다.

끝으로 본 研究 遂行에 始終一貫 여러가지 데이터 정리 및 실험에 協助한 서울工大 電氣工學科의 回路 및 시스템 研究室 助教 許旭烈군의 勞苦가 있었음을 밝힌다.

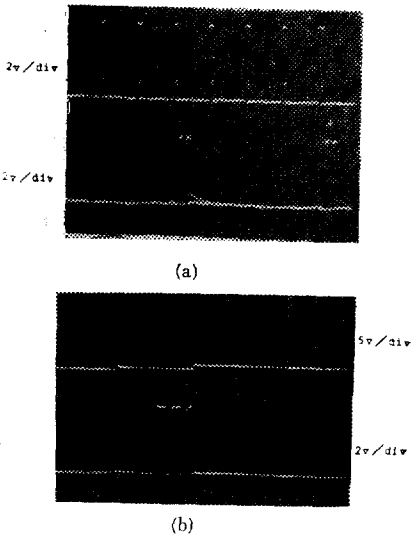


그림 4.4. 출력 특성
Fig. 4.4. Output Characteristics of designed interface circuit.

(iii) A/D 變換器에서 나오는 CONVERT COMPLETE Signal 자체로 次段의 디지털 소자의 구동에는

參 考 文 獻

1. Cadzow Martens Discrete-Time and Computer Control System; Chapter 8,9. MGH 1970.
2. J.T. Beckett: "Analysis of Incremental Digital Positioning System with Digital Rate Feedback". ASME paper 64-WA/AUT-3
3. T.R. Fredriksen: "Closed-loop Stepping-Motor Application" 1965 Joint Automatic Control Conference, pp. 531~538
4. Analog Devices: Analog and Digital Conversion 1965.
5. Signetics: "Application Note Data Book" 1970.