

ULM을 이용한 디지털회로의 簡素化에 關한 研究

(A Study on Minimization for Digital Circuits Using the Universal Logic Modules)

朴 圭 泰* · 金 長 福**

(Park, Kyu Tae, and Kim, Chang Bock)

要 約

本論文은 ULM(Universal Logic Modules)의 構成과 특징에 關하여 考察하고 TULM, QULM 및 SULM에 關하여 分析하였으며 代칭함수를 도입하여 ULM 회로의 簡素化를 시도하였다.

代칭함수에 依한 간소화結果를 DLM으로 실현시키기 위하여 54/74類 集積회로를 써서 10KHz의 發振회로를 構成하여 理論的 結果와 대응함을 관찰하였다.

Abstract

This paper deals with characteristics and analysis of the Universal Logic Modules as well as TULM, QULM and SULM.

Studies are made on minimization in terms of symmetric circuits and theoretical stuides are made by using the symmetric functions

The symmetric circuits of the ULM are realized by employing 54/74 ICs. An oscillator circuit of 10KHz. is constructed based on the ULM. The experimental results gave a good agreement with the theoretical minimization.

1. 序 論

最小화된 디지털회로의 數式을 가장 經濟的인 實際회로로 만들기 위하여 Forslund, Waxman⁽⁴⁾, Elspas²⁾ 등이 ULM(Universal Logic Modules) 方式을 開發하여냈다. 이것은 De Morgan의 定理에 理論的 根據로 두어 모든 디지털시스템의 構成要素를 단일회로소자로 統一하는 方法이다. 모든 디지털시스템을 ULM으로 構成할 경우 I.C.製作의 간편함과 회로點檢의 單純化등의 점이 생긴다. 그러나 一般的으로 임의의 기속회로를 ULM회로로 變換하기 위해서는 부피의 膨脹이 야기된다. 이 회로간소화를 위해서 ULM과 더불어

어 代칭함수를 도입하여 考察한다.

ULM은 A.R. Meo⁽¹⁾에 의하여 'Modular Tree Network'로 定義된 TULM과 S.S. Yau C.K. Jang⁽¹⁴⁾에 의하여 創案된 QULM, SULM등이 있으며 이 모든 ULM의 基本은 <그림 1>과 같은 TULM이다.

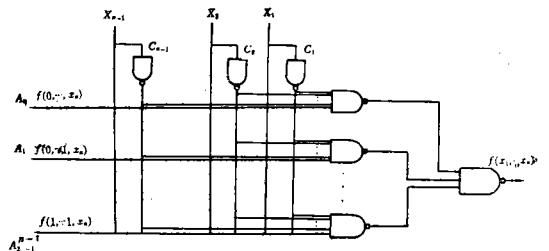


그림 1 TULM

2. 回路的 簡素化 方法

ULM으로 회로를 設計함에 있어서 그 부피를 縮小

*正會員 延世大學校 工大 電子工學科
Dept. of Electronic Engineering, Yonsei University.

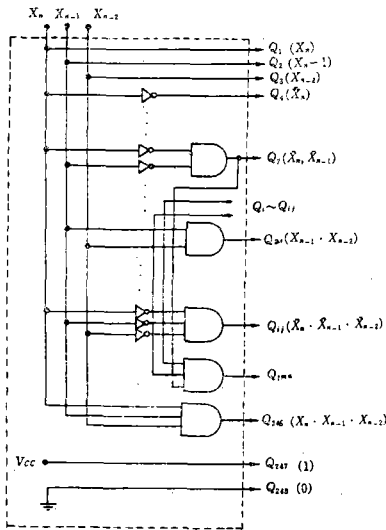
**
接受日字: 1976年 8月 21日

시키기 위해서는 單位 모듈(Module)에 있어서의 入力 단자수, 단수(number of levels), 使用된 gate의 數등을 줄여야 한다. 이것들이 그 모듈의 速度와 신빙도(reliability) 등에 큰 영향을 미치기 때문이다.

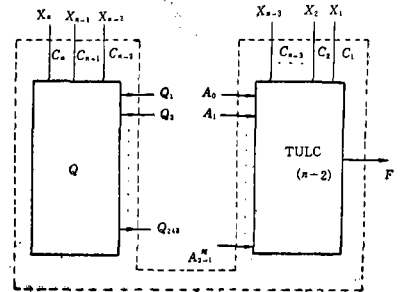
임의의 論理함수 $f(x_1, \dots, x_n)$ 는 다음과 같이 $(n-1)$ 개의 變數로 이루어지는 새로운 함수들로 展開되어 진다⁽¹¹⁾.

$$f(x_1, \dots, x_n) = \sum_{i=0}^{n-1} \dots x_1^{i_1} \dots x_{n-1}^{i_{n-1}} f(i_1, \dots, i_{n-1}, x_n) \dots (1)$$

단 $x_j^0 = \bar{x}_j$, $x_j^1 = x_j$, $j=1, \dots, (n-1)$ 이고 $i_1 \dots i_{n-1}$ 은 i



a) $n \geq 11$ 일때의 Q-모듈회로



b) TULM과 결합한 QULM회로

그림 2

와 같으며 TULM으로 構成한 최선의 結果와 QULM을 使用한 경우의 結果 및 Elspas에 의하여 計算된 값등을 서로 比較하면 <표 1>과 같다.

표 1 입출력단자수 비교

단자수(n)	2	3	4	5	6	7	8	9	10	11	12
입출력단	2	3	4	5	6	7	8	9	10	11	12
Elspas 논문결과	4	6	10	20	38	71	136	265	522	1035	2060
Yau, Jang	4	7	12	21	38	71	136	265	522	1035	2060
QULC	—	—	—	—	33	50	83	148	277	516	773
Elspas가 제안한 이 른치	4	6	8	12	19	34	64	121	232	433	842

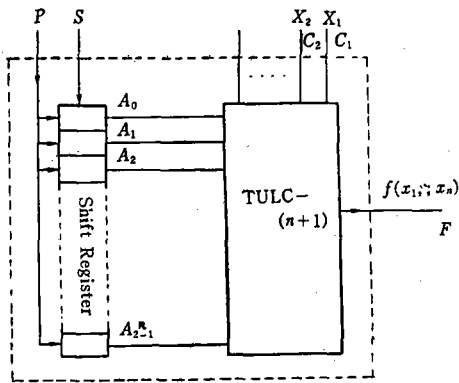


그림 3 SULM-n

의 2進數 表現이다. 나머지함수 $f(i_1, \dots, i_{n-1}, x_n)$ 는 x_n 만이 변수이므로 함수값으로 x_n , \bar{x}_n , 0 또는 1의 네 값중 하나의 값을 갖는다. 또한 식(1)로 表現되는 회

以上에서 얻어진 p 의 簡素化方法은 Shannon의 접착점의 簡素化方法과 比較될 수 있다⁽¹⁵⁾.

한편 SULM을 利用할 경우 特定 입력단자P, S에 隣

間的으로 또는 連續的으로 "0"와 "1" 신호의 集合을 보냄으로써 임의의 논리함수를 $(n+3)$ 개의 단자로서 遂行할 수 있다. 結果的으로 <표 1>에 주어진 값들보다 훨씬 적은 수의 단자들로서 回路를 構成할 수 있다 그러나 단자수는 줄지만 register가 一般的으로 큰 부피를 차지함으로 반드시 최선의 製作方法이라 할 수는 없다. 물론 shift register는 같은 bit의 2進 計數回數(binary counter)로 代置될 수 있다. 또한 이 SULM은 다중출력 組合論理回路(multi-output combinational logic circuits)인 sequential回路에 使用하여 USC(Universal Sequential Circuits)양식으로 發展시킬 수 있으며 그 回路構成은 그림 <4>와 같다.

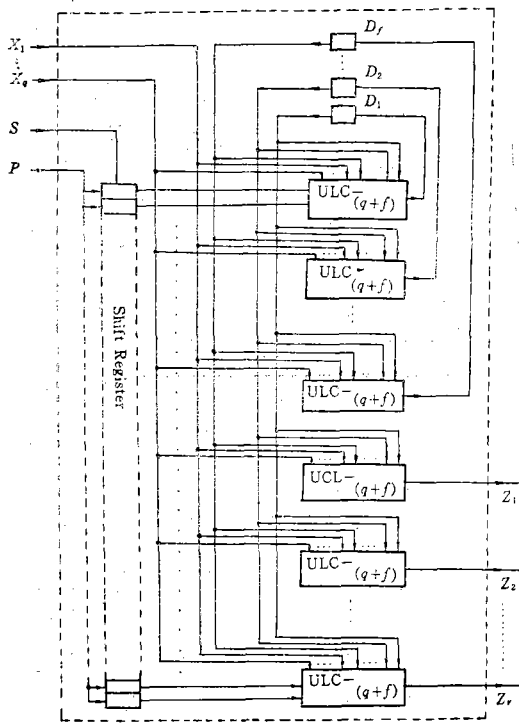


그림 4 USC

따라서 단위 모듈을 最小化하기 위해서는 SULM이나 QULM을 使用하는 것이 適切함을 알 수 있다. 어느 경우에 QULM을 使用하고, 어떤 때에 SULM을 써야하는가 하는 것은 經驗에 의존할 수 밖에 없다. 이 經驗에 의존해야 할 部分을 되도록 적게 하기 위해서 임의의 함수를 대칭함수로 바꾸어 考察하기로 한다.

3. 대칭함수에 의한 考察

임의의 함수 $f(x_1, \dots, x_n)$ 가 變數 $x_1, \dots, x_k (2 \leq k \leq n)$ 에 대하여 대칭일 때 다음과 같이 展開함수를 구할 수 있

다⁽¹¹⁾.

$$f(x_1, \dots, x_n) = \sum_{i=0}^k s_i(x_1, \dots, x_k) f_i(x_{k+1}, \dots, x_n) \dots (4)$$

$$\text{단 } f_i(x_{k+1}, \dots, x_n) = f(\underbrace{0, \dots, 0}_{k-i}, \underbrace{1, \dots, 1}_i, x_{k+1}, \dots, x_n) \dots (5)$$

그런데 <그림 5>와 같이 k 개의 $c_i (1 \leq i \leq k)$ 단자, $(k+1)$ 개의 $A_j (0 \leq j \leq k)$ 단자와 하나의 出力단자 F 를 가진 回路에서 入力단자 C_i, A_j 에 各各 c_i, a_j 의 入力이 가해진다면 이 모듈에서의 出力 V_k 는 다음과 같다.

$$V_k = \sum_{i=0}^k a_i s_i(c_1, \dots, c_k) \dots (6)$$

그리고 $f(x_1, \dots, x_n)$ 가 $x_1, \dots, x_n (2 \leq k \leq n)$ 에 대하여 대칭함수이므로 C_i 단자를 $x_i (1 \leq i \leq k)$ 에 連結하고 A_j 단자를 $f_j(x_{k+1}, \dots, x_n)$ 에 連結한다. 단 $(0 \leq j \leq k)$,⁽¹¹⁾

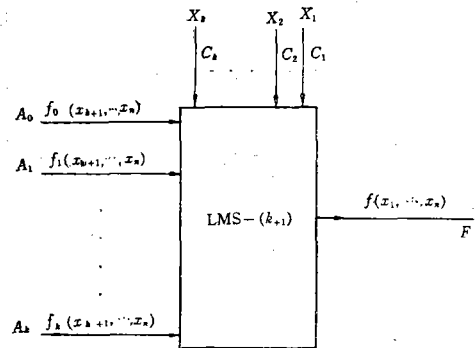


그림 5 $(k+1)$ 변수의 LMS

단약 $(k=n-1)$ 일 경우에는 나머지식 $f_j(x_n)$ 는 단 하나의 變數 x_n 에 관한 함수이기 때문에 0, 1, x_n, \bar{x}_n 의 信號중 하나의 信號를 假定할 수 있다. 따라서 이 모듈은 $(k+1)$ 개의 변수로 된 대칭함수를 遂行할 수 있다.

LMS-n(Logic Modules for Symmetric Circuits)를 構成하는데 必要한 NAND gate의 數를 g , 단수를 l 이라 하면, 단 n 은 변수의 갯수

$$\left. \begin{aligned} g &= \frac{1}{4}(5n^2 - 6n + 1) \\ l &= k \end{aligned} \right\} \dots (7)$$

단 n 가 홀수

$$\left. \begin{aligned} g &= \frac{1}{4}(5n^2 - 6n + 8) \\ l &= k + 1 \end{aligned} \right\} \dots (8)$$

단 n 가 짝수

이고, 한편 주어진 함수가 다음과 같이 部分的으로만 대칭일 경우는

$$f(x_1, \dots, x_n) = f(x_1, \dots, x_d, y_1, \dots, y_r)$$

이고 단 $y_i = x_{s+i}^*$, $i, j, t \{1, 2, \dots, r\}$, $r = n - \delta$ 이다. x_{s+i}^* 는 x_{s+i} 거나 \bar{x}_{s+i} 일때 이 함수를 비대칭변수 y 들의 集合으로 表示할 수, 있다.

$$f(x_1, \dots, x_n) = f(x_1, \dots, x_\delta, y_2, \dots, y_r) \\ = \bar{y}_r \bar{y}_{r-1} \dots \bar{y}_2 \bar{y}_1 S_{A_0}(x_1, \dots, x_\delta) \\ + \bar{y}_r \bar{y}_{r-1} \dots S_{A_1}(x_1, \dots, x_\delta) \\ + \\ + y_r y_{r-1} \dots y_2 y_1 S_{A_m}(x_1, \dots, x_\delta) \quad (9)$$

가 되고 여기서 $m = 2^r - 1$ 이다.

따라서 어떤 함수식이라도 完全대칭함수로 變換할 수 있다⁽¹¹⁾.

4. 대칭함수의 應用

대칭함수를 ULM에 利用하기 위해서 式 (9)에 대하여 考察하고 $\gamma = 3$ 인 경우를 잡으면 f 의 展開함수는 다음과 같다.

$$f = \left. \begin{aligned} &\bar{y}_3 \bar{y}_2 \bar{y}_1 S_{A_{40}}(x_1, \dots, x_\delta) \\ &+ \bar{y}_3 \bar{y}_2 \bar{y}_1 S_{A_{41}}(x_1, \dots, x_\delta) \\ &+ \dots \\ &+ y_3 y_2 y_1 S_{A_{47}}(x_1, \dots, x_\delta) \end{aligned} \right\} \quad (10)$$

따라서 完全대칭함수 S_A 는 다음과 같이 表示된다.

$$S_A = \bar{y}_3 \bar{y}_2 \bar{y}_1 S_{A_{\Delta 1}}(x_1, \dots, x_\delta) \\ + \bar{y}_3 \bar{y}_2 y_1 S_{(A-\alpha_2)\Delta}(x_1, \dots, x_\delta) \\ + \bar{y}_3 y_2 \bar{y}_1 S_{(A-\alpha_2-\alpha_1)\Delta}(x_1, \dots, x_\delta) \\ + \bar{y}_3 y_2 y_1 S_{(A-\alpha_2)\Delta}(x_1, \dots, x_\delta) \\ + y_3 \bar{y}_2 \bar{y}_1 S_{(A-\alpha_3)\Delta}(x_1, \dots, x_\delta) \\ + y_3 \bar{y}_2 y_1 S_{(A-\alpha_3-\alpha_1)\Delta}(x_1, \dots, x_\delta) \\ + y_3 y_2 \bar{y}_1 S_{(A-\alpha_3-\alpha_2)\Delta}(x_1, \dots, x_\delta) \\ + y_3 y_2 y_1 S_{(A-\alpha_3-\alpha_2-\alpha_1)\Delta}(x_1, \dots, x_\delta) \quad (11)$$

단 $A = \{0, 1, 2, \dots, \delta\}$

$f = S_A$ 이기 위하여 $\alpha_1, \alpha_2, \alpha_3$ 를 구할 必要가 있다. 또한 다음의 等式이 모두 同時에 滿足되어야 한다.

$$A \cap \Delta = A_0 \\ \left. \begin{aligned} (A - \alpha_1) \cap \Delta &= A_1 \\ (A - \alpha_2) \cap \Delta &= A_2 \\ (A - \alpha_2 - \alpha_1) \cap \Delta &= A_3 \\ (A - \alpha_3) \cap \Delta &= A_4 \\ (A - \alpha_3 - \alpha_1) \cap \Delta &= A_5 \\ (A - \alpha_3 - \alpha_2) \cap \Delta &= A_6 \\ (A - \alpha_3 - \alpha_2 - \alpha_1) \cap \Delta &= A_7 \end{aligned} \right\} \quad (12)$$

A 를 다음과 같이 우선 잡아보면

$$A = A_0 \cup (A_1 + \alpha_1) \cup (A_2 + \alpha_2) \cup (A_3 + \alpha_2 + \alpha_1) \\ \cup (A_4 + \alpha_3) \cup (A_5 + \alpha_3 + \alpha_1) \cup (A_6 + \alpha_3 + \alpha_2) \\ \cup (A_7 + \alpha_3 + \alpha_2 + \alpha_1) \quad (13)$$

$\alpha_1 = \delta + 1$ 로 놓을 때 A_1 이 $(\delta + 1), \dots, (2\delta + 1)$ 範圍에 包含되고 $\alpha_2 = 2(\delta + 1)$ 으로 놓을 때 A_2 가 $(2\delta + 2), \dots, (3\delta$

+ 2)에 包含되며 A_3 는 $(3\delta + 3), \dots, (4\delta + 3)$ 의 範圍에 包含된다. 또한 A_0, A_1, A_2 의 範圍에 겹쳐지지 않으면서 A_4 를 包含할 수 있는 α 를 구해보면 $\alpha_3 = 4(\delta + 1)$ 으로 잡으면 된다. 結果的으로 A 의 값은 다음과 같이 얻어진다.

$$A = A_0 \cup (A_1 + \delta + 1) \cup (A_2 + 2(\delta + 1)) \\ \cup (A_3 + 3(\delta + 1)) \cup (A_4 + 4(\delta + 1)) \\ \cup (A_5 + 5(\delta + 1)) \\ \cup (A_6 + 6(\delta + 1)) \cup (A_7 + 7(\delta + 1)) \quad (14)$$

結局 $\alpha_i = 2^{i-1}(\delta + 1)$ 로 取할 때 式(12)가 滿足되도록 할 수 있다. 따라서 一般的인 값 γ 에 대한 대칭함수도 $n = \delta + \gamma$ 인 n 個의 변수에 대한 함수 $f(x_1, \dots, x_n)$ 에서 δ 個의 대칭변수를 x_1, \dots, x_δ 라 할 때 f 는 다음式과 같이 表現된다.

$$S_A(x_1, x_2, \dots, x_\delta, y_1, y_2, \dots, y_2, \dots, y_1, y_2, \dots, y_r) \quad (15)$$

단 다음 條件들을 滿足시켜야 한다.

- a) $y_i = x_{s+i}^*$ 이고 $y_k = x_{s+l}^*$ 라면 $i = k$ 일때 $l = j$ 이다.
- b) 변수 y_i 는 $\alpha_i = 2^{i-1}(\delta + 1)$ 번 나타난다.
- c) $A = A_0 \cup (A_1 + (\delta + 1)) \cup (A_2 + 2(\delta + 1)) \cup (A_i + i(\delta + 1)) \cup \dots \cup (A_{2^r-1} + (2^r - 1)(\delta + 1))$.

以上的 結果를 一般的인 論理함수에 適用함으로써 所期의 簡素化 目標을 이룩할 수 있음을 實驗을 通하여 確認하였다.

5. 實 驗

本 論文의 實驗을 위하여 포논회로로서 10KHz 發振 회로를 선택하였으며 <그림 6>과 같이 모든 회로소자를 集積회로 7400의 NAND gate들로 ULM회로를 構成하였다.

그 구성원리는 De Morgan 定理이며 간소화방법은 앞 2, 4절의 방식을 사용하였다. <그림 6>은 <그림 7>과 같은 일반적인 二重積分 A-D컨버터의 制御 및 發振 회로로서 使用하기 위한 회로이다. 이 회로에서 10KHz의 發振을 얻기 위하여 두개의 트랜지스터로 multivibrator를 構成하였다.

또한 I.C.用 5V 정전압원으로는 LM723C를 使用하였으며 이 정전압원은 ripple 除去率이 75dB以上이며 最大 電流容量은 出力 Tr.없이도 150mA이다.

한편 波形 觀測裝置로는 Tektronix 454 Osc.를 使用하였고, I.C.는 7400(Quad 2-input NAND), 7404(Hex inverter), 7408(Quad 2-input AND), 7410(Triple 3-input NAND) 7432(Quad 2-input OR), 7496(Shift 5-bit register) 등의 digital I.C.를 使用하였다.

實驗方法은 文獻⁽⁶⁾의 제 6 장, 제 7 장, 제 9 장, 제 10

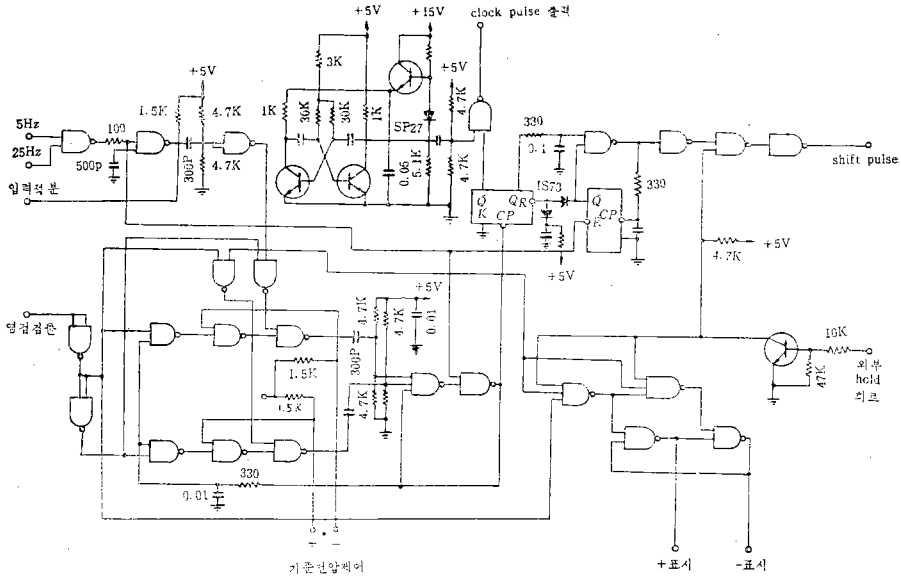


그림 6. 發振 및 制御回路

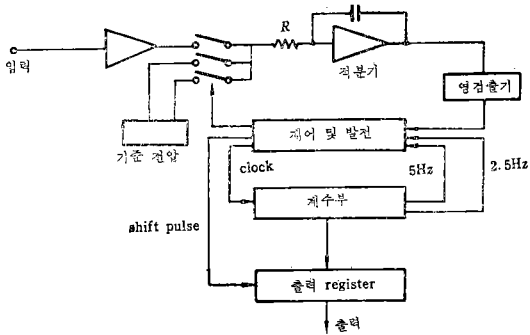
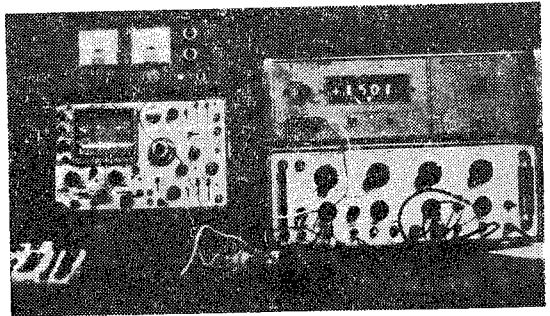
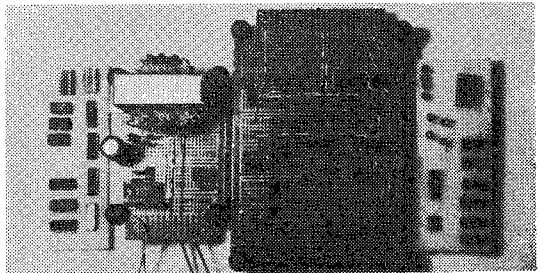


그림 7. 이중적분 A-D컨버터 회로도



寫眞 1. 實驗에 使用된 機器들



寫眞 2. 製作된 發振回路와 5V정진압원 및 使用된 部品들

장의 例題를 입의의 논리함수로 假定하고, 이 함수들에 대한 在來式 理論 展開와 대칭함수로의 變換에 의한 回路 構成을 한 後 出力 level을 調査하였다. 그 結果는 대체로 同一하였고 特性의 差異點을 찾을 수 없었다.

따라서 대칭함수에 의한 回路 構成은 現在의 모든 論理回路에 適用할 수 있다는 確信을 얻었으며, 構成된 回路는 극히 小形化될 수 있음이 確認되었다.

6. 結 論

Digital system의 分析 構成에 있어서

- A) 주어진 論理함수를 遂行
- B) 最小크기
- C) 可能限한 대칭형

- D) 짧은 遲延時間
- E) 經濟的 實現化

의 다섯가지 目標을 達成할 수 있는 가가 가장 重要한 問題이다. ULM은 効用的인 것임을 알 수 있고 特別本論文에서 다룬 대칭함수의 應用으로 ULM에 依한 간소화가 이루어지는 것을 간단한 회로로서 살펴 보았다. 그러나 現在 使用되고 있는 digital system의 龐大함과 複雜함을 간단히 함수로 변환할 수 있는 方法은 더 많은 研究가 必要하다.

참 고 문 헌

- (1) A.R.MEO, "Modular Tree Structure," IEEE. TRANS. Computers, Vol. C-17, pp.432-442, May 1968.
- (2) B.ELSPAS et al. "Properties of Cellular Arrays for Logic and Storage," Stanford Research Institute, Scientific Rept. 3 Contract AF-19-628-5828, pp.59-84, June 1967.
- (3) C.T.SHENG, "A Graphical Interpretation of Realization of Symmetric Boolean Functions with Threshold Elements." IEEE. TRANS.E.C. Vol. EC-14, pp.8-19, Feb. 1965.
- (4) D.C.FORSLUND AND R. WAXMAN, "The Universal Logic Block and its Application to Logic Design." 1966 Seventh Annual.
- (5) D.L. DIETNEYER & P.R.SCHNEIDER, "Identification of Symmetry, Redundancy and Equivalence of Boolean Functions." IEEE. TRANS. Electronic Computers, Vol. EC-16, pp. 804-817. Dec. 1967.
- (6) F.J. HILL & G.R. PETERSON, Introduction to Switching Theory and Logical Design, Wiley International Edition, 1974.
- (7) H.A.CURTIS, "Generalized tree circuit- The Basis building Block of an Extended Decomposition Theory," J. ACM. Vol. 10, Oct. 1963.
- (8) H.S. STONE & A.J.KORENJAK, "Canonical form and synthesis of Cellular Cascades." IEEE. TRANS. Electronic Computers. Vol. EC-41. pp. 852-862, Dec. 1965.
- (9) J.J. SURAN & R.A.MAROLF. "Integrated Circuits & Integrated Systems." PROC. IEEE. Vol. 52, pp.1661-1669, Dec. 1964.
- (10) P.R.Schneider & D.L. Dietmeyer, "An Algorithm for Synthesis of Multiple-Output Combinational Logic," IEEE. TRANS. Computers, Vol. C-17, pp.117-128, Feb. 1968.
- (11) R.C.BORN & A.K. SCIDMORE, "Transformation of Switching Functions to Completely Symmetric Switching Functions." IEEE. TRANS. Computers, Vol. C-17, pp.596-599, June 1968.
- (12) R.C. MINICK, "Cutpoint Cellular Logic" IEEE. TRANS. Electronic Computers. Vol. EC-13, pp. 685-698, Dec. 1964.
- (13) R.RICE, "Systematic Procedures for Digital Systems Realization from Logic Design to Production." Proc. IEEE. Vol. 52, pp.1691-1702, Dec. 1964.
- (14) S.S. YAU AND C.K.TANG. Universal Logic Circuits and Their Modular Realization," 1968 Spring Joint Computer Conf., AFIPS Proc., Vol. 32, Washington, D.C.: Thompson, pp.297-305, 1968.
- (15) C.E. SHANNON, "The Synthesis of Two Terminal Switching Circuits," Bell Sys. Tech. J., Vol. 28, pp.59-98, Jan. 1949.