論文 76-13-1-2

圖式方法에 依한 MOSFET單安定 멀티바이브레이터의 設計

Design of a MOSFET Monostable Multivibrator by Graphical Method

沈 壽 輔*

(Sim, Soo Bo)

要 約

게이트 電流가 흐르지 않는 MOSFET를 사용한 單安定 멀티바이브레이터는 도전시에도 게이트 電壓이 一定하게 維持되지 않기 때문에 이 電壓을 基準으로 한 回路解析이나 設計는 매우 어려워서, 比較的 간단히 해결할 수있는 圖式方法을 소개하였다. 즉 各FET의 電壓利得曲線을 구하고 이 曲線의 根本的인 性質과 回路 設計에 利用하는 方法들에 대해서 論하였다.

Abstract

In a MOSFET multivibrator, the gate do not hold into a constant clamp voltage during a conduction period. The analysis of the operation and the design of a MOSFET multivibrator circuit are much more difficult than that using a bipolar transistor and a electron tube because of above reason.

And therefore, in the designing procedures of the MOS FET monostable multivibrator of this paper, a graphical method is adopted in order to analyze and design easily. The voltage gain curves of the both FETs are drawn using a parameter the voltage V_c across the coupling condenser, and the curves are utilized to investigate the voltages of the drains and the gates and determine the gate bias voltage. The diagram gives also important informations for the design of the multivibrator.

1. 圖式解法에 관한 槪要

진공관이나 트랜지스터를 사용한 멀티바이브레이터는 도전시에 그릿드電壓이나 베이스 電壓이 一定[1),2)]하게 유지되기 때문에 펄스의 諸量을 쉽게 구할 수 있지만 FET의 경우는 게이트의 入力抵抗이 100MΩ 以上이나 되기 때문에 도전중에도 게이트전압은 一定値를 유지 하지 못한다. [1)]

그러므로 回路解析과 設計가 매우 복잡[6)]하게 되기 때문에 비교적 간단한 해결 수단으로서 圖式方法[4) 6)]을 選定하였다.

이 方法은 그림(1)에서 첫째 FET2의 드레인과FET 1의 게이트를 연결하는 結合콘덴서 C의 단자전압V_c를 파라미터로 하면서 FET2의 게이트 入力電壓과 出力電壓의 比인 電壓利得을 구하여 利得曲線을 만들고 둘째 FET 1에 대해서는 FET 2의 게이트바이어스 電源電壓 E_{g2}를 固定시켜 놓고 電壓利得曲線을 구하여, 이 曲線들을 FET 1의 게이트 電壓 V_{g1}과 FET 2의 게이트 電壓 V_{g2}를 座標軸으로 하는 平面에 제도하여 電壓利得曲線圖를 만들면, 이 圖形으로부터 各 FET의 게이트 電壓變化에 대한 出力電壓의 變化狀態를 한 눈에 관찰할 수 있을 뿐만 아니라 各FET의 導電 및 遮斷瞬間의 各電極의 電壓値도 알 수 있으므로 充放電回路에 關하여 極히 간단한 몇개의 數式을 세우면 振動周期와 波形을 願하는 대로 決定 지을 수 있다. [4)]

*正會員 漢陽大學校 工科大學 通信工學科
Dept. of Communication Engineering, Hanyang University 接受日字 : 1976年 1月 31日

2. 電壓利得曲線에 대한 說明

MOSFET를 사용한 單安定 멀티바이브레이터의 回路를 그림 1[3]과 같이 구성하고 FET 1의 게이트 G_1을 開放한 狀態에서 이 게이트에 여러가지 電壓을 加하여 FET 2의 게이트 G_2 點의 電壓을 測定하면 이것이 FET_1의 電壓利得이 된다(그림 2).

다음에 G_1 點을 연결하고 FET 2의 게이트 G_2 點을 開放한 狀態에서 이 게이트에 여러가지 電壓을 加하여 G_1 點의 電壓을 측정하면 이것이 FET 2의 電壓利得

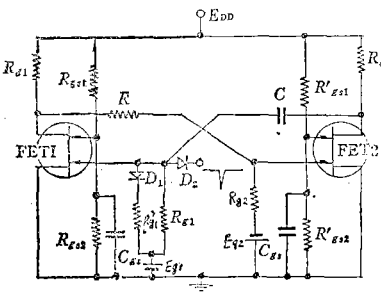


그림 1. MOSFET 單安定 멀티바이브레이터回路圖

이 된다. 그런데 이 電壓利得을 구할 때에는 結合콘덴서 C의 端子 電壓 V_c를 파라미터로 取할 必要가 있기 때문에 다음과 같은 便法을 쓴다.

$V_c=ov$, $(R_{g1}/\!/R_{g'1})=\infty$인 경우, G_1點의 出力 電壓 V_{g1}은 FET 2의 드레인 電壓 V_{d2}와 同一할 것이다. 그러나 $(R_{g1}/\!/R_{g'1})\neq\infty$ 인 경우라 하여도 이 게이트 抵抗을 통해서 電流가 흐르기는 하지만 이 電流로 因해서 FET 2의 드레인 電壓의 變化量 ΔV_{d2}는 다음式[6]으로 나타난다.

$$\Delta V_{d2}=(V_{d20}-V_c-E_{g1})\frac{R_{d2}}{(R_{g1}/\!/R_{g'1})+R_{d2}}\left[1+\frac{(R_{g1}/\!/R_{g'1})}{R}\right] \quad (1)$$

여기서 V_{d20}는 $(R_{g1}/\!/R_{g'1})$가 무한대 일때의 FET 2의 드레인 電壓

R_m는 FET 2의 드레인과 소-스사이의 實效抵抗로 된다.

그러므로 $R_{d2}\ll(R_{g1}\backslash\!\backslash R_{g'1})$로 선정하면 $R\Delta V_{d2}\cong ov$

따라서 各 파라미터 V_c에 대한 FET 2의 利得曲線은 $V_c=ov$, $(R_{g1}/\!/R_{g'1})=\infty$ 인 경우의 利得曲線을 V_c의 값만큼 左側으로 移動시켜서 製圖하여도 別로 誤差를 나타내지는 않는다. 이렇게 해서 만든 FET 2의 電壓利得曲線을 그림 3에 表示하였다. 그러므로 그림 (2)와 그림(3)의 各 利得曲線을 FET 1의 게이트 電壓 V_{g1}과, FET2의 게이트 電壓 V_{g2}를 軸으로 하는 座標面에다 合成하면 그림 (4)와 같은 꼴이 된다.

여기서 그림 (4)의 利得曲線群에 대한 定性的인 解析을 하고 各電壓에 대한 定量的인 것은 設計時에 論한다.

安定狀態에서는 게이트 抵抗$(R_{g1}/\!/R_{g'1})$로는 電流가

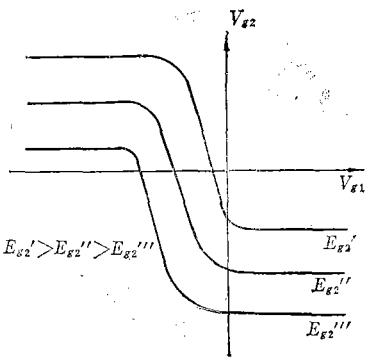


그림 2. FET 1의 電壓 利得曲線

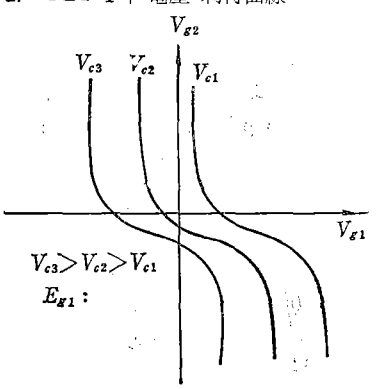


그림 3. FET 2 電壓利得曲線

흐르지 않으므로 게이트 電壓은 바이어스 電壓 V_{g1}과 同一할 것이므로 그림 (4)에서 曲線(A)와 V_{g1}과의 交點을 S라면 이 S點이 安定狀態의 回路 各部의 電壓値를 가리키며 이 點을 통과하는 FET 2의 利得曲線을 求하면 이때의 콘덴서 端子電壓인 파라미터 V_c를 알 수 있다.

한편 FET 1의 경우는 드레인과 FET 2의 게이트사이에 콘덴서가 없으므로 이득곡선은 單1個로 되고 이 曲線은 時間과 더부러變하지 않으나, FET2의 利得曲線은 콘덴서의 充放電때문에 V_c는 時間과 더부러 계속變化하므로 그림 (4)에서 FET 2의 利得曲線은 FET 2가 導電時는 콘덴서가 放電하기 때문에 右側으로 또 FET 1이 導電時는 콘덴서가 充電하기 때문에 左側으

로 移動한다.

즉 安定狀態에서 P 點 보다 더욱 負의 電壓値를 갖는 트리거 펄스를 FET 1의 게이트에 加하면 FET1은 遮斷되고 FET 2는 導電되어 動作點은 K點으로 즉시 移動한다. 이 순간부터 콘덴서는 放電하므로 V_c는 서서히 적어지며 動作點은 曲線 A를 따라 左側으로 움직이고 動作點이 點 P에 도달했을 때에는 FET 1의 利得曲線과 FET2의 利得曲線은 接하게 되고, 그 以上 콘덴서가 放電하면 이들 두 利得曲線은 分離되어 動作點은 이들의 交點인 J點으로 뛰어간다. 이것은 FET2가 차단상태, FET1이 導電狀態로 變換되는 것을 意味한다.

다음 點 J에 動作點이 이동한 후에는 콘덴서 C는 다시 充電을 계속하므로 V_c가 增大하며 動作點은 曲線 A를 따라 J點으로 부터 S點으로 向하고 S點에 도달한 다음에는 다시 安定狀態로 들어간다.

이 圖形에서 各게이트의 電壓은 動作點에서 各軸으로 垂線을 내리면 구할 수 있고, FET 2의 드레인 電壓은 $V_c=0$ 일때의 게이트 電壓 V_{g1}과 같으므로 動作點에서 V_{g1} 軸에 平行으로 線을 그어서 $V_c=0$ 인 FET2의 利得曲線과의 交點으로부터 V_{g1} 軸에 垂線을 내림으로서 구할 수 있다.

그리고 FET1의 드레인 電壓 V_{d1}은 다음에 表示하는 式(2)로 부터 구할 수 있다.

$$V_{d1}=\frac{V_{g2}(R+R_{g2})}{R_{g2}}-E_{g2}\frac{R}{R_{g2}} \qquad (2)$$

다음에 펄스 波形의 周期는 動作點이 K點에서 P點까지 移動하는 時間으로 구할 수 있고 回復周期는 動作點이 J點으로 부터 S點까지 移動하는 時間에 해당하지만 이것은 다음 3節의 設計方法에서 詳說한다.

3. 設計方法에 관한 考察

設計條件을 다음과 같이 例示하고 그림 (1)의 回路構成에 대한 設計方法을 論한다.

〔設計條件〕

1) FET 1의 드레인 電壓波形의 振幅을 9.5V 以上으로 할 것.

2) 펄스폭을 $\tau_s=2$ms로 할 것.

3) 安定狀態로의 回復時間을 $\tau_R<2.0$ms로 할 것.

〔設計方法〕

① 펄스폭이 2ms 이므로 低周波用의 FET로 充分하며 펄스의 振幅이 9.5V 以上이므로 드레인 低抗値와 관련해서 드레인 電流의 포화치를 결정지어야 한다. 여기서는 N-채늘 듀얼게이트 MOSFET를 사용하였으므로 제 2게이트 바이어스 電壓을 調節하여 포화시의 드레인 電流를 2.5mA로 하였다.

② 드레인 波形의 振幅이 10V 이하이므로 드레인 電源電壓 E_{DD}를 10V로 선정한다.

③ 펄스의 振幅이 9.5V 이상이어야 하므로 드레인 抵抗에서의 電壓降下가 9.5V 以上 되어야 한다. 그런데 FET의 드레인 電流 I_D를 2.5mA로 調整하였으므로 드레인 抵抗 R_{d1}은 3.9kΩ로 選定하면 이 振幅을 얻을 수 있다. 이렇게 選定하면 FET1이 導電時에는 드레인 電壓이 0.5V 以下, 또 遮斷時에는 9.5V 以上 될 것이다.

④ FET1과 FET2를 同一形으로 사용하는 경우엔 R_{d2}를 R_{d1}과 같은 값으로 取해도 무방하므로 여기서는 $R_{d1}=R_{d2}$로 선정하였다.

⑤ FET1의 드레인電壓 V_{d1}은 항상 正이지만 高電壓(遮斷)時는 FET2의 게이트가 充分히 正의 바이어스로, 또 低電壓(導電)時는 FET2의 게이트가 充分히 負의 바이어스 狀態가 되어 FET2가 確實, 安全하게 導電 遮斷되도록 바이어스 電源電壓를 결정해야 한다. 여기서는 $E_{g2}=-3.0$V로 선정하고 다음 ⑥項에서의 作業을 한다.

⑥ FET1의 드레인이 高電壓時는 FET2의 게이트가 最少限 0V 以上 되어 導電狀態로 드러가도록, 그리고 드레인이 低電壓時는 게이트가 핀치오프 電壓 以下로 되도록 E_{g2}와 抵抗 R 및 R_{g2}를 관련시켜서 값을 定해야 한다. 여기서는 $R=120$kΩ, $R_{g2}=47$kΩ으로 選定하였다.

⑦ 이와 같은 回路構成을 가지고 前節에서 論한 電壓利得曲線을 구한다. 이것을 그림 (4)에 表示하였고 여기에 기재된 各電壓値들은 本回路構成으로부터 얻어진 것이다.

⑧ 安定狀態下에서 FET1이 安定한 導電狀態로 되게 하기 위하여 바이어스 電源電壓 E_{g1}을 2.0V로 選定하고 그림(4)의 S點을 決定한다.

※ 여기서 그림(4)의 電壓利得曲線에 대해서 定量的인 解析을 한다.

i) 曲線 (A)는 $E_{g2}=-3.0$V 일 때이 FET1의 利得曲線이며 S點은 安定狀態일 때의 게이트 電壓 V_{g1}과 V_{g2}를 가리키며, 이들은 各各 2.0V와 −2.1V를 維持하므로 FET1은 導電, FET2는 遮斷되어 있다.

ii) P點은 FET1이 게이트 電壓 $V_{g1}=-0.7$V 보다 클때에는 導電으로, 이값보다 적을 때에는 遮斷으로 되는 轉換點이며, 또 FET2도 V_{g2}가 0.3V 以上일 때에는 導電, 그 以下일 때는 遮斷되는 것을 表示한다.

iii) S點의 安定狀態에서 FET1 게이트에 P點에 상당하는 電壓인 −0.7V보다 더욱 큰 負의 電壓을 갖는

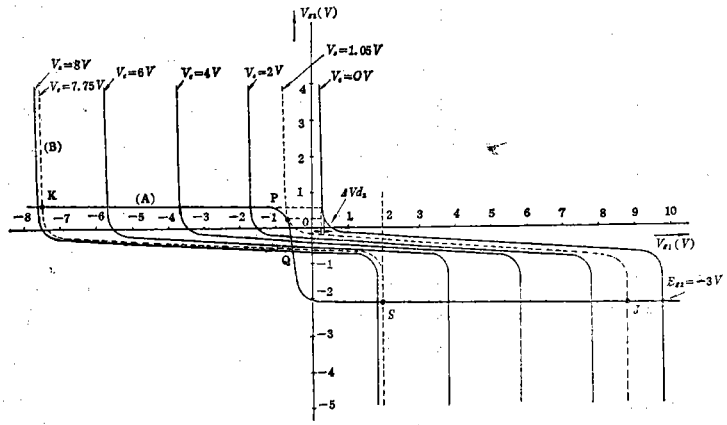


그림 4. 電壓利得曲線의 合成圖

트리거 펄스를 加하면 FET1이 遮斷, FET2가 導電될 것이므로 動作點은 FET1과 FET2의 利得曲線의 交點인 K點으로 즉시 移動한다. (콘덴서 C의 電荷는 순간적으로 變化하지 않으므로 安定狀態일 때의 電壓 V_c=7.75V에 대한 FET2의 利得曲線과 FET1의 利得曲線과의 交點이 K로 된다).

iv) 이때부터 콘덴서는 放電하게 되어 V_c는 減少하는데 曲線 (A)는 變하지 않으므로 動作點은 이 曲線을 따라 서서히 右側으로 移動하여 P點에 다다르면 이 點에서 FET1은 導電, FET2는 遮斷狀態로 變하여 動作點은 J點으로 뛰어간다.

이때의 V_c=1.05V이고 V_{g1}=8.9V, V_{g2}=−2.15V로 된다.

v) 여기서 콘덴서는 다시 充電을 始作하여 曲線(A)를 따라 左側으로 移動하고 S點에 도달하면 $V_{g1}=E_{g1}$=2.0V로 되어 安定된다.

vi) 또 그림 (4)로 부터 콘덴서가 放電하여 FET2가 導電에서 遮斷으로 轉換될 때 까지 FET2의 드레인 電壓變化量 ΔV_{d2} ($\fallingdotseq$0.05V)는 極히 적게 되는 것을 알 수 있다.

以上 利得曲線의 說明을 끝내고 設計方法을 계속한다.

⑨ 그림 (1)에서 FET1의 게이트 回路에 다이오드를 사용한 것은 펄스 周期와 回復周期가 다른 設計條件을 만족시키기 위한 것이다. 즉 콘덴서 C의 放電時 定數가 充電時 定數보다 커야 한다. 이제 그림 (4)로부터 各 瞬間에 各電極의 電壓値를 알 수 있으므로 콘덴서 C의 크기와 게이트 回路의 R_{g1} 및 $R_{g}'_1$를 구할 段階에 왔다.

i) 펄스의 周期 τ_s는 動作點이 그림 (4)의 K點으로부터 P點까지 移動하는데 所要되는 時間이므로 다음 式에 의해서 各素子의 값을 구할 수 있다.

$$V_{g1}=E_{g1}-(V_c+E_{g1}-V_{d2})\varepsilon^{-\frac{t}{CRg1}} \tag{3}$$

즉 그림 (4)에서 위 式의 各値는

$$\begin{cases} V_{g1}=-0.7\text{V} & V_c=7.75\text{V} \\ V_{d2}=0.4\text{V} & E_{g1}=2\text{V} \end{cases}$$

이고 設計條件에 依한 τ_s=2ms ($t=\tau_s$)와 콘덴서 C를 0.01μF로 選定하여 (3)式에 代入하면 抵抗 R_{g1}의 값을 구할 수 있다. 여기서 R_{g1}의 값을 계산하면 156.2 KΩ이다.

ii) 回復周期 τ_R는 動作點이 그림 (4)의 J點에서 S點까지 移動하는데 所要되는 時間이므로 다음 (5)式에, 이미 決定한 콘덴서C (=0.01μF)의 값과 抵抗 R_{d2}(=3.9kΩ) 그리고 그림(4)로 부터 充電初期電壓V_o, S點에서의 콘덴서 電壓 V_c, 또 E_{g1}=2.0V, E_{DD}=10V들을 代入하여 $R_{g}'_1$를 구하면 된다. 즉

$$E_{DD}=[R_{d2}+(R_{g}'_1 /\!/ R_{g1})]i+\frac{1}{c}\int i\cdot dt+E_{g1} \tag{4}$$

이것을 풀면,

$$V_c=[E_{DD}-E_{g1}-\{(E_{DD}-E_{g1})-V_o\}\varepsilon^{\frac{-t}{c\{R_{d2}+(R_{g1}/\!/R_{g}'_1)\}}}] \tag{5}$$

그림 (4)에서 $\begin{cases} V_c = 7.75\text{V} \\ V_o = 1.05\text{V} \end{cases}$

를 代入하고 $t = \tau_R = 1.5\text{ms}$로 선정하여 계산하면 $R_g'_1 = 55.7\text{k}\Omega$을 얻는다. 이 값은 $(R_g'_1 /\!/ R_{g1}) \gg R_{d2}$인 狀態이므로 그림(4)의 FET2의 電壓利得曲線을 그릴때의 前提事項을 만족할 수 있다.

⑩ 한편 FET1의 드레인 電壓 V_{d1}은 (2)式에 의하여 高電壓時는 $V_{g2} = 0.6\text{V}$ 低電壓時는 $V_{g2} = -2.1$임을 그림 (4)에서 알 수 있으므로 FET1 遮斷時와 導電時의 各電壓値는 다음과 같다.

$V_{d1h} \cong 9.8\text{V}$

$V_{d1l} \cong 0.2\text{V}$

이것은 펄스의 振幅에 대한 設計條件을 만족한다.

따라서 現在까지 求한 各素子의 값을 綜合하면 다음 表와 같다

(表-Ⅰ)

$R_{d1} = R_{d2} = 3.9\text{k}\Omega$,	$R_{g1} = 156.2\text{k}\Omega$
$R = 120\text{k}\Omega$	$R_g'_1 = 55.7\text{k}\Omega$
$c = 0.01\mu\text{F}$,	$R_{g2} = 47\text{k}\Omega$
$E_{g1} = -3\text{V}$,	$E_{g2} = 2\text{V}$
$E_{DD} = 10\text{V}$	

4. 實驗結果 및 檢討

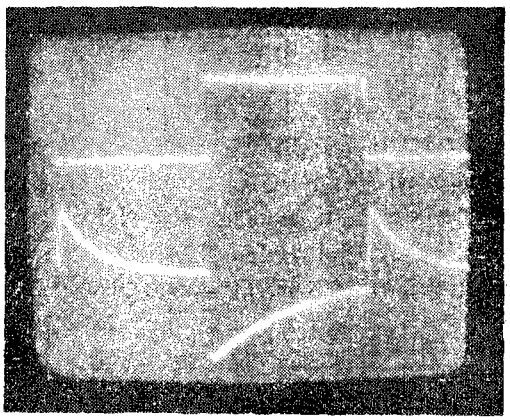
前節에서 考察하여 얻은 各種素子를 사용하여 實際回路를 構成하였으나 部品의 求得이 如意하지 못하여 그 數値들을 一部變更시켰고 또 MOSFET의 경우도 市中에서 希望하는 特性의 것을 入手하지 못하여 某社에서 型名이 없는 粗品을 구하여 靜特性을 全部調査한 후에 實驗에 着手하였다. 素子의 設計値를 變更시킨다는 것은 FET1의 게이트 抵抗 R_{g1}과 $R_g'_1$이며, 設計値가 各各 156.2kΩ, 55.7kΩ인 것을 150kΩ과 68kΩ으로 바꾸었다. 抵抗 $R_g'_1$의 경우 68kΩ 보다는 47kΩ이 設計値에 더 近似하지만 $(R_g'_1 /\!/ R_{g1}) \gg R_{d2}$의 條件을 만들어야 하는 制約때문에 安全하게 하기 위하여 높은 쪽의 抵抗을 擇하였다.

이 값들을 變更시켰다 하여도 그림 (4)의 電壓利得曲線群의 性質에는 조금도 영향을 주지 않으며 다만 周期만이 多少變化할 뿐이다.

한편 FET는 N-채널 듀얼게이트 MOSFET 이므로 게이트 2에 적당한 바이어스를 주고자 $R_{gs1} = R_{gs1}' = 100\text{k}\Omega$, $R_{gs2} = R_{gs2}' = 12\text{k}\Omega$을 사용하여 바이어스 電壓 $V_{GS} = 1.07\text{V}$를 공급하였고 FET1의 게이트 回路에 다이오—드 D_1, D_2는 어느것이나 시리콘을 사용하였다.

以上과 같이 設計値와는 多小 다른 素子들을 사용하여 그림 (1)의 構造를 한 單安定 멀티바이브레이터를 만들고 FET1의 드레인과 게이트 電壓을 측정한 결과 그림(5)를 얻었다.

그림(5)에서 波形의 振幅들은 設計値와 一致하고 있으나, 펄스의 周期 τ_s가 計算値(2ms)보다 多少 짧게 나타나고 있는데 이것은 콘덴서의 放電經路에 있는 抵抗을 設計値보다 6kΩ이나 적게 擇한 結果이고, 또 回復周期 τ_R는 게이트 抵抗 R_{g1}'를 計算値보다 12kΩ이나



FET1 드레인 電壓波形(上) 5V/DIV, 0.5ms/DIV
FET1 게이트 電壓波形(下) 5V/DIV, 0.5ms/DIV

그림 5. FET 1

큰것을 使用하여 $\tau_R \cong 1.8\text{ms}$로 늘어난 結果를 가져왔다. 이 結果들은 새로운 抵抗値들을 代入하여 τ_S와 τ을 구하여 보면 計算上으로도 얻을 수 있다.

參 考 文 獻

1. Leonard Strauss: Wave Generation and Shaping, p. 390 McGraw Hill (1970)
2. Malmstadt and Enke: Digital Electronic for Scientist, p. 215 WA. Benjamin, Inc. (1969)
3. Paul M. Chirlian: Electronic Circuit. p. 205, 759. McGraw Hill (1971)
4. 小谷誠 "MOSFET マルチバイブレータの圖式解法"信學會トランジスタ研資, SSD70-9 (1970-05)
5. 小各誠; "MOSFET マルチバイブレータの圖式解析" 信學論(c) 53-c, 10, p. 773 (1970)
6. 小各誠; "MOSFET 無安定マルチバイブレータの圖式解法と設計"信學論55-c, 3, p. 149(1972)