

組合論理回路的 多重缺陷檢出

(Multiple Fault Detection in Combinational Logic Networks)

高 瓊 植* · 金 興 壽**

(Koh, Kyung Shik and Kim, Heung Soo)

要 約

本 論文에서는 分岐가 있는 一般組合論理回路的 多重缺陷을 檢出할 수 있는 테스트集합을 求하는 節次를 유도하였다.

一般論理同路를 우선 內部分岐點을 前後하여 이를 分岐가 없는 部分回路로 분리하고 各 部分回路에 對한 最小 테스트集합을 求한다. 다음에 各 部分테스트를 最大限으로 併立시켜 合成테스트를 求하여 綜合的인 一次入力벡터를 定한다. 이리날 수 있는 모든 缺陷을 빠짐없이 피복할 수 있는 最小테스트集합을 求해가는 過程에 對해서는 例를 들어 상세히 說明하였다.

Abstract

In this paper, a procedure for deriving of multiple fault detection test sets is presented for fan-out reconvergent combinational logic networks. A fan-out network is decomposed into a set of fan-out free subnetworks by breaking the internal fan-out points, and the minimal detecting test sets for each subnetwork are found separately. And then, the compatible tests among each test set are combined maximally into composite tests to generate primary input binary vectors. The technique for generating minimal test experiments which cover all the possible faults is illustrated in detail by examples.

1. 序 論

디지털回路的 集積化로 組合論理回路的 缺陷有無의 檢出 및 缺陷所在究明에 關한 問題가 디지털系統의 重要한 研究분야로 되었다. 이 분야에서도 가장 重要한 問題는 組合論理回路에 對한 缺陷檢出테스트集합을 求하는 것이다.

組合論理回路的 缺陷은 일반적으로 그 回路를 構成하고 있는 게이트의 入出力線缺陷을 테스트함으로써 그 檢出이 可能한 것이다. 그리고 실제로 일어날 수 있는 대부분의 缺陷은 入出力線의 不完全접속으로 인한 일시적인 缺陷보다는 永久的인 s-a-0(stuck-at-0), s-a-1(stuck-at-1)缺陷이다. 小型인 디지털回路일지

라도 回路에서 일어날 수 있는 缺陷은 게이트의 入出力線의 總數를 n 이라고 하면 2^n 개의 單一缺陷이 일어날 수 있으므로 이들 缺陷을 檢出하기 위해서는 無作爲테스트를 試圖할 경우에는 막대한 數의 테스트를 해야만 할 것이므로 可能한 限 最小의 入力테스트벡터에 의한 缺陷檢出方法이 필요하게 된다.

單一缺陷檢出에 對한 最小테스트集합을 求하는 問題에 對해서는 지금까지 여러사람이 研究 발표한바 있다^{1)~10)}. 그러나 回路的 大小에 관계없이 실제의 缺陷은 複合형태인 多重缺陷인 경우가 지배적이다. 만일 回路를 構成하는 게이트의 入出力總數가 n 이라고 하면 $3^n - 1$ 개의 多重缺陷이 生길 수 있기 때문에 多重缺陷을 완전히 해석하는 것은 어려운 問題이다. 이와같은 組合論理回路的 多重缺陷을 檢出하기 위하여 Bossen과 Hong¹²⁾은 回路內檢査點의 數를 最小化시킨 후 cause-effect關係를 利用하여 多重缺陷을 研究하였으며, Kohavi等¹⁶⁾은 Boole函數의 prime implicant를 利用하여 多重缺陷을 해석하였다. 또한 Fridrich와 Davis¹⁸⁾은

* 正會員, 仁荷大學校 工科學, Member, College of Engineering, Inha University.

** 正會員, 韓國航空大學, Member, Civil Aviation College.

接受日字: 1975. 6. 16.

masking-graph에 의하여 單一 및 多重缺陷을 論하였고, 최근 Ku와 Masson¹⁹⁾은 Boolean-difference에 의한 檢出方法을 발표하였다.

本論文에서는 著者중의 한사람이 발표한 組合論理回路의 單一缺陷檢出에 관한 理論¹⁰⁾을 擴張하여 分岐點을 갖는 一般組合論理回路의 多重缺陷檢出에 관한 문제를 취급하여 最小테스트集을 求하는 節次를 設定하였다. 이 節次의 主要骨子는 分岐點을 前後하여 論理回路를 切斷함으로써 分岐點이 없는 部分回路로 區分하고 各 部分回路의 테스트集을 最大限으로 併立시킴으로써 全回路에 대한 最小테스트集을 求하는데 있다.

記述를 간단히 하기 위하여 앞으로 사용할 몇가지 記號에 대해 다음과 같이 定義한다.

- f n 變數論理函數
- A, B, \dots 一次入力線 또는 一次入力變數
- A_i, B_i, \dots 一次入力線 A, B, \dots 의 i 번째 分岐路 또는 枝路變數
- $\alpha, \beta, \gamma, \delta, \dots$ 內部分岐枝路 또는 枝路變數
- $A/1, B/1, \dots$ 一次入力線 A, B, \dots 의 單一 s-a-1 缺陷
- $A/0, B/0, \dots$ 一次入力線 A, B, \dots 의 單一 s-a-0 缺陷
- $\alpha/1, \beta/1, \dots$ 內部分岐枝路 α, β, \dots 의 單一 s-a-1 缺陷
- $\alpha/0, \beta/0, \dots$ 內部分岐枝路 α, β, \dots 의 單一 s-a-0 缺陷
- $A/0 \cdot B/0 \cdot \dots$ 一次入力線 A, B, \dots 의 多重 s-a-0 缺陷
- $\alpha/0 \cdot \beta/0 \cdot \dots$ 內部分岐枝路 α, β, \dots 의 多重 s-a-0 缺陷
- $\alpha\beta/0 \cdot \dots$ α, β 枝路의 分岐根幹의 s-a-0缺陷
- $A/1 \cdot B/1 \cdot \dots$ $A/1, B/1, \dots$ 인 單一 s-a-1缺陷 또는 $A/1 \cdot B/1 \cdot \dots$ 인 多重 s-a-1缺陷
- $\alpha/0 \cdot \beta/0 \cdot \dots$ $\alpha/0, \beta/0, \dots$ 인 單一 s-a-0缺陷 또는 $\alpha/0 \cdot \beta/0 \cdot \dots$ 인 多重 s-a-0缺陷

2. 多重缺陷檢出테스트

分岐點이 있는 回路의 多重缺陷은 Fridrich¹⁸⁾가 지적한 바와같이 分岐枝路를 갖지않는 모든 一次入力線과 分岐枝路 전부를 檢査點으로 하는것이 타당하다.

지금 그림 1¹⁹⁾과 같은 內部分岐點을 갖는 回路를 생각할 때 分岐點을 前後하여 절단하고 이를 分岐點이 없는 部分回路로 분리하면 各 部分回路에 대한 論理式은 다음과 같다.

$\alpha, \beta = AB$

$f = \alpha C + \beta D$

缺陷을 檢出하기 위해서는 缺陷이 없는 正常的인 回路의 경우에 出力이 1이 되는 테스트와 出力을 0으로

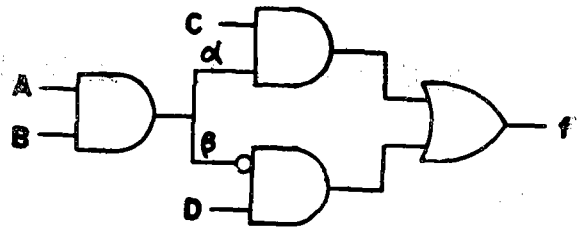


그림 1. 分岐點을 갖는 論理回路

하는 테스트의 두 종류가 있는데 前者를 T_1 테스트, 後者를 T_0 테스트로 부르기로 한다.

여기서 最小 T_1 테스트集을 求하는데 있어서는 論理式의 한 項만이 그 論理值가 1이고 其他項의 論理值는 모두 0이 되게 할 뿐만 아니라 그 論理值가 0이 되는 項의 構成變數도 可能한 限 많은 數가 0이 되게끔 一次入力벡터를 선정한다. 最小 T_0 테스트集을 求하는데 있어서는 論理式의 各 項의 論理值가 모두 0이 되는 동시에 各 項의 構成變數도 可能한 限 적은 數가 0이 되게끔 一次入力벡터를 선정한다¹⁰⁾.

이 原則에 따라 그림 1의 경우 α, β 를 出力으로 하는 部分回路와 f 를 出力으로 하는 部分回路에 대한 T_0 테스트 및 T_1 테스트를 求하면 表 1 및 表 2와 같이 정리 된다.

表 1. 그림 1의 α, β 를 出力으로 하는 部分回수에 대한 最小테스트集

테스트 종류	테스트 번호	α, β	AB	검출가능한 결함
T_1	h_1	1	11	$A/0 \cdot B/0$
T_0	h_2	0	01	$A/1$
T_0	h_3	0	10	$B/1$

表 2. 그림 1의 f 를 出力으로 하는 部分回路에 대한 最小테스트集

테스트 종류	테스트 번호	f	$\alpha\beta CD$	검출가능한 결함	검출불가능한 결함
T_1	g_1	1	1110	$\alpha/0 \cdot C/0, \alpha\beta/0$	$\alpha\beta/0 \cdot D/1$
T_1	g_2	1	0001	$\beta/1 \cdot D/0, \alpha\beta/1$	$\alpha\beta/1 \cdot C/1$
T_0	g_3	0	0010	$\alpha/1 \cdot D/1, \alpha\beta/1$	$\alpha\beta/1 \cdot C/0$
T_0	g_4	0	1101	$C/1 \cdot \beta/0, \alpha\beta/0$	$\alpha\beta/0 \cdot D/0$

表 2에서 檢出不可能한 缺陷이라 함은 例를 들면 가령 테스트 g_1 로서는 $\alpha\beta/0 \cdot D/1$ 의 檢出은 할 수 없으나 其他의 테스트로는 檢出이 可能할 수도 있다는 뜻이

表 3. 그림 1의 回路에 대한 最小테스트集합

테스트 번호	피복된 부분테스트	f	ABCD	검출가능한 결함	검출불가능한 결함	
					一次入力線 및 분기근간 결함	대응하는 一次 入力線 결함
t_1	g_1, h_1	1	1110	$A/0*B/0, \alpha/0*C/0, \alpha\beta/0$	$D/1\cdot\alpha\beta/0$	$D/1\cdot(A/0*B/0)$
t_2	g_2, h_2	1	0101	$A/1, \beta/1*D/0, \alpha\beta/1$	$C/1\cdot\alpha\beta/1$	$C/1\cdot A/1$
t_3	g_3, h_3	0	1010	$B/1, \alpha/1*D/1, \alpha\beta/1$	$C/0\cdot\alpha\beta/1$	$C/0\cdot B/1$
t_4	g_4, h_4	0	1101	$A/0*B/0, C/1*\beta/0, \alpha\beta/0$	$D/0\cdot\alpha\beta/0$	$D/0\cdot(A/0*B/0)$

다. 表 1에는 이 欄을 設定하지 않았는데 이와같은 內部分岐點以前的 部分回路에 대해서는 이 欄을 設定할 必要가 없지만 內部分岐點以後의 部分回路에서는 이 部分回路의 入力線缺陷을 等價인 一次入力線缺陷으로 代치하여 생각할 必要가 있기 때문에 表 2에서와 같이 따로 분리하여 실는 것이다. 그리고 檢出가능한 缺陷 欄에는 單一缺陷만을 기재하였는데 이들 缺陷이 其他의 缺陷과 동시에 생기는 多重缺陷도 물론 檢出됨을 뜻한다. 그러나 이들 多重缺陷중에서 表 2에서와 같이 檢出不可能한 缺陷欄에 기재된 多重缺陷은 除外된다.

지금 위의 두 組의 테스트중에서 併立할 수 있는 組合를 찾아보면 $g_1, g_4 \sim h_1, g_2, g_3 \sim h_2, h_3$ 이므로 만일 $t_1 = g_1 \sim h_1, t_2 = g_2 \sim h_2, t_3 = g_3 \sim h_3, t_4 = g_4 \sim h_4$ 과 같은 4개의 合成테스트를 취하면 그 檢出가능한 缺陷과 檢出不可能한 缺陷 및 이에 대응하는 一次入力線缺陷은 表 3과 같다. 또 이 4개의 合成테스트集합은 各部分回路의 모든 테스트를 완전히 피복한다.

表 3에서 合成테스트 t_1 로는 역시 $D/1\cdot\alpha\beta/0$ 의 多重缺陷은 檢出不可能하며 이것은 一次入力線의 多重缺陷 $D/1\cdot(A/0*B/0)$ 와도 等價이므로 t_1 로는 이 多重缺陷도 檢出不可能하다. 마찬가지로 其他의 合成테스트도 各各 檢出不可能한 多重缺陷을 갖는 것은 表 3에 기록한 바와 같다. 그러나 테스트 t_1 로는 檢出이 不可能한 $D/1\cdot\alpha\beta/0$ 또는 $D/1\cdot(A/0*B/0)$ 은 테스트 t_3 또는 t_4 로 檢出된다. 그 理由는 $D/1\cdot(A/0*B/0)$ 가 있을 경우에는 테스트 t_3 에 해당하는 一次入力벡터에 대해서는 마치 $D/1$ 인 單一缺陷과 같이 나타나므로 正常的인 回路의 경우 出力이 0이 될것이 이 경우에는 1이 되므로 檢出이 可能해진다. 또 t_4 에 해당하는 一次入力벡터에 대해서는 $D/1\cdot(A/0*B/0)$ 은 마치 $A/0*B/0$ 만의 缺陷으로 간주되므로 역시 檢出이 可能해진다. 같은 要領에 의하여 테스트 t_2 에 의해서는 檢出되지 않는 多重缺陷이 테스트 t_4 에 대해서는 單一缺陷으로 작용되어 檢出된다. 이와같이 正常的인 回路의 경우 出力이 1이 될 테스트 t_1 및 t_2 에 의해서는 檢出되지 않는 缺陷이 테스트 t_3 또는 t_4 와 같은 正常的인 出力이 0이 될 테스트에 의하여 檢出가능한가를 살핀다. 또 반대로 테

스트 t_3 및 t_4 에 의해서는 檢出되지 않는 缺陷이 테스트 t_1 또는 t_2 에 의해서 檢出이 可能한가를 살핀다. 그 결과 $C/0\cdot\alpha\beta/1$ 또는 $C/0\cdot B/1$ 은 테스트 t_3 에 의하여, $D/0\cdot\alpha\beta/0$ 또는 $D/0\cdot(A/0*B/0)$ 은 테스트 t_1 및 t_2 에 의하여 檢出됨이 확인된다.

以上の 결과로 그림 1의 回路는 $ABCD = \{1110, 0101, 1010, 1101\}$ 의 테스트集합에 의하여 單一缺陷은 물론 多重缺陷까지 모두 檢出할 수 있으며 따라서 이것이 最小테스트集합이다.

3. 被覆問題

그림 1의 回路의 경우에는 各部分回路의 테스트集합을 一次의으로 併立시켜 얻은 4개의 合成테스트에 의하여 各部分테스트를 전부 피복시킬 수 있었을 뿐만 아니라 各 테스트에 의해서 檢出되지 않는 缺陷마저 다른 테스트에 의하여 고스란히 檢出이 되었지만 일반적으로는 그렇게 理想的으로만 되지는 않는다. 가령 그림 2¹⁶⁾와 같은 冗長이 있는 論理回路를 생각할 때 이를 分岐가 없는 部分回路로 분리하고 各部分回路의 論理式을 세우면

$$\alpha, \beta = \bar{A} + \bar{C}D_1$$

$$f = \alpha B_1 + \bar{\beta} \bar{B}_2 + \bar{\beta} \bar{D}_2$$

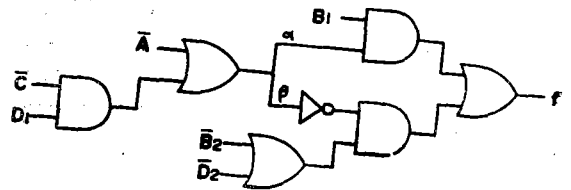


그림 2. 分岐點을 갖는 冗長回路

表 4. 그림 2의 α, β 를 出力으로 하는 部分回路에 대한 最小테스트集합

테스트 종류	테스트 번호	α, β	ACD	검출가능한 결함
T_1	h_1	1	010	$\bar{A}/0$
T_1	h_2	1	101	$\bar{C}/0*D_1/0$
T_0	h_3	0	111	$\bar{A}/1*\bar{C}/1$
T_0	h_4	0	100	$\bar{A}/1*D_1/1$

表 5. 그림 2의 f 를 出力으로 하는 部分回路에 대한 最小테스트集合

테스트종류	테스트번호	f	$\alpha\beta BD$	검출가능한 결함	검출불가능한 결함
T_1	g_1	1	1111	$\alpha/0*B_1/0, \alpha\beta/0, B/0$	$\alpha\beta/0 \cdot (B/0*\bar{D}_2/1)$
T_1	g_2	1	0001	$\beta/1*\bar{B}_2/0, \alpha\beta/1, B/1$	$\alpha\beta/1 \cdot B/1$
T_1	g_3	1	0010	$\beta/1*\bar{D}_2/0$	$\alpha\beta/1, B/0$
T_0	g_4	0	0011	$\alpha/1*\bar{B}_2/1*\bar{D}_2/1, \alpha\beta/1, B/0$	$\alpha\beta/1 \cdot B/0$
T_0	g_5	0	1100	$B_1/1*\beta/0, \alpha\beta/0, B/1$	$\alpha\beta/0 \cdot B/1 \cdot \bar{D}_2/0$

表 6. 그림 2의 回路에 대한 最小테스트集合

테스트 번호	피복된 부분 테스트	f	ABCD	검출가능한 결함	검출불가능한 결함	
					一次入力線 및 분기 구간결함	대응하는 一次入力線결함
t_1	g_1, h_2	1	1101	$\bar{C}/0*D_1/0, \alpha/0*B_1/0, B/0, \alpha\beta/0$	$(B/0*\bar{D}_2/1) \cdot \alpha\beta/0$	$(B/0*\bar{D}_2/1) \cdot (\bar{C}/0*D_1/0)$
t_2	g_2, h_3	1	1011	$\bar{A}/1*\bar{C}/1, \beta/1*\bar{B}_2/0, B/1, \alpha\beta/1$	$B/1 \cdot \alpha\beta/1$	$B/1 \cdot (\bar{A}/1*\bar{C}/1)$
t_3	g_3	1	1100	$\beta/1*\bar{D}_2/0$	$B/0, \alpha\beta/1$	$\bar{A}/1*D_1/1$
t_4	g_4, h_3	0	1111	$\bar{A}/1*\bar{C}/1, \alpha/1*\bar{B}_2/1*\bar{D}_2/1, B/0, D/0, \alpha\beta/1$	$B/0 \cdot \alpha\beta/1$	$B/0 \cdot (\bar{A}/1*\bar{C}/1)$
t_5	g_5, h_1	0	0010	$\bar{A}/0, B_1/1*\beta/0, B/1, \alpha\beta/0$	$B/1 \cdot \bar{D}_2/0 \cdot \alpha\beta/0$	$B/1 \cdot \bar{D}_2/0 \cdot \bar{A}/0$
t_6	h_4	1	1000	$\bar{A}/1*D_1/1, \beta/1*\bar{B}_2/0*\bar{D}_2/0, \alpha\beta/1, D/1$	$B/1 \cdot \alpha\beta/1$	$B/1 \cdot (\bar{A}/1*D_1/1)$

앞에서와 같은 방법으로 各 部分回路에 대해 T_0 및 T_1 테스트를 求하여 정리하면 表 4, 5와 같다.

지금 이 두 部分테스트集合 사이에서 併立possible 集合끼리 組合시켜 合成테스트集合을 求하면 $\{t_1=g_1 \sim h_2, t_2=g_2 \sim h_3, t_3=g_3 \sim h_4, t_4=g_4 \sim h_3, t_5=g_5 \sim h_1\}$ 를 얻는다. 그리고 表 6에는 이 集合의 各테스트에 대한 檢出可能 및 不可能한 缺陷을 分類하였는데 여기서 注目할 것은 테스트 g_3 에 의해서는 $\alpha\beta/1$ 즉 α, β 枝路의 分岐根幹의 s-a-1은 檢出不可能하므로 合成테스트 t_3 으로도 역시 $\alpha\beta/1$ 은 檢出不可能하다는 것이다. 따라서 合成테스트 t_3 은 尙사 테스트 g_3 과 테스트 h_4 의 併立으로 이루어지지만 α, β 를 出力으로 하는 部分回路의 테스트 h_4 는 피복할 수 없으며, 檢出可能欄에서는 테스트 h_4 에 의해서 檢出possible한 缺陷은 빠지고 檢出不可能한 缺陷欄에 기입된다.

이 例에서 보는 바와같이 一次的인 併立에 의하여 얻어지는 合成테스트는 그 테스트를 合成하는 各 部分回路의 테스트를 반드시 다 피복하는 것은 아니다. 즉 合成테스트는 內部分岐點以後의 部分回路의 테스트가 內部分岐點根幹에 해당하는 缺陷을 檢出할 수 없을 때는 內部分岐點以前의 部分回路의 테스트는 피복하지 못한다. 따라서 앞의 例에서는 이미 求한 테스트集合外에 테스트 h_4 를 피복할 다른 테스트를 求하지 않으면 完된다. 이것을 求하는데 있어서는 테스트 h_4 에 해당하는 入力벡터를 그대로 만족시키면서 $\alpha\beta/1$ 을 檢출할 수 있도록 테스트 g_3 의 入力벡터에 部分的으로

修正을 加한다. 本來에 테스트 g_3 의 入力벡터는 $\alpha\beta BD = (0010)$ 인데 여기서 테스트 h_4 의 入力벡터는 그대로 만족하여야 하므로 $\alpha\beta D = (000)$ 은 그대로 두어야 한다. 따라서 $B=(1)$ 을 $B=(0)$ 으로 바꾼다. 그러면

$$f = \alpha B_1 + \bar{\beta} \bar{B}_2 + \bar{\beta} \bar{D}_2 = 0 \cdot 0 + 1 \cdot 1 + 1 \cdot 1 = 1$$

이 되며 $\alpha\beta/1$ 이 있을 때에는 $f=1 \cdot 0 + 0 \cdot 1 + 0 \cdot 1 = 0$ 으로 되어 $\alpha\beta/1$ 이 檢出된다. 따라서 一次入力벡터 $ABCD = (1000)$ 을 테스트 t_6 으로 취하여 앞에서 求한 테스트集合에 첨가하여 정리하면 表 6과 같이 된다. 이 表에 있어서도 앞의 例에서의 要領에 따라 正常出力이 1이 되는 테스트에 의해서 檢出되지 않는 缺陷이 正常出力이 0이 되는 테스트에 의해서 檢出되는가를 살핀다. 그 결과 테스트 t_1, t_2, t_3, t_6 에 의해서 檢出되지 않는 缺陷은 모조리 테스트 t_4 에 의해서 檢出된다. 반대로 正常出力이 0이 되는 테스트 t_4 와 t_5 에 의해서 檢出되지 않는 缺陷은 各 各 正常出力이 1이 되는 테스트 t_2 와 t_1 에 의해서 檢出되므로 그림 2의 回路에 대한 모든 缺陷은 表 6에 기재된 6개의 테스트에 의해서 다 檢出된다.

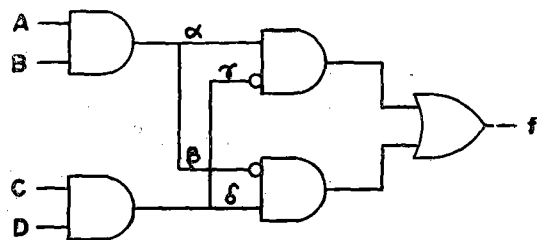


그림 3. 分岐點을 갖는 論理回路

다음에 併立組合으로 이루어지는 合成테스트集合이 各 部分回路의 테스트를 완전히 피복할지라도 檢出不可能한 缺陷이 생기는 수가 있는데 그림 3⁽²²⁾⁽¹⁸⁾의 回路는 그런 경우를 例示하기 위한 것이다.

먼저 그림의 回路를 分岐가 없는 部分回路로 분리하여 各 部分回路에 대한 論理式을 세우면

$$\begin{aligned} \alpha, \beta &= AB \\ \gamma, \delta &= CD \\ f &= \alpha\bar{\gamma} + \bar{\beta}\delta \end{aligned}$$

이들 論理式으로 구성되는 各 部分回路에 앞에서와 같이 T_0 테스트 및 T_1 테스트를 求하여 정리하면 表 7, 8, 9와 같다.

表 7. 그림 3의 α, β 를 出力으로 하는 部分回路에 대한 最小테스트集合

테스트종류	테스트번호	α, β	AB	검출가능한 결함
T_1	h_1	1	11	$A/0*B/0$
T_0	h_2	0	01	$A/1$
T_0	h_3	0	10	$B/1$

表 8. 그림 3의 γ, δ 를 出力으로 하는 部分回路에 대한 最小테스트集合

테스트종류	테스트번호	γ, δ	CD	검출가능한 결함
T_1	k_1	1	11	$C/0*D/0$
T_0	k_2	0	01	$C/1$
T_0	k_3	0	10	$D/1$

이 세 組의 테스트集合을 $t_1=g_1\sim h_1\sim k_2, t_2=g_2\sim h_2\sim k_1, t_3=g_3\sim h_3\sim k_3, t_4=g_4\sim h_1\sim k_1$ 인 4개의 合成테

스트로 併立시키면 세 組의 部分테스트를 완전히 피복하는데 表 10에 그 결과를 정리하였다.

여기서 테스트 t_1 및 t_2 에 의해서 檢出不可能한 缺陷은 테스트 t_4 에 의해서, 테스트 t_4 에 의해서 檢出되지 않는 缺陷은 테스트 t_1 또는 t_2 에 의해서 各 各 檢出되지만 테스트 t_3 에 의해서 檢出되지 않는 缺陷은 餘他的 테스트에 의해서도 檢出되지 않는다. 따라서 t_3 에 의해서 檢出되지 않는 缺陷을 檢出할 수 있는 合成테스트를 求해야만 되는데 이 테스트는 正常的인 出力이 1이 되는 테스트이어야만 한다. 뿐만 아니라 이 테스트에 대해서는 $\alpha\beta/1 \cdot \gamma\delta/1$ 의 2重缺陷이 있어도 그것이 마치 單一缺陷과 같이 作用하는 一次入力を 갖는 것이어야 한다. 따라서 $\alpha, \beta=1, \gamma, \delta=0$ 이거나 $\alpha, \beta=0, \gamma, \delta=1$ 이 되는 一次入력을 갖는 테스트를 求하는데, 가령 $\alpha, \beta=1, \gamma, \delta=0$ 이 되게 취한다면 이것은 合成테스트 g_1 과 同一한 경우이어서 正常出力이 1이 되는데 $\gamma, \delta=0$ 의 條件으로는 合成테스트 t_3 을 併立시키는데 참여되었던 部分테스트 k_3 에 대한 一次入력을 취하면 된다. 따라서 $t_5=g_1\sim h_1\sim k_3$ 으로 $ABCD=(1110)$ 을 表 10의 4개의 테스트에 추가하면 그림 3의 回路에 대한 最小테스트集合이 求해진다. 만일 $\alpha, \beta=0, \gamma, \delta=1$ 이 되게 취한다면 $t_5=h_3\sim k_3$ 로 $ABCD=(1011)$ 를 얻는다.

앞에서 例로 들어 설명한 回路중 그림 1 및 그림 3은 冗長이 없는 回路이고 그림 2는 冗長이 있는 회로이다. 일반적으로 冗長이 있을 경우에는 回路에 따라서는 모든 部分테스트가 다 빠짐없이 併立可能할 수는 없으며 따라서 檢出不可能한 缺陷이 생기게 되는데 이 문제에 대해서는 Friedman²⁾도 지적한바 있다.

表 9. 그림 3의 f 를 出力으로 하는 部分回路에 대한 最小테스트集合

테스트종류	테스트번호	f	$\alpha\beta\gamma\delta$	검출가능한 결함	검출불가능한 결함
T_1	g_1	1	1100	$\alpha/0*\gamma/1, \alpha\beta/0, \gamma\delta/1$	$\alpha\beta/0 \cdot \gamma\delta/1$
T_1	g_2	1	0011	$\beta/1*\delta/0, \alpha\beta/1, \gamma\delta/0$	$\alpha\beta/1 \cdot \gamma\delta/0$
T_0	g_3	0	0000	$\alpha/1*\delta/1, \alpha\beta/1, \gamma\delta/1$	$\alpha\beta/1 \cdot \gamma\delta/1$
T_0	g_4	0	1111	$\gamma/0*\beta/0, \alpha\beta/0, \gamma\delta/0$	$\alpha\beta/0 \cdot \gamma\delta/0$

表 10. 그림 3의 回路에 대한 테스트集合

테스트번호	피복된 部分테스트	f	ABCD	검출가능한 결함	검출불가능한 결함	
					분기근간 결함	대응하는 一次入力線 결함
t_1	g_1, h_1, k_2	1	1101	$A/0*B/0, C/1, \alpha/0*\gamma/1, \alpha\beta/0, \gamma\delta/1$	$\alpha\beta/0 \cdot \gamma\delta/1$	$(A/0*B/0) \cdot C/1$
t_2	g_2, h_2, k_1	1	0111	$A/1, C/0*D/0, \beta/1*\delta/0, \alpha\beta/1, \gamma\delta/0$	$\alpha\beta/1 \cdot \gamma\delta/0$	$A/1 \cdot (C/0*D/0)$
t_3	g_3, h_3, k_3	0	1010	$B/1, D/1, \alpha/1*\delta/1, \alpha\beta/1, \gamma\delta/1$	$\alpha\beta/1 \cdot \gamma\delta/1$	$B/1 \cdot D/1$
t_4	g_4, h_1, k_1	0	1111	$A/0*B/0, C/0*D/0, \gamma/0*\beta/0, \alpha\beta/0, \gamma\delta/0$	$\alpha\beta/0 \cdot \gamma\delta/0$	$(A/0*B/0) \cdot (C/0*D/0)$

4. 最小테스트集합의 誘導節次

以上에서 考察한 바에 따라 分岐點을 갖는 一般論理回路의 多重缺陷을 檢出할 수 있는 最小테스트集합을 유도하기 위한 節次를 要約하면 다음과 같다.

- 1) 分岐點을 前後하여 이를 分岐가 없는 部分回路로 분리하고 各 部分回路에 대한 論理式을 세운다.
- 2) 各 部分回路에 대한 T_0 및 T_1 테스트를 유도하여 最小테스트集합을 求하고 表를 만든다. 이때 內部分岐點以後의 部分回路에 대해서는 各테스트에 의해 檢出되지 않는 缺陷을 명기한다.
- 3) 出力線을 포함하는 部分回路의 테스트集합을 基準으로 하여 各 部分回路의 테스트集합을 最大限으로 併立시켜 合成테스트集합을 求하고 綜合表를 만든다. 여기서 피복되지 않는 部分테스트가 있을 경우에는 이것을 피복할 수 있게끔 별도의 테스트를 유도한다.
- 4) 綜合表에서 各 테스트에 의해 檢出되지 않는 多重缺陷이 다른 테스트에 의해 檢出되는가를 확인한다. 즉 正常出力이 0이 되는 테스트의 檢出不可能한 缺陷은 正常出力이 1이 되는 테스트에 의해, 반대로 正常出力이 1이 되는 테스트의 檢出不可能한 缺陷은 正常出力이 0이 되는 테스트에 의해 檢出되는가를 확인한다.
- 5) 만일 4)의 과정에서 다른 테스트에 의해 檢出되지 않는 多重缺陷이 있을 때는 그 多重缺陷이 있어도 마치 單一缺陷과 같은 應動을 나타낼 테스트를 별도로 유도하여 이를 綜合表에 첨가한다.

5. 結 論

本論文에서는 分岐가 있는 一般論理回路의 多重缺陷을 檢出할 最小테스트集합을 유도하는 節次를 設定하였다. 그 基本개념은 內部分岐點을 前後하여 分岐가 있는 部分回路로 分離하고 各 部分回路의 最小테스트集합을 求한다음 이를 最大限으로 併立시켜 合成테스트를 求하는 方法을 취하였는데 이 方法은 確實히 지금까지 發表된 方法과는 다른 새로운 試圖이다. 이 方法에 의하면 表를 만드는 手筈은 있지만 最小테스트集합을 유도하는 과정이 逐條적이어서 비교적 容易하며 各 테스트에 의해 檢出possible한 缺陷이 명확해 진다.

[追記] 이 研究는 仁荷産業科學研究所의 研究計劃에 依한 것이다.

參 考 文 獻

1. D.B. Armstrong: "On finding a nearly minimal

set of fault detection tests for combinational logic nets," IEEE Trans. Electron. Comput., vol. EC-15, pp.66-73, Feb. 1966.

2. A.D. Friedman: "Fault detection in redundant circuits," IEEE Trans. Electron. Comput., vol. EC-16, pp.99-100, Feb. 1967.
3. R. Betancourt: "Derivation of minimum test sets for unate logical circuits," IEEE Trans. Comput., vol C-20, pp.1264-1269, Nov. 1971.
4. L.W. Bearnson and C.C. Carroll: "On the design of minimum length fault tests for combinational circuits," IEEE Trans. Comput., vol. C-20, pp. 1353-1356, Nov. 1971.
5. Z. Kohavi and D.A. Spires: "Designing sets of fault-detection tests for combinational logic circuits," IEEE Trans. Comput., vol. C-20, pp. 1463-1469, Dec. 1971.
6. D.R. Schertz and G. Metz: "A new representation for faults in combinational digital circuits," IEEE Trans. Comput., vol. C-21, pp.858-865, Aug. 1972.
7. R. Dandapani: "Derivation of minimal test sets for monotonic logic circuits," IEEE Trans. Comput., vol. C-22, pp.657-661, July, 1973.
8. S.B. Akers: "Universal test sets for logic networks," IEEE Trans. Comput., vol. C-22, pp. 835-839, Sep. 1973.
9. I. Berger and Z. Kohavi: "Fault detection in fanout-free combinational networks," IEEE Trans. Comput., vol. C-22, pp.908-914, Oct. 1973.
10. 高瓊植·許雄: "組合論理回路의 缺陷檢出," 電子工學會誌, 第11卷, 第5號, pp.200-205, 11月, 1974.
11. S.S. Yau and Y.S. Tang: "An efficient algorithm for generating complete test sets for combinational logic circuits," IEEE Trans. Comput., vol. C-20, pp.1245-1251, Nov. 1971.
12. D.C. Bossen and S.J. Hong: "Cause-effect analysis for multiple fault detection in combinational networks," IEEE Trans. Comput., vol. C-20, pp. 1252-1257, Nov. 1971.
13. D.R. Schertz and G. Metz: "On the design of multiple fault diagnosable networks," IEEE Trans. Comput., vol. C-20, pp.1361-1364, Nov. 1971.
14. J.P. Hayes: "A NAND model for fault diagnosis in combinational logic networks," IEEE

- Trans. Comput., vol. C-20, pp.1496—1506, Dec. 1971.
15. J.W. Gault, J.P. Robinson [and S.M. Reddy: "Multiple fault detection in combinational networks," IEEE Trans. Comput., vol. C-21, pp.31—36, Jan. 1972.
16. I. Kohavi and Z. Kohavi: "Detection of multiple faults in combinational logic networks," IEEE Trans. Comput., vol. C-21, pp.556—568, June, 1972.
17. K. To: "Fault folding for irredundant and redundant combinational circuits," IEEE Trans. Comput., vol. C-22, pp.908—914, Oct. 1973.
18. M. Fridrich and W.A. Davis: "Minimal fault tests for combinational networks," IEEE Trans. Comput., vol. C-23, pp.850—859, Aug. 1974.
19. C.T. Ku and G.M. Masson: "The Boolean difference and multiple fault analysis," IEEE Trans. Comput., vol. C-24, pp.62—71, Jan. 1975.
20. A.D. Friedman and P.R. Menon: "Fault detection in digital circuits," New York, Prentice-Hall, 1971.