

Platen制御方式 한글텔레타이프의 制御論理回路

(On the Control Logic Circuits for the Platen Controlled Korean Teletypewriter)

金 在 均* · 宋 吉 鎬** · 安 淳 臣***

(Kim, Jae kyoon, Song, Kil Ho and Ahn, Soon Shin)

要 約

本論文은 platen動作制御에 의한 한글텔레타이프의 세가지 制御論理回路를 設計檢討하였다. 一般的인 論理回路 構成方法에 의한 設計結果, 狀態, 狀態變移函數 그리고 出力函數의 順序로 設計한 pulse mode의 制御回路가 가장 간단하였다. 이때 必要한 記憶素子는 D Flip-Flop 2個 뿐이었다.

Abstract

Three control logic circuits are synthesized and compared for the platen controlled Korean teletype-writer. It is shown, by the general procedures for sequential circuit synthesis, that the pulse mode logic circuit designed in the order of state, state transition function and output function is the simplest circuit. In this case, the required memories are only two D Flip-Flop's.

1. 序 論

最近에 한글모아쓰기를 위한 여러가지 새로운 방법^{1)~3)}과 실험결과⁴⁾⁵⁾가 나오고 있다. 그러나 대개가 컴퓨터⁶⁾나 microprocessor²⁾를 必要로 하거나 non-impact形 display 裝置를 必要로 하여¹⁾²⁾ 텔레타이프와 같이 大衆化하기가 쉽 않다. 그러나 기존 풀어쓰기 텔레타이프(英文)에서 platen動作을 應用한 모아쓰기 방법은 쉽게 實現될수 있다. 本論文은 2벌式 標準字版形⁷⁾ 한글 텔레타이프에서 platen의 動作制御를 위한 制御回路를 設計檢討하려고 한다. 한글은 子音과 母音으로 구분할 수도 있지만 '모아쓰기'에서는 初, 中, 終聲으로 구분하는 것이 바람직하다. 하지만 텔레타이프에서는 5-bit system이 채택되고 있으며 이것은 32個

의 keyboard를 의미하여 2벌式의 字版이 채택될 수 밖에 없다. 그러므로 텔레타이프에서는 初聲과 終聲은 같아 key로 타자하여야 하며 이것은 '풀어쓰기'를 의미한다. 모아쓰기를 위하여는 初聲과 終聲은 같은 key로 타자하고 '구분되어 인체되어야 한다. 이때 終聲은 初聲과 똑같은 활자로 platen의 動作에 따라 初聲의 아랫부분에 인체되도록하면 모아쓰기는 완성된다.

Platen의 動作信號는 子音, 母音, 其他信號의 連續적인 列로부터 初, 中, 終聲을 식별하여 얻어질수 있다. 때문에 platen制御方式 모아쓰기에서는 子音, 母音의 列로부터 初, 中, 終聲을 구별해내어 platen 제어 신호를 얻는 sequential logic ckt.가 核心을 이루고 있다.

먼저 platen제어회로의 주변構造와 節次를 간단히 살펴보면 다음과 같다.

먼저 入力信號인 連續적인 펄스列(serial pulse train)으로부터 各文字(character)에 해당하는 文字別 pulse frame, 例컨데 5-bit를 찾는 다음, 이것을 AND-OR등으로 구성된 논리회로로써 子音, 母音, 其他(., space 등)로 識別分類해야 한다. 여기에 各 文字別 펄스 frame 前後에 있는 始作標識펄스와 終末標識펄스로부터 이

* 正會員 : 韓國科學院 電氣 및 電子工學科

本 研究는 部分的으로 韓國科學院 自體研究費의 支援을 받았음.

Member Electrical Engineering Department, Korea Advanced Institute of Science, (KAIS,)eoul, Korea. This work was supported in part by the KAIS Internal Research Fund.

接受日字 : 1975年 4月 23日

以後에 있는 여러 論理回路에 必要한 同期時刻(synchronization time)을 얻을 수 있다. 다음에는 이 子音, 母音, 其他로 부터 初, 中, 終聲의 區分과 platen動作 制禦를 위한 信號를 만들어야 한다. 以上의 節次를 그림 1과 같이 表示할 수 있다.

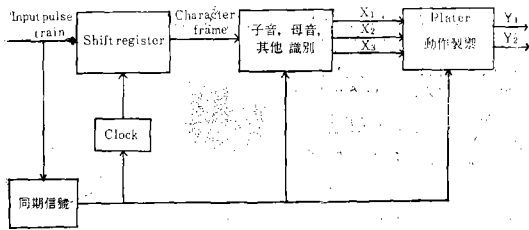


그림 1. Platen制禦方式 한글텔레타이프의 系統圖
Fig. 1. Block diagram for the platen controlled Korean Teletypewriter.

2. Platen 動作機能

위에서 살펴본 모아쓰기 節次 中에서, 文字別 펄스 frame 檢出과 子音, 母音, 其他로의 識別은 基本的으로 단순한 過程이지만, 初中終聲 區分과 이와 관련된 platen動作은 그렇지 않다. 우선 이 모아쓰기 方法에서의 基本 制限條件을 分明히 하면 다음과 같다.

1) 2벌式 標準字版形이므로 初聲子音과 終聲子音이 같은 活字로 인쇄된다.

2) 既存 풀어쓰기 텔레타이프에서는 platen이 文字를 인쇄한 다음 左右方向으로 한자리 變位(正常變位)

하게 된다.

3) 音節區分은 space打字(space keying)으로 한다. 따라서 space 다음의 子音은 반드시 初聲子音이며, 母音다음(space以前)의 子音은 반드시 終聲子音이다.

以上의 基本制限과 約束에 의한 모아쓰기 過程을 檢討하면 새로이 必要한 platen動作機能을 찾을 수 있다. 이제 그림 2-1에서와 같이 初聲子音을 u-1의 位置에 인쇄했다고 하자. 인쇄한 다음, platen은 正常的으로 進行되어 u-2의 位置에서 다음 文字를 인쇄할 준비를 갖추게 된다(正常動作). 이때 母音을 打字하면 u-2*의 位置에 인쇄된다. 이 母音을 인쇄한 다음에 platen을 움직이지 못하게 하면(停止動作), 다음번 子音 即 받침 子音은 또다시 u-2의 位置에 인쇄될 것이다. 그러나 받침이라는 판단이 있을때 platen을 그림 2-2와 같이 上右方向으로 움직이면(昇降動作), 받침자음은 d-1의 位置에 인쇄하게 된다. Platen의 昇降動作은 반드시 받침인쇄 以前에 이루어져야하며, 인쇄한 다음에는 原狀態로 돌아가게 된다. 따라서 platen은 다시 正常的으로 進行되어 u-3의 위치에서 다음 文字를 인쇄할 준비가 되어있다. 두번째 받침자음도 같은 모양으로 d-2에 인쇄된 다음, u-4에서 다음 인쇄 준비를 하게될 것이다. 여기서 Space打字를 하면 한 音節인쇄가 끝나게 된다. 그러나 아직도 音節사이의 間隔을 一定하게 維持하기 위한 對策이 있어야겠다. 그림 2-1에서 받침이 없거나, 홑받침 쌍받침이거나에 相關없이 다음 音節이 u-3에서 始作되기 위해서는 platen의 停止動作이 더욱 活用될 수 있음을 알 수 있다.

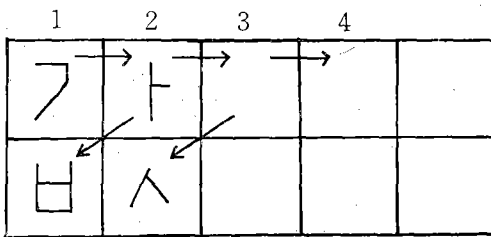


그림 2-1 모아쓰기 節次
Fig. 2-1 Print steps for Korean letters.

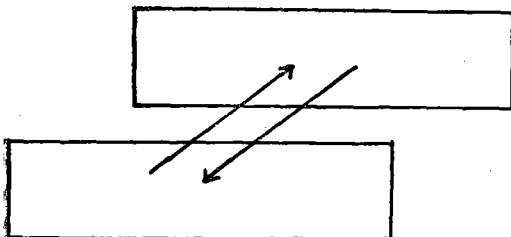


그림 2-2. Platen의 昇降動作
Fig. 2-2. Platen's up-down movement

表 1. 制禦回路의 出力信號와 platen動作
Table 1. Required platen movements for printing.

$X = (x_1 x_2 x_3)$	$Z = (z_1 z_2)$	Platen動作	備 考
$X_1=(100)$ $X_3=(001)$	$Z_0=(00)$ "	正常動作 "	初聲子音, 初聲雙子音, 받침 없는 音節이 끝남을 認知
$X_2=(010)$ $X_3=(001)$	$Z_1=(01)$ "	停止動作 "	母音, 重母音 받침 있는 音節이 끝남을 認知
$X_1=(100)$	$Z_2=(10)$	昇降動作	終聲子音—첫 받침
$X_1=(100)$	$Z_3=(11)$	印刷前 昇降動作 印刷後 原位置에서 停止動作	終聲子音—두 째 받침

* 母音중에서 ㅏㅑ 등은 u-1과 d-1사이에 인쇄되도록, 그리고 二重母音등도 제모양을 갖도록 活字모양을 만들 수 있다.

위의 여러가지 platen動作과 入力文字信號와의 관계를 表 1과 같이 정리할수 있다. 여기서 편의상 다음과 같은 信號를 定義하겠다.

入力信號 $\triangleq X=(x_1, x_2, x_3)$ = (子音, 母音, 其他) (1)

出力信號 $\triangleq Z=(z_1, z_2)$ = (昇降動作信號, 停止動作信號)

위에서 出力信號라 함은 必要的한 platen動作制御를 하기 위해서 制御回路에서 만들 制御信號를 意味한다.

表 1에서 出力信號 Z와 그에 따른 platen動作은 完全한 內容이지만, 入力信號와 備考欄의 說明은 몇가지 代表的인 것만을 表示하고 있다. 例컨데, 入力에는 (000), (111)등의 可能性도 생각할 수 있다. 어쨌든 表 1에 表示된 內容만 보아서도, 같은 入力에 다른 出力 또한 같은 出力에 다른 入力이 있어, 制御回路는 sequential論理回路가 될것임을 알수 있다.

3. 制御回路 設計

表 1의 platen動作을 얻기위한 制御回路의 設計에는 여러가지 方法을 생각할수 있다. 그러나 本 論文에서는 一般的인 sequential回路 構成方法에 따라서⁷⁾ fundamental mode와 pulse mode에서 세가지 制御回路를 考察하겠다.

文字別 pulse frame 檢出過程(그림 1에서 shift register) 때문에 入力文字信號는 그림 3과 같이 gate되어 들어온다. 그림 3에서 gate 期間(A)中에는 表 1에서 表示된 入力信號 X_1, X_2, X_3 가 可能하며 B 期間중에는 入力信號가 $X_0 \triangleq (0, 0, 0)$ 가 된다. 따라서 Fundamental mode에서는 한 文字期間(T)동안에 state(內部狀態) 즉 記憶內容이 變化할 可能性이 있다. 물론 gating以後에 記憶素子를 두어 入力信號가 X_1, X_2, X_3 만 可能하게 할 수도 있다.

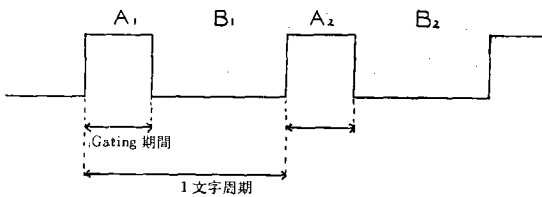


그림 3. 入力の gate信號
Fig. 3 Input gate signal.

表 1에서와 같이 入力, 出力을 各各 X, Z라 두고 state를 Y라 두면 回路設計는 다음 두式으로 表示할수 있다.

$$Y_n = f(Y_{n-1}, X_n) \quad (2)$$

$$Z = g(Y, X)$$

여기서 狀態變移函數(state transition function) f (Y_{n-1}, X_n)에 依한 狀態變移는 operation mode에 따라

여러 變形이 있을수 있다. 卽 fundamental mode에서는 入力이 바뀌는 卽時 狀態變移가 일어나고, pulse mode에서는 clock入力에 따라서 狀態變移가 發生한다.

出力函數(output function) g(Y, X)에서 時間順을 表示하는 添語 n, n-1등을 쓰지않은 理由는 一律的으로 表示할수 없는 여러 變形이 可能하기 때문이다.

(1) Fundamental mode(asynchronous mode)

(2) 式의 出力函數를 便宜上,

$$Z = (z_1, z_2)$$

$$\triangleq (y_1, y_2) \quad (3)$$

로 하면 表 2와 같은 state와 그림 4와 같은 狀態變移圖(state transition diagram)를 얻을수 있다. 여기서 물론 各 state의 符號와 狀態變移過程을 그림 3과 같이 gate된 入力信號에 依한 모아쓰기 節次를 만족하도록 되어 있다. 例를들면 그림 2-1의 “값”을 모아쓸때의 狀態變移過程은 다음과 같다.

表 2. 狀態表
Table 2. State table

Element	y_1	y_2	y_3	비	고
Y_0	0	0	0	初	期
Y_1	0	1	0	모	음
Y_2	1	0	0	첫	받
Y_3	1	0	1	첫	받
Y_4	1	1	0	두	째
Y_5	0	1	1	받	침

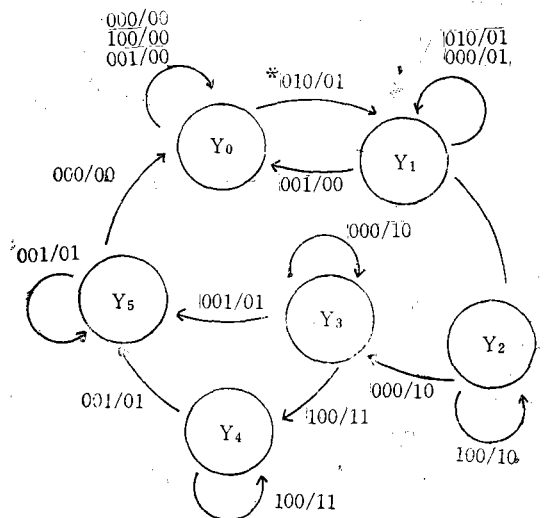


그림 4. 狀態變移圖-I

*는 $x_1x_2x_3/z_1z_2$ 를 意味한다.

Fsg. 4. State transition diagram-I.

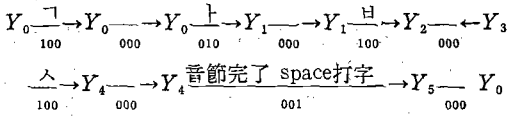


그림 4에서는 모아쓰기 原則에 어긋나는 경우는 表示하지 않았다.

表 3. 狀態變移表-I

Table 3. State transition table-I.

State	Input	X ₀ 0 0 0	X ₁ 1 0 0	X ₂ 0 1 0	X ₃ 0 0 1
Y ₀ =(0, 0, 0)		0 0 0	0 0 0	0 1 0	0 0 0
Y ₁ =(0, 1, 0)		0 1 0	1 0 0	0 1 0	0 0 0
Y ₂ =(1, 0, 0)		1 0 1	1 0 0	-	-
Y ₃ =(1, 0, 1)		1 0 1	1 1 0	-	0 1 1
Y ₄ =(1, 1, 0)		1 1 0	1 1 0	-	0 1 1
Y ₅ =(0, 1, 1)		0 0 0	-	-	0 1 1

그림 4로 부터 얻은 狀態變移表(state transition table)는 表 3과 같다. 各 state가 3-bit로 表示되므로 記憶素子 3個가 必要하게 된다. 이제 SR Flip-Flop을 制御回路의 記憶素子로 利用하도록 하자. 그러면 表 3의 狀態變移를 얻기위해서 SR Flip-Flop의 excitation function을 구해야 한다. 따라서 各 Flip-Flop에 대한 excitation table을 만든후, karnaugh map method에 依하여 簡略化된 excitation function을 구하면 다음과 같다.

$$\begin{aligned}
 S_1 &= y_2 x_1 \\
 R_1 &= x_3 \\
 S_2 &= x_2 + y_1 x_3 + y_3 x_1 \\
 R_2 &= y_3 x_1 x_3 + y_1 y_3 x_3 + y_1 x_1 \\
 S_3 &= y_1 x_3 + y_1 y_2 x_1 \\
 R_3 &= x_1 + y_1 x_3
 \end{aligned}
 \tag{4}$$

여기서 S_i, R_i, y_i는 各各 i번째 Flip-Flop의 Set, Reset 및 出力을 의미한다. (4)식의 論理式은 많은 論理回路素子를 要하므로 좋은 結果라고 볼수 없겠다.

(2) Pulse mode(synchronous mode)

Pulse mode에서는 clock signal이 없으면 state變化는 일어나지 않는다. 따라서 그림 3과 같이 gate된 入力信號에서 gate期間 (A)동안의 어느 순간에 clocking을 하면 이때 state變移가 생기고 이 state는 다음 clock이 있을 때까지 變化하지 않는다. 그러므로 이 경우에서 state변화를 일으킬때의 入力는 X₁, X₂, X₃세가지만 可能하다.

이제부터 제어회로에 必要한 記憶素子로서 쉽게 구할수 있는 master-slave D flip flop으로 選擇할 경우의 회로構成을 고찰하겠다. 논리회로의 구성은 fundamental mode에서와 같이 (2)식에서 시작된다.

出力論理함수를 (3)식과 같이 取하면 表 2와 비슷한 狀態表를 얻을 수 있다. 그러나 pulse mode에서는 Y₃는 필요없게 된다. 또한 出力함수가 (3)식으로 表示될

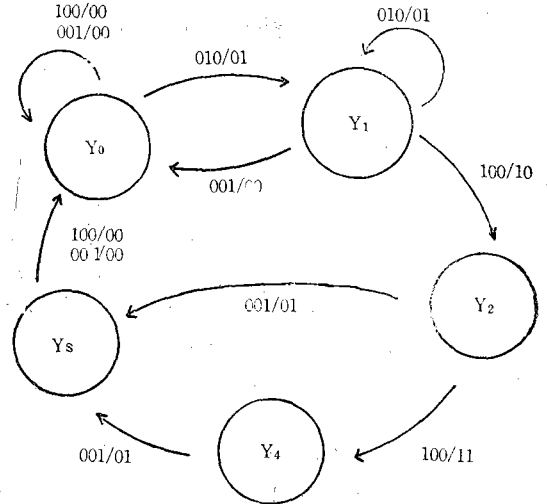


그림 5. 狀態變移圖-II

Fig 5. State transition diagram-II

표 4. 狀態變移表-II

Table 4. State transition table-II.

상태 \ 入力	X ₁ 1 0 0	X ₂ 0 1 0	X ₃ 0 0 1
Y ₀ =(0, 0, 0)	0 0 0	0 1 0	0 0 0
Y ₁ =(0, 1, 0)	1 0 0	0 1 0	0 0 0
Y ₂ =(1, 0, 0)	1 1 0	-	0 1 0
Y ₄ =(1, 1, 0)	-	-	0 1 0
Y ₅ =(0, 1, 1)	0 0 0	-	0 0 0

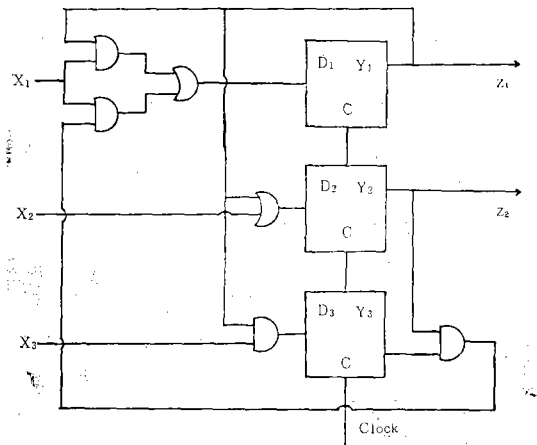


그림 6. Pulse mode 制御論理回路-I

Fig 6. Pulse mode logic circuit-I.

으므로 상태변이 clocking은 gate信號의 leading edge에서 되어야 할 필요가 있다. 이제 可能한 세가지 入力 X_1, X_2, X_3 와 모아쓰기 절차에 따라 狀態變移圖를 구하면 그림 5와 같으며 狀態變移表는 표 4와 같다.

D flip-flop에서는 狀態變移함수와 excitation함수는 같은 論理式으로 表示되므로 表 4.로부터 직접 excitation함수를 구할수 있다. Karnaugh의 map method로 간략화한 excitation함수는 다음과 같다.

$$\begin{aligned} D_1 &= y_2 y_3 x_1 + y_1 x_1 \\ D_2 &= y_1 + x_2 \\ D_3 &= y_1 x_3 \end{aligned} \quad (5)$$

위 식에 依한 논리회로는 그림 6과 같다.

위에서는 상태변이가 gate信號의 leading edge에서 일어난 경우지만 gate의 trailing edge에서 상태변이가 일어날 경우에는 훨씬 간단한 제어회로를 구성할수 있다.

이 경우 (2)식의 출력함수는

$$Z_n = g(Y_{n-1}, X_n) \quad (6)$$

으로 表示할 수 있다. (6)식은 (3)식과는 달리 출력신호를 以前상태와 새로운 입력의 함수로 表示할 수 있음을 의미한다.

이제 state를 初期狀態, 母音記憶狀態, 받침기억상태의 셋으로 정한다음 모아쓰기 절차에 따라 상태변이도

를 그리면 그림 7과 같이 된다. 이때 각 狀態를 $Y_0 = (0, 0), Y_1 = (0, 1), Y_2 = (1, 1)$ 로 取하면 狀態變移表는 표 5와 같다. 또한 모아쓰기 절차에 따라 상태변이도에서 出力表를 만들면 표 6과 같이 된다.

표 5와 표 6에서 부터 Karnaugh map method를 이용하여 간략화된 excitation함수와 출력함수를 구하면 다음과 같다.

$$\begin{cases} Z_1 = x_1 y_2 \\ Z_2 = x_2 + y_1 \end{cases} \quad (7)$$

$$\begin{cases} D_1 = x_1 y_2 \\ D_2 = x_1 y_2 + x_2 \end{cases} \quad (8)$$

위의 (7), (8)식으로 주어진 제어논리회로도 는 그림 8과 같다.

표 6. 출력표
Table 6. Output table.

Input		1 0 0	0 1 0	0 0 1	出力
State					
0	0	0 0	0 1	0 0	}
0	1	1 0	0 1	0 0	
1	1	1 1	—	0 1	
1	0	—	—	—	

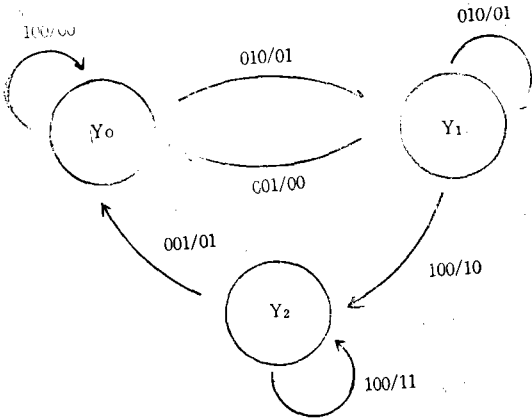


그림 7. 상태 변이도-III
Fig 7. State transition diagram-III

표 5. 상태 변이표-III
Table 5. State transition table-III

Input		1 0 0	0 1 0	0 0 1
State				
0	0	0 0	0 1	0 0
0	1	1 1	0 1	0 0
1	1	1 1	—	0 0
1	0	—	—	—

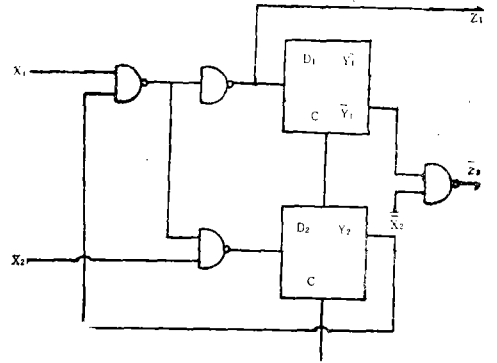


그림 8. Pulse mode 제어논리회로도-II
Fig 8. Pulse mode logic circuit-II.

이 경우의 제어회로는 flip-flop 2개만으로 구성되었으며 그 구성도 간단하게 되어 있다. 이때 clock signal도 별다르게 변형시킬 필요없이 gate신호를 그대로 사용할 수 있다.

4. 結 論

Platen 制御를 위한 세가지 制御論理回路를 設計檢討하였다. 回路構成의 接近方法에 따라서 構成 節次와 結果가 크게 다른것을 보았다.

入力信號가 state를 直接的으로 統制하는 fundame-

ntal mode보다, state變移를 clock에 의하여 調整할수 있는 pulse mode로서 더욱 簡素한 論理回路를 構成할수 있었다. 같은 pulse mode에서도 設計函數((2)式)의 選定順序에 따라서 回路構成 結果가 달라짐을 알았다.

또한 clocking時刻과 設計函數 選定順序는 相互 밀접한 관계가 있었다.

結論的으로, 모아쓰기 過程에 필요한 記憶內容과 聯關시켜 各 state를 決定한 後에, 狀態變移函數를 그리고 出力函數를 求하는 方法으로서 가장 간단한 論理回路를 얻을수 있었다. 이때 clocking信號는 gate信號를 그대로 이용할수 있었으며, 記憶素子로서는 2개의 master slave D Flip-Flop으로 충분했다.

이렇게 全體的인 回路의 最適化의 노력결과 모아쓰기의 까다로운 諸조건과 節次에도 불구하고 아주 간단하고 신뢰성 높은 회로를 構成할수 있었다. 이 방식은 그 간단함과 가격, 신뢰성 및 既存方式과의 혼용성面에서 아주 탁월한 방식이라 하겠다. 이 방식의 teletypewriter는 실험실에서 효과적으로 運用되었으며 현재

는 통신 단말장치로 이용되고 있다.

參 考 文 獻

1. 李桂根, 李均夏, “可變組合方式의 文字 display에 관한 研究”, 電子工學會誌 第11卷 第1號 pp.23-32, 1974년 2월
2. 박헌서, “Korean Language Mechanization” 韓國科學技術團體總聯合會, 在美韓國科學技術者協會共同主催 科學技術綜合 symposium, 1974, 7.29-8.2
3. 변희성, “한글의 특성 및 컴퓨터와의 제문제”, 韓國情報科學會誌 第1卷 第1號. pp.19-22, 1974年 8月
4. 韓國뉴콤株式會社, 한글 printer展示會, 1975年 2月
5. 實用新案特許 第194號 “텔레타이프 platen의 對角昇降裝置”, 1974年 7月 19日
6. 國務總理 訓令 第81號, 1969年 7月 28日
7. McCluskey, E. J., Introduction to the theory of Switching circuits, New York: McGraw-Hill, 1965.
8. Booth, T. L.. Digital Networks & Computer Systems NewYork: John Wiley & Sons, Inc., 1971.