

Hybrid Integrated Circuit 技術

— 차 례 —

- 1. 서 론
- 2. 후막 HIC의 생산공정
- 3. Hybrid생산 시설 및 생산비용
- 4. 결 론

1. 서 론

전자제품의 소형화를 위하여 사용하는 기술로는 반도체와 같은 단일 물질에 능동 및 수동소자 회로를 구성하는 Monolithic Integrated Circuit (IC)기술과, 절연체 기판위에 인쇄기술에 의하여 도선, 저항, 카파시타등을 만들거나 또는 이미 제작된 Monolithic IC, 트랜지스터, 다이오드 혹은 수동소자인 저항, 카파시타등을 Chip으로 기판위에 부착시키는 Hybrid Integrated Circuit (HIC) 기술의 두가지로 나눌 수 있다. 또 HIC는 절연체 기판위의 도체 박막의 두께가 $\frac{1}{125}$ mil 정도인 박막 HIC 기술과, 절연기판상에 저항 및 도체를 직접 인쇄하여 구워내는 후막(thick film) 기술로 나눌 수 있으며, (막의 두께가 1mil 정도임), 여기서는 주로 후막 HIC 기술을 중심으로 소개하려 한다.

1960년대 초기부터 시작된¹⁾ 후막기술은 그동안 monolithic 기술의 발전으로 잠시 그 사용이 둔화되었으나, monolithic 회로에 비해 몇가지 장점들이 알려지고 이를 이해하게 되자 다시 활발해지고 있다. 후막 HIC는 포장하는 면에서 불대 인쇄기판위에 소자를 부착시키는 기존 인쇄회로 기술과, monolithic IC 기술의 중간정도의 기술로서 계산기 제작 회사 및 국방 산업체에서 사용되기 시작하였다.

후막 HIC의 장점²⁾은 특히 고주파 대역, 고전압 및 고출력 회로의 소형화에서 타의 추종을 불허한다. 또한 후막 HIC는 설계 및 제작이 쉽고, 초기 시설 투자 회로 개발 및 생산에 필요한 가격이 저렴하다. 종류가 비교적 많고 동일한 회로의 결대양이 적은 회로를 소형화 하는데 가장 값싼 방법이 이 후막 HIC 방법이다. 후막 HIC는 생산기술이 비교적 간단하여 생산 yield가 대단히 높으며 신뢰도가 높은 제품을 생산하게 된다.

이상과 같은 장점을 가지나, HIC 기술은 monolithic IC에 비하여 포장할 수 있는 소자 밀도가 훨씬 떨어지

며, 동일종의 회로를 대량 생산할때는 가격면에서 Monolithic IC에 미치지 못한다. 그러나 현재 기술로 보아, 고출력, 고전압 및 고주파 회로에 알맞는 소형 회로로는 HIC가 가장 적합한 것으로 판단되고 있다.

이상의 장점으로 후막 HIC는 Computer 회로뿐만 아니라, 자동차의 전압 조정기 고출력, 증폭단, 텔레비존 CRT관의 전력 구동단등의 고출력 회로와, 텔레비존 또는 산업용 전자 장치의 VHF, UHF, 회로 구성에 많이 이용된다. 국내에서는 전자시계 제작에 수개 업체에서 HIC 기술을 이용하고 있다. 더 높은 주파수대인 마이크로-웨이브대(파장이 cm대에서 mm대에 이른다)장치³⁾의 소형화는 박막 HIC에 의하여 실현되고 있다.

2. 후막 HIC의 생산 공정

후막 HIC 기술은 기존 인쇄회로 기판 제작에 사용하는 Silk Screen 기술과 비슷한 방법을 사용한다. 즉 세라믹 절연 기판상에 금속 분말과 접착제를 혼합하여 만든 고점성 연고물 Screen이나 mask를 통해 인쇄하여, 이를 전기로에서 구워내면 연고는 절연 기판상에 영구 후막으로 부착하게 된다. 사용하는 연고의 종류, 모양등에 따라 각종 도선, 저항, 카파시타등이 기판위에 형성되며, 인쇄와 구워내는 과정을 되풀이 하면 다층 후막 형성이 가능하게 된다. 또한 필요한 능동 및 수동 소자를 직접 기판의 회로에 접촉시킬 수 있으며, 이들 소자로는 monolithic IC, 트랜지스터, 다이오드, 저항, 카파시타, 인덕타 Chip을 사용하며, 이들은 대단히 소형이다.

후막 Hybrid IC를 완성하는데는 위에 기술한 과정이 중심이 되며, 대표적인 후막 생산과정은 그림 1과 같다. 이 그림에 표시한 각 과정에 대하여 간단한 소개를 해 보기로 한다.

설계 단계는 bread-board 설계 및 실험을 소형 회로로 옮기는 과정이다. 설계사는 후막 Hybrid 공정의 한계점을 잘 알아야 하며 부품의 선택, 허용되는 오차

* 正會員 · 韓國科學院副教授(理博) · 當學會編修委員

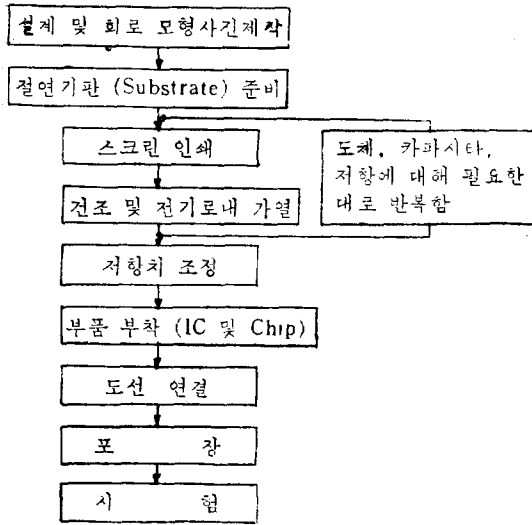


그림 1. 후막 Hybrid IC 생산과정

한계, 포장의 종류 및 기판상의 회로 모형등을 결정하게 된다. 또한 부품의 전력용량, 인쇄할 도체, 카파시타, 저항등의 기판상의 크기, 위치 및 서로의 연결로 등을 정하게 되며, 이들의 결정이 생산 가격면과 밀접히 연관되어 결정 되어야 할 것이다. 일단 회로 모형의 설계가 끝나면 이 모형을 Rubyolith에 실물의 20배 정도의 크기로 뜨게 되며, 이를 사진으로 축소하고 Screen에 직접 photo etching 하거나, 혹은 screen에 부착시킬 수 있는 film에 사진 축소시켜 현상시킨다.

절연기판은 사용 부품, 후막회로를 기계적으로 받쳐주며, 도체 및 도선 사이의 전기적 절연을 마련할 뿐만 아니라, 열전도를 좋게 해주는 역할을 한다. 절연기판은 표면이 평면으로서 면이 비교적 반반하고 전기로에서 저항등의 열처리(약 1000°C)에 견딜 수 있어야 한다.

보통 많이 사용되는 절연기판의 재료로는 alumina, beryllia 및 barium titanate이다. 기판은 기계적으로 강하며, 온도 팽창 계수가 적어야 하며, 훌륭한 절연성질 및 저항, 도체를 만드는 연고를 잘 부착시켜야 한다. 96%의 alumina(Al₂O₃)와 4%의 유리를 섞은 절연재료가 가장 많이 이용되는 재료로 알려져 있다.

alumina 기판은 사서 사용하며, 크기가 ±1/2% 이내 2차와 4mil/inch 이하로 휘어 있는 기판은 쉽게 살 수 있다. 기판의 크기는 1/8 × 1/8 inch(혹은 직경이 1/8 inch)에서 2 × 2 inch(혹은 직경이 2inch)까지가 대표적이며, 두께는 0.010inch에서 0.080 inch가 보통이다 많

이 사용되는 크기로는 1 × 1 × 0.024inch와 1 × 2 × 0.025 inch이다. 기판에 구멍을 뚫거나 특별한 모양으로 기판을 가공하는데는 특별한 공구들이 필요하며, 기판을 주문할 때 같이 주문하기를 추천하고 있다.

후막 소형화 회로와 monolithic이나 박막 소형회로가 다른 점은 기판상의 도체 금속면을 고진공 증착에 의하여 형성시키지 않고 screen 인쇄에 의해 만든다는 점에서 근본적으로 다르다. 도체용 잉크는 잘 갈아진 금속분말과 유리분말을 유기질 용액에 잘 섞어 만든다 스크린 인쇄에 이 잉크를 사용하고 전기로에서 가열하면 금속분말이 유리에 싸여 절연기판에 유기질에 의해 영구 부착되게 된다. 도체용 잉크에 사용하는 금속분말로는 귀금속류인 금, 은 뿐 아니라 은-palladium, 금-platinum, 금-palladium의 합금도 사용한다. 이 도체위에 도선, 저항, 카파시타층을 형성 연결하기 때문에 도선을 형성하는 막이 절연기판에 얼마나 잘 부착되는가는 대단히 중요한 요소가 된다. 이 부착력을 넓히 inch당 수직으로 가해 후막을 때낼 수 있는 힘으로 표시할 때, 25~35 lb/inch 이상이 되어야 한다.

도체의 저항치 또한 중요한 요소로서 귀금속 보다 합금 분말이 저항치가 높다. 실제회로에 사용할 때 면 저항이 0.05 Ω/□이하가 되어야 하며 금속 및 반도체와 연결시 접촉저항이 적어야 한다. 저항, 반도체등을 연결시 화학적으로 안정되어야 하며 높은 온도로 가열시 상태 변화등이 없어야 할 것이다. 또한 저항, 유전체 후막등과 납땀이 잘 될 수 있어야 하며, 높은 주파수에서 저저항 특성을 얻기 위해서는 표피효과를 고려하여야 한다. 마지막으로 폭이 좁은 도선을 저저항으로 형성할 수 있어야 한다. 보통 스크린을 통하여 폭이 4mil 정도의 도선은 인쇄할 수 있으며, etch된 금속 mask를 통해서 2mil까지의 폭을 인쇄할 수 있도록 재료는 개발되어 있다. 귀금속 분말 연고 및 합금 분말 연고에 관한 대표적인 특성을 표 1과 2에 표시한다.

다음으로는 인쇄용 후막 저항 특성을 간단히 살펴보기로 한다. 저항용 잉크도 도체 잉크와 마찬가지로 유기질 용액에 금속분말 및 유리분말을 섞어 만든다. 처음에는 탄소분말을 사용하였으나 현재 탄소분말은 사용치 않고, 은 및 palladium 가루, ruthenium oxide, thallium oxide 및 indium oxide등을 사용한다. 후막 회로중 저항 제작 과정이 가장 정밀을 요하며 요구되는 전기적 안정도가 가장 크다. 따라서 저항 연고를 용액에 섞어 잉크를 만들 때 잘 섞이도록 할 것이며 인쇄하는 중에 항상 일정한 점도를 유지 하도록 조절되

표 1. Material characteristics of representative silver and gold thick film conductor pastes.

Type	Sheet Resistivity (Ω/\square)	Printing and Drying	Firing Schedule (peak)	Thinner	Shelf Life	Adhesion	Bonding	Solderability
Silver (ESL-5964)	0.005	200-mesh screen. Dry at 100-125°C 15 minutes	750-850°C in air 10-15 minutes	Butyl cellosolve ESL 404	1 year	Excellent to alumina, beryllia	—	Soft solder with 3% Ag
Silver (Owens-Illinois 06103-5)	0.003 (0.3 mil thick)	220-325-mesh screen. Dry at 30°C for 2-5 minutes. Then oven dry at 100-125°C at 15 to 20 minutes.	600-900°C in air 5-15 minutes at peak temperature	OI thinner 06999	—	>2000 psi 100 mil diameter test pad	—	Good with Sn/Pb/Ag solder
Gold (ESL-8800B)	0.003 to 0.01	Dry at 120-130°C	850-1000°C in air 10-20 minutes	ESL 404 ESL 404	3-6 months	Good on alumina, fair on beryllia	Ultrasonic thermal compression	60/40 Sn/Pb, Au/Si Au/Sn
Gold (Owens-Illinois 06106)	<0.003 (0.5 mil thick)	Dry at 100-125°C 15-20 minutes	800-1000°C 5-15 minutes	OI thinner 06999	—	>2000 psi 100 mil diameter test pad	—	—

표 2. Material characteristics of representative alloy thick film conductor pastes.

Type	Sheet Resistivity (Ω/\square)	Printing and Drying	Firing Schedule (peak)	Thinner	Shelf Life	Adhesion	Bonding	Solderability
Palladium-gold (ESL 6831)	0.04-0.07 (0.8-mil film)	200-325-mesh screen. Dry at 100-125°C in air	875-1000°C 10-20 minutes	ESL404, pine oil, BCA	6 months	Good on alumina, will bond to beryllia	Eutectic	Gold alloy solders, Sn/Pb
Palladium-gold (Owens-Illinois 06140-5)	<0.06 (0.5-mil film)	200-325-mesh screen. Level room temperature 2-5 minutes. Dry 100-125°C 15-20 minutes	750-1000°C 5-15 minutes	OI 06999	—	>2000 psi 100-mil diameter test pad	TC parallel gap welding	Sn/Pb
Palladium-silver (Cermalloy S4000)	0.04 (0.6-0.8-mil film)	200 mesh. Dry 125-150°C 20 minutes	850-975°C 10-15 minutes	—	6 months	Good on alumina and beryllia	Ultrasonic, TC wire bonding	Sn/Pb, Sn/Ag, Sn/Pb/M
Palladium-silver (Dupont DP-8430)	0.03	200 mesh	850°C	—	—	6lb, 2.5 lb after 100 hr at 125°C	Ultraonics aluminum, TC gold wire bonds	Sn/Pb
Platinum-gold (Dupont 7553)	0.08	—	750-1000°C	—	—	2.4 lb, 1.0lb after 100 hr at 125°C	Ultrasonic aluminum, TC gold wire bonds	60Sn/40Pb 215°C

여야 할 것이다. 전기로내의 온도 및 belt 진행 속도의 변화는 저항치의 변동을 가져오므로 특히 주의해야 하며 온도는 $\pm 2^\circ\text{C}$ 이내로 속도는 $\pm 1\%$ 이내로 조정되어야 한다.

후막으로 만드는 저항의 면저항치는 $1\Omega \sim 1M\Omega/\square$ 의 범위내의 것이며, 주의하여 만든 저항의 오차범위는

$\pm 10\%$ 혹은 $\pm 20\%$ (3 σ 수준에서) 정도이다. 저항치에 영향을 미치는 요인으로는 절연 기관 및 Screen의 균일성, 후막저항이 놓이는 위치, 모양 및 크기, 전기로내의 단면 온도 분포, 인쇄한 후막의 두께등이다.

대표적인 후막저항의 ρ 는 온도의 함수이며 온도 T에 따라 다음과 같이 변한다.

표 3. Material characteristics of representative thick film resistor pastes.

Type	Sheet Resistivity (Ω/□)	TCR (ppm/°C)	Noise Quantec (dB)	Drift ΔR% 1000hr	VCR (ppm/V.in.)	Printing and Drying	Firing Schedule (peak)	Conduct or Terminations
DuPont Birox 1000 series	10-1M	<100 25-125°C	-30at 100Ω/□ 0 at 100KΩ/□	<0.2%	<-20 at 10KΩ/□	165-or 200-mesh screens. Level at room temperature for 5 minutes. Dry at 100-150°C 10-15minutes	760-850°C 6-12 minutes	Pd/Ag Pd/Au Au Pt/Au
DuPont Certi-Fired 7800 series	10-100K	<300 25-125°C	-18at 100Ω/□+22 at 100KΩ/□	<1%	<-50 at 10KΩ/□	Same	700-780°C 3-10 minutes	-
EMCA Firon series	30-1M	<130 -55+200°C	-28 for 100Ω/□+12 at 100KΩ/□	<0.5%	-	200-mesh screen. Usual preheating and drying cycles	1800-1900° F 10-25 minutes	-
ESL 3800 series	50-10M	±100<1000Ω/□ ±50 1000-100,000Ω/□	-20 to -26 for 100Ω/□	<0.2%	60-100in range 100K, 200KΩ/□	200-mesh screen. Level at room temperature for 5 minutes. Dry at 100-125°C 15minutes	980-1050°C 15minutes	Pd/Au, Pt/Au, Au

$$\rho = TA \frac{\alpha}{ekT} \dots\dots\dots (1)$$

여기서 A는 재료 상수, α는 activation 에너지 그리고 k는 Boltzman 상수이다. 이 저항치는 온도 $T_m = \frac{\alpha}{k} (^{\circ}K)$ 에서 최소치를 가지며, 일반적으로 저항치의 온도변화율(표 3에서 TCR)은 ±100 ppm/°C로 3.5~4KΩ 이하에서 +값을, 그 이하에서는 -값을 보인다. 그 외의 대표적인 특성은 표 3에 표시한다.

후막저항치가 설계치에서 ±5%~±25%나 다르기 때문에 만들어진 저항을 조정하여 원하는 저항치로 만드는 방법이 필요하다. 이 방법으로는 alundum 분말을 후막저항에 큰 속도의 공기로 불어 때려 저항을 깎아내는 airbrasive trimming, Laser를 이용하는 방법, 초음파를 이용하는 방법 및, 후막저항에 전류를 통과시켜 표면에 산화막을 형성시킨다든지 하여 조정하는 thermal trim 방법등이 이용된다. 저항치는 air brasive 방법으로 원하는 값에서 ±0.1% 정도 이내로, Laser trim으로 0.01% 이내로 조정할 수 있다.

다층 후막을 형성할 때, 도체와 도체면간을 절연시키고, 회로 부품을 싣는다면, 후막 카파시타를 만들기 위해서는 유리 및 세라믹 가루를 유기질 용액에 섞은 잉크를 인쇄하여 유전체 막을 만든다. 대표적인 유전체 연고의 특성을 표 4에 표시한다. 유전율이 1200-1500 되는 유전체로 층당용량 100~200 μF/in²까지의

후막 카파시타를 만들 수 있다. 손실이 적은 유전체로 높은 주파수에서 사용할 수 있는 카파시타를 만들며, 1MHZ에서 Q가 400~850정도이고, 용량이 2~100pF 정도의 후막 카파시타를 만들 수 있다. 설계치로부터 2차 범위는 ±5%~±20% 정도이며, 온도 변화율은 약 250ppm/°C정도이다. Q는 10MHZ까지는 거의 일정하나, 그 이상의 주파수에서는 떨어진다. 높은 주파수대에서 (UHF 혹은 마이크로웨이브) 인쇄에 의해 Spiral inductor를 약 0.2μH까지 만들 수 있으나, 보통 Indnctor 대신 능동소자 및 C를 사용하거나, Chip inductor를 사용한다. 용량 및 저항치의 범위가 후막으로 만드는 것 보다 chip으로 사서 사용하는 것이 경제적인 경우가 많으며 저항 및 카파시타로 능동소자와 더불어 Chip으로 사서 사용하므로써 오히려 Hybrid 회로의 장점이 되고 있다.

지면 관계로 각종 Chip 부품에 대해서는 생략하겠으며, 능동소자는 IC등에서 설명될 수 있는 기회가 있으리라 생각되어 생략하겠다. 또한 Chip을 기판의 회로에 연결하기 위한 wire 및 Chip bonding에 관한 설명도 생략한다. 이러한 기술은 Hybrid IC와 monolithic IC간에 차이점이 없다. 다만 Hybrid IC에 능동 Chip을 wire로서 연결 시키는 대신, Chip 한쪽면에 모든 연결단자(직경 6mil정도)가 나와 있어 기판에 wire를 사용하지 않고 직접 연결할 수 있는 flip Chip을 많이 사

4. Material characteristics of representative thick film dielectric pastes.

Type	Dielectric Constant (K)	Sheet Capacitance (pF/in. ² /mil)	Dielectric Strength (V/mil)	Insulation Resistance (Ω/in. ² /mil)	Dissipation Factor	Temperature Coefficient	Screening Drying	Firing Schedule (peak)
Owens-Illinois 06201-S	6	1,500	>1,000	>10 ¹³ 10V	<0.002 25°C 1kHz	±4% -50 to +150°C	165-200 mesh. Print one or two coats with two wet Passes	875°C 10 minutes
Owens-Illinois 06220-S	20	5,000	>300	>10 ¹⁰ 10V	Same	±6% -50 to 150°C	per coat. 165 or 200 mesh screen. Level	875°C 10 minutes
Owens-Illinois 06275-S	130	30,000	>300	>10 ¹¹ 10V	0.008	-50 to 0°C +10% 0 to 150°C ±100 ppm/°C	at 30°C 5 minutes Dry at 100-125°C 15-20 minutes	875°C 10 minutes
Dupont (K500) 8229	300-800 (1 kHz)	25,000 -85,000	-	>10 ¹¹ 10-100V	1-2% 1 kHz	±20% -50 to +100°C	200 mesh Double print. Dry 10-15 minutes at 125°C after each print	850-1000°C 10 minutes
ESL(K1000) 4510	1,000 ±300	70,000 175,000	-	>10 ⁹ 50V	2.5-4% 25°C 1 kHz	-	Same as above	925-1050°C 10-20 minutes
Du Pont (K1200) DP 8289	800-1,200	52,000-160,000	-	>10 ⁹ 100V	<3.5% 25°C 1 kHz	±10% 0 to 105°C	Same as above	1050°C 10minutes

용한다.

인쇄하여 전기로에서 가열된 기판 회로에 필요한 능동 부품 및 수동 부품을 연결하면 회로가 완성된다. 완성된 회로를 보호하고, 열전도 경로 및 다른 회로와 연결할 수 있도록 외부로 선이 나와 있는 포장용 하케 된다. 포장 모양도 여러가지로 can이나 butterfly, platform, flat pach case등을 사용한다. 포장체로는 금속체 외에 유리, 세라믹, 플라스틱 및 에폭시등을 사용하고 있다.

3. Hybrid 생산 시설 및 생산 비용

후막 Hybrid 생산을 위해 필요한 시설비는 1973년 초에 조사된 바로는 최소 \$25,000이라 하며, 좋은 시설을 위해서는 \$100,000~\$125,000이 필요하다고 한다

일반적으로 IC가 상품화 되어 있으면 IC를 사서 사용하는 것이 Hybrid IC를 만드는 것보다 싸다. 상품화된 IC가 없고 약 50,000개 이하의 어떤 회로가 필요하면 hybrid IC로 만드는 것이 IC로 만드는 것보다 싸다고 한다¹⁾ 또한 어느 회사의 hybrid IC 제작에 들어가는 전 비용을 볼때 ① 수동회로에 5~15%, ② 추가 부품에 40~60%, ③ 노동력 10~15%, ④ 포장에 10~20%, ⑤ 시험과정에 10~15%로서, 가장 큰 가격요인은 추가 부품에 의존한다. 즉 트랜지스터, 다이오드, Chip 카파시터, IC등이 hybrid의 가격을 좌우하

게 된다고 한다.

4. 결론

비교적 값싼 시설비로 만들 수 있는 후막 hybrid IC를 소개했다. 자동차 공업 및 상용 전자 공업분야에 이 기술이 많이 이용되고 있으며, 앞으로 hybrid 기술로 고전력 측정 및 제어회로의 전기 기계 스위치를 대체할 가능성이 크다고 한다. 또한 마이크로파대 이상의 주파수에서 각종회로를 트랜지스터 및 다이오드를 사용하고 박막 hybrid 회로를 이용하여 소형화 하는 연구가 활발하며, 이 주파수대에서 각종 장치의 가격을 저렴하게 만드는 데 크게 공헌하리라고 기대되고 있다²⁾

참고 문헌

1. Richard A. Rikoski, Hybrid Microelectronic Circuits The Thick Film, John Wiley and Sons, Inc., New York. 1973
2. Theodore C. Reissing, An Overview of Today's Thick-Film Technology, Proc. IEEE, Vol. 59, No. 10, Oct 1971
3. Harold Sobol, Applications of Integrated Circuit Technology to Microwave Frequencies, Proc. IEEE Vol. 59, No. 8, Aug. 1971. 1200-1211
4. Jeffrey Frey, Raymond Bowers, What's ahead for microwaves, IEEE Spectrum. March 1972, 41-