

集積回路에서의 Isolation

— 차 례 —

- 1. 서 론
- 2. p-n junction을 사용한 Isolation⁽¹⁾
- 3. 산화막을 사용하는 방법⁽²⁾⁽³⁾
- 4. Silicon-on-Sapphire⁽⁴⁾
- 5. 결 론

1. 서 론

集積回路에서는 한개의 Silicon chip위에 여러개의 素子를 동시에 제작한 후 이들 素子를 상호 연결하여 하나의 回路를 구성한다. 이때 素子간의 불필요한 상호작용(Interaction)을 제거하기 위하여 각각의 素子는 Isolate되어 있어야 한다. 集積回路가 아닌 일반회로에서는 각각의 素子를 따로 제작하여 회로기판에서 연결하므로 素子간의 Isolation은 기판과 공기에 의해 이루어진다. 그러나 集積回路에서는 각素子가 수 10 μ 정도의 간격을 두고 동일한 Chip上에 있으므로 각 素子간의 Isolation을 위하여 특별한 기술을 사용하여야 한다. 본 논문에서는 集積回路에서 사용되는 몇가지 Isolation 방법을 소개하고자 한다.

2. p-n junction을 사용한 Isolation⁽¹⁾

p-n junction에 역방향의 전압을 가하면 여기에 흐르는 전류는 10~100nA/cm² 정도로 극히 미소한 양이며 따라서 p-n junction의 p-영역과 n-영역은 전기적으로 격리되어 있다고 볼 수 있다. 이러한 p-n junction의 성질을 이용하여 두개의 n-p-n transistor를 Isolate 시킨 것을 그림 1에 보였다. 이와같이 n-p-n transistor 들을 격리시키려면 p-type substrate에

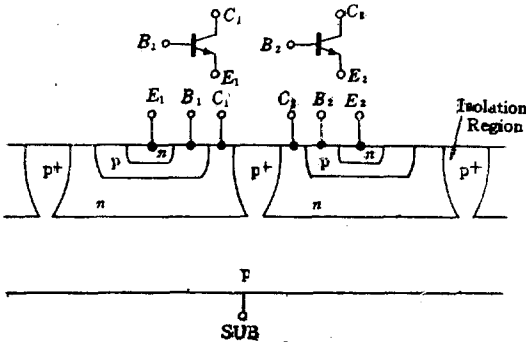


그림 1. p-n junction을 사용하여 두개의 n-p-n transistor를 isolate시킨 모양

n-type epitaxial층을 올리고 p⁺ 확산으로 Isolation Region을 만든 다음 각 transistor의 Base Emitter를 확산에 의하여 제작하면 된다. 이와같은 transistor들이 Isolate 되려면 각 transistor의 collector에는 正方向의 전압을 가해주고 p-type substrate에는 負전압을 가하던가 혹은 접지 시켜야 한다. 일반적으로 n-p-n transistor의 collector에는 正方向의 전압이 가해지므로 集積回路를 만든 p-type substrate를 접지 시키면 간단하게 Isolation을 얻게된다.

그림 2와 그림 3에는 이와 같은 Isolation을 이용한 Direct Coupled Transistor Logic 회로를 보였다. 이 회로에서 먼저 유의할 점은 그림 2의 Q₁과 Q₂의 Collector가 서로 연결되어 있다는 것이다. 따라서 Q₁과 Q₂의 Collector는 같은 n-type epitaxial layer에 제작할 수 있다. 그러나 Q₃의 Collector는 Q₁, Q₂의 Collector와 Isolate 되어 있어야 하므로 그림 3에서와 같이 Q₁, Q₂를 하나의 Isolate된 n-영역에 두고 Q₃를 다른 Isolate 된 영역에 두면 된다. 저항 R₁과 R₂는 그림 3에서와 같이 별개의 Isolate된 n-영역에 p-type 확산으로 제작한다. 여기에서 주의할 점은 저항으로 사용되는 p-영역과 저항이 있는 n-영역에 역방향의 전압을 가해야 한다는 것이다. 그림 -3에서는 이것을 n-영역에 Vcc를 가함으로써 이루고 있다. 이 회로를 동작시킬때 Vcc에 正전압을 가하므로 저항에 전류가 흐르던

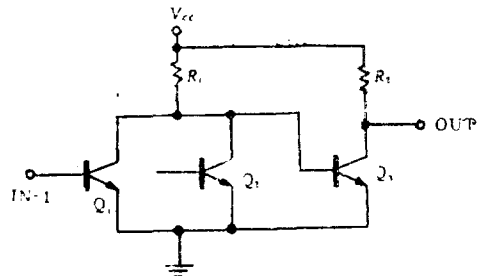


그림 2. Direct Coupled Transistor Logic회로

* 正會員 · 韓國科學院教授(工博)

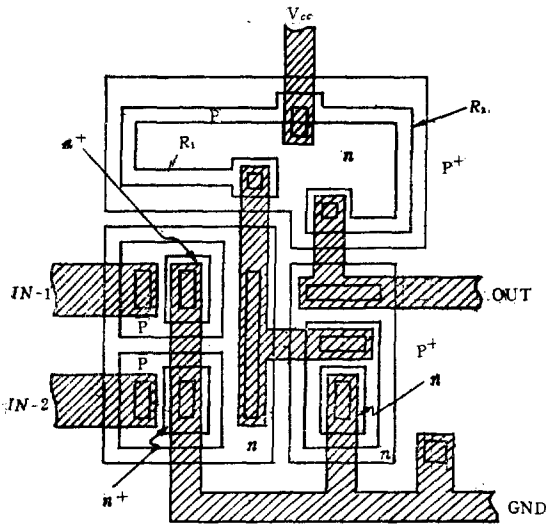


그림 3. 그림1의 DCTL을 集積回路化한 모양

자연히 역방향의 전압이 가해진다. 또 한가지 유의할 점은 substrate인 p-영역을 접지 시킨 것이다. 앞에서 언급한 바와 같이 Q_1, Q_2, Q_3 의 Collector에는 正전압이 가해지므로 Substrate를 접지하면 Collector와 Substrate에는 역방향의 전압이 가해지고 따라서 Isolation을 얻는다.

역방향의 전압이 걸린 p-n junction은 직류에 대해서는 거의 Open Circuit의 역할을 하지만 A.C. 에 대해서는 Capacitor의 역할을 한다. 따라서 R_2 와 V_{cc} 와 간에는 회로(그림 2)에 표시되어 있지 않은 Capacitor가 생기며 이것은 출력단자의 부하 Capacitor로 동작한다. 集積回路에서 이와 같이 발생하는 Capacitance를 parasitic capacitance라고 하며 이것이 集積回路의 특수한 점이다.

p-n junction을 사용하는 Isolation방법은 Bipolar Transistor를 사용하는 集積回路에서 가장 널리 사용되는 방법으로 Operational Amplifier, TTL, ECL Radio와 T.V.용 集積回路에 이용되고 있다.

3. 산화막을 사용하는 방법^{(2),(3)}

p-n junction을 이용하는 Isolation에서는 p⁺ 확산에 의하여 n-type의 epitaxial층을 격리 시킨다. 이때 확산에 의하여 형성되는 p⁺ 영역은 높은 불순물의 농도를 갖게되며 그 결과 parasitic capacitance가 증가한다. 이러한 점을 개선하기 위하여 확산에 의하여 형성되는 p⁺영역을 산화막으로 대체시킬 수 있다. 이것을 그림 4에 보였다. 이와같은 集積回路를 제작할 때는 (100)방향의 p-type substrate에 n-type epitaxial층을

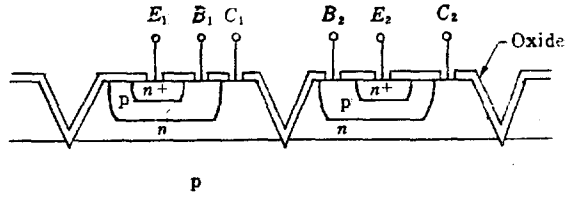


그림 4. 산화막을 사용한 Isolation

올리고 이 epitaxial층을 화학약품을 사용하여 V자 모양으로 蝕刻시킨다. 다음에 SiO₂층을 형성하고 확산에 의하여 Transistor의 Base와 Emitter를 만든다. 이 방법은 미국의 Harris Semiconductor 회사에서 많이 사용하고 있다. p-n junction보다 성능은 좋으나 V자 모양으로 蝕刻하는 기술이 특수한 것이므로 널리 사용되지는 않고 있다.

4. Silicon-on-Sapphire⁽⁴⁾

위에서 언급한 두가지 방법에서는 p-type의 substrate와 n-type의 Collector간에 역방향의 전압을 가하여 각각의 Transistor를 Isolate시키고 있다. 단일 p-type substrate를 반도체 아닌 유전체로 대체시킬 수 있다면 p-n junction에서 오는 leakage 전류와 Capacitance의 영향을 완전히 제거시킬 수 있을 것이다. Sapphire는 유전체이나 이 위에 거의 완전한 결정구조를 가진 Silicon epitaxial층을 얻을 수 있는 특징을 갖고 있다. 이러한 성질을 이용하여 Sapphire 위에 수 μ 의 Silicon 층을 얻은 다음 이 Silicon에 각종의 素子를 만들고 각 素子사이의 Silicon을 蝕刻에 의하여 제거하는 기술을 Silicon-on-sapphire라고 한다. 그림 5

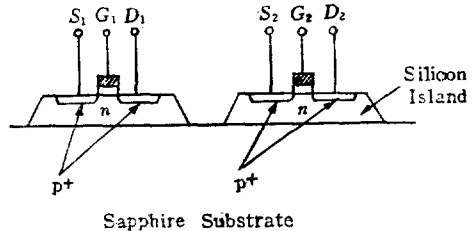


그림 5. Silicon-on-Sapphire를 사용한 MCS transistor

에 이와 같은 방법으로 제작된 MOS Transistor를 보였다. 이와 같은 集積回路는 사실상 회로기판위에 각각의 素子를 놓고 이 素子들을 연결한 결과와 같다. Sapphire는 이렇게 생각할 때 회로기판의 역할을 한다. 그림 5에서는 p-channel MOS를 예로 들었지만 요즘은 CMCS도 이러한 방법으로 제작하고 있다. CMCS의 경우 Sapphire 위의 Silicon은 p-type과 n-type이

필요하다. Sapphire 위에 Silicon을 얹는 과정에서 p-type과 n-type을 동시에 얹는 것은 현재의 기술로는 불가능하므로 보통 n-type의 균일한 Silicon을 얹은 다음 Ion-implantation을 사용하여 부분적으로 Silicon을 p-type으로 바꾼다. 이와같이 제작된 CMOS는 n-type의 Substrate에 p-well을 만든 후 p-well과 n-type substrate에 n-channel과 p-channel을 각각 제작하는 일반적인 CMOS보다 높은 集積率을 갖게 될 것이다. Silicon-on-sapphire 기술은 미국의 RCA에서 오랜 연구 끝에 개발된 것으로 요즘은 여러가지 상품도 나와 있다.

5. 결 론

集積回路에서 사용되는 3가지 Isolation 방법에 대하여 알아보았다. 이외에도 Poly-silicon과 산화막을 이용하는 방법, Anodic Aluminum을 이용하는 방법 등이 있으나 아직 연구 단계에 있으므로 여기에서는 자세한 설명은 생략하기로 한다. 반도체를 이용한 集積回路의 특징은 끊임없이 새로운 Idea가 나오고 이에 따라서 제품의 성능이 빠른속도로 개선된다는 것이다. 그 결과 너무 많은 종류의 集積回路가 있다는 것이 단점으로 지적될 수도 있겠으나 한편 설계자의 요구에 가장 알맞은 集積回路를 선택할 수 있다는 점은 集積

회로의 다양성이 갖고 있는 장점이라고도 할 수 있을 것이다.

끝으로 본 논문을 발표할 기회를 마련하여 주신 전기학회 여러분께 감사를 드린다.

참 고 문 헌

1. Raymond M. Warner, Jr. and James N. Fordemwalt, Integrated Circuits, Motorola Series in Solid-state Electronics, McGraw-Hill, New York, 1965
2. T.J. Rodgers and James D. Meindl, "Epitaxial V-Groove Bipolar Integrated Circuit Process," IEEE Transaction on Electron Device, March, 1973
3. M.J. Declercq, "A New C-MOS Technology using Anisotropic Etching of Silicon," IEEE Journal of Solid state Circuits, August 1975
4. Ram S. Ronen and Paul H. Robinson, "Recent Advances in Thin-Film Silicon Devices on Sapphire Substrates," IEEE Proceedings, October 1971

<p. 38계속>

非晶質半導體의 光學的 現象을 利用한 標示裝置, 印寫(Printng), 光情報蓄積에의 應用도 開發되고 있다. 非晶質 Se의 Xerography에의 利用은 잘알려진 應用例이며, 레이저光으로 非晶質薄膜위에 情報를 記錄케 하는 Optical Mass Memory는 將來性있는 分野라 하겠다. 이것은 結晶化에 따르는 薄膜의 光透過率의 變化를 利用하여 情報의 記錄과 記錄의 萃出을 行할 수 있도록 한 것이다. 레이저光대신 電子빔에 의하여 記錄토록 하는 提案도 있다.

6. 結 論

非晶質半導體素子는 開發이 進行中에 있는 것이 大部分이며 그들의 信賴性등 많은 問題點을 內包하고 있으나 記憶素子로서는 相當한 水準으로까지 開發되어 있다.

現在는 새로운 非晶質材料에 대한 研究들이 進行中이다. 특히 電氣의 스위칭, 記憶現象대신 光學的 情報

蓄積에 關한 現象과 그材料에 대한 問題가 많이 檢討되고 있는 것 같다.

以上과 같이 非晶質半導體는 理論面에 있어서나 應用面에 있어서 많은 發展이 期待되는 開發對象이다.

參 考 文 獻

- [1] "Special Issue on Amorphous Semiconductor Devices," IEEE Trans., ED-20, Feb. 1973.
- [2] P.G. Le Comber and J. Mort(Ed.), Electronic and Structural Properties of Amorphous Semiconductors, 1973, Academic Press, London.
- [3] D. Adher, Amorphous Semiconductors, 1972, CRC.
- [4] J. Stuke and W. Brenig, Amorphous and Liquid Semiconductors Proc. of the 5th Intr. Conf. on Amorphous and Liquid Semiconductors, Taylor & Francis Ltd., London, 1974