

電卓의 基本回路

林 寅 七

漢陽大學校 電子工學科 副教授, 工博

電卓에는, bipolar IC에 比하여 集積化가 容易하며 消費電力이 적은 MOS IC가 主로 使用되고 있다. MOS IC의 特性은 電卓의 設計上 必要한 조건과 잘 부합되어 그 回路設計 및 製造工程은 電卓의 發展과 깊은 關係를 가지고 成長해 왔다.

本文에서는 電卓에 使用하는 몇가지 基本的인 回路에 關하여 記述한다.

1. 基本的인 論理回路

(1) Inverter

그림 1은 MOS IC에 依한 inverter回路이다. 入力게이트에 threshold電壓 以下의 電壓이 印加 되면 Q_1 이 ON狀態로 되어 出力 Q_1 의 드레인은 거의 0V로 된다. 여기서 Q_2 는 게이트를 드레인에 접속하여 負荷抵抗으로서의 역할을 한다. 가령 入力게이트에 0V가 加해지면 Q_1 이 OFF狀

態로 되어 出力단자에는 -24V가 나타나게 된다.

실제로 電卓構成에 使用되고 있는 inverter IC μ PD1(5 inverter)을 例로서 살펴보면, 그 回路圖 및 端子接續은 그림 2와 같다.

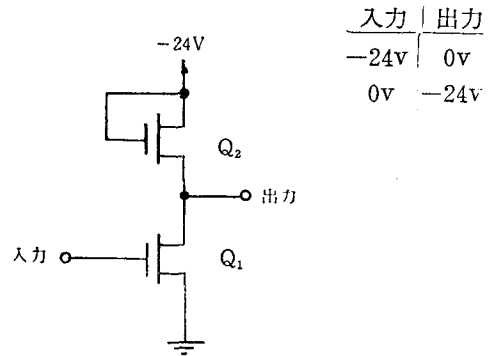


그림 1. INVERTER回路와 電壓眞理值表

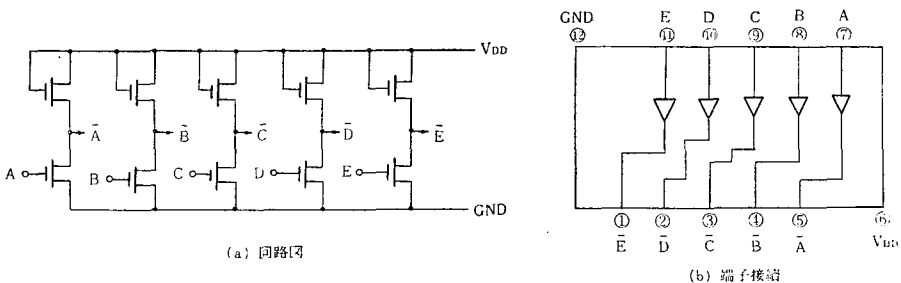
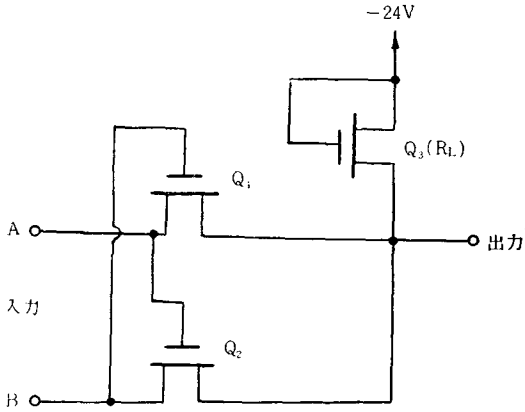


그림 2. μ PD1의 回路圖 및 端子接續



A	B	出力
-24v	-24v	-24v
-24v	0v	0v
0v	-24v	0v
0v	0v	-24v

그림 3. EX-OR 回路와 電壓眞理值表

(2) Exclusive OR(排他的論理和)回路

Ex-OR회로는 加算器의 基本回路로서, 入力端子가 두個일 경우 서로 相反되는 信號 즉 "0"와 "1"이 두入力에 加해질 때만 出力이 "1"이 되며, 兩入力이 同一한 信號가 印加될 때는 出力은 "0"으로 된다.

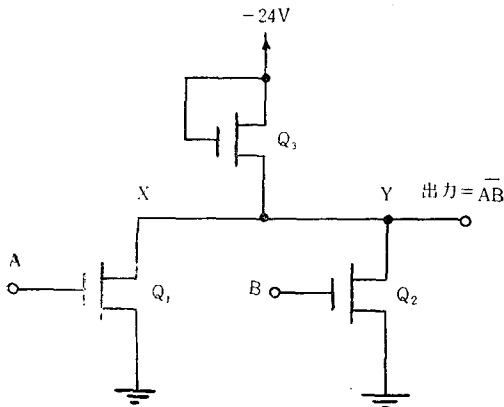
그림 3은 MOS에 依한 Ex-OR회로이다.

여기에서 Q_3 는 負荷抵抗이며, Q_1, Q_2 가 스위칭용으로 使用된다. 가령, 入力에 $A=-24V, B=-24V$ 가 加해지면 Q_1, Q_2 의 게이트에 각각 $-24V$ 가 印加되어 Q_1, Q_2 모두 ON狀態로 되고, 出力은 $-24V$ 로 된다. 가령, 入力에 $A=0V,$

$B=-24V$ 가 加해지면, Q_1 의 게이트는 $-24V$ 로서 Q_1 은 ON, Q_2 의 게이트는 $0V$ 로서 Q_2 는 OFF로 된다. 따라서 電流는 Q_1 의 소-스로부터 드레인을 向해 흐르며, Q_1 의 入力 $0V$ 가 出力에 傳達되어 出力은 $0V$ 로 된다. 그리고 入力 $A=B=0V$ 이면, Q_1 과 Q_2 가 모두 OFF로 되어 出力은 $-24V$ 로 된다.

(3) NAND회로

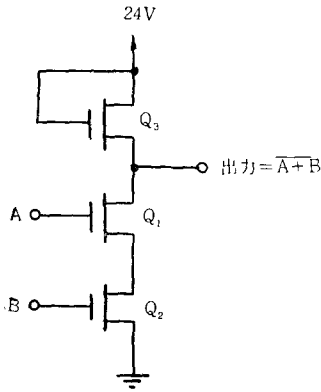
그림 4에 MOS IC에 依한 NAND회로를 圖示하였다. 이 回路에서 Q_1, Q_2 는 inverter로서의 역할을 하고, Q_1, Q_2 의 出力 X, Y 가 接續되어 OR의 動作(Wired OR)을 하고 있다. X, Y 는 각각 \bar{A}, \bar{B} 로서 出力은 $\bar{A} + \bar{B} = \overline{AB}$ 로 NAND회로이다.



A	B	出力
-24v	-24v	0v
-24v	0v	0v
0v	-24v	0v
0v	0v	-24v

(0V ≡ "1"
-24V ≡ "0")

그림 4. NAND회로와 電壓 眞理值表



A	B	出力
-24v	-24v	0v
-24v	0v	-24v
0v	-24v	-24v
0v	-24v	-24v

(-24V ≡ "0"
0V ≡ "1")

그림 5. NOR회로와 電壓眞理値表

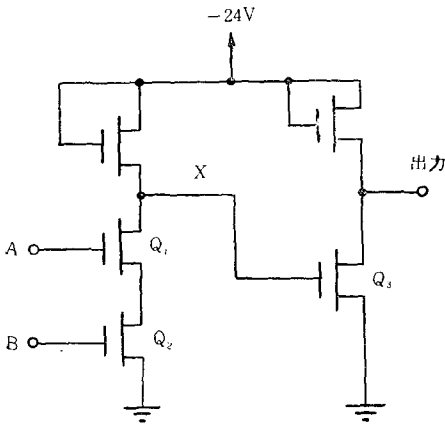


그림 6. OR 회로

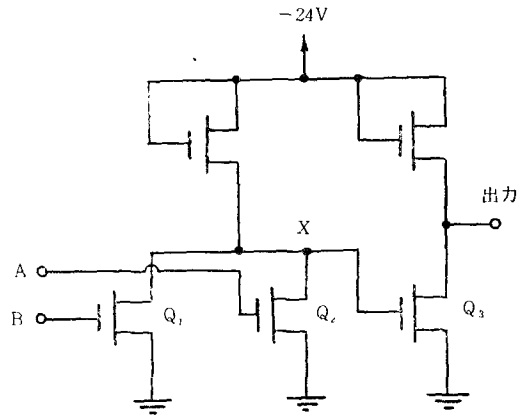


그림 7. AND 회로

(4) NOR회로

그림 5에 MOS IC에 의한 NOR회로를 나타내었으며 이 회로의 出力은 $\overline{A+B}$ 로 되어 그림의 眞理値表와 같이 動作한다.

그림 6의 회로에서 Q_1 과 Q_2 는 NOR 게이트를 構成하고 있으므로 $X = \overline{A+B}$ 로 된다. 여기서 Q_3 는 inverter이므로 出力은 $A+B$ 로 되어 OR 게이트가 된다. 그림 7의 회로는 NAND게이트와 inverter로서 構成되는 AND게이트이다. 즉, $X = \overline{AB}$ 이며 出力은 AB 로 된다.

실제로 電卓構成에 使用되는 IC로서 HD-704MC(Dual 4AND Gate)와 HD-706M(Dual 2AND-2OR Gate)를 例로서 살펴보기로 한다. HD-704M은 그림 8과 같이 4入力 AND게이트 두개가 들어있는 IC이다. 각 게이트의 出力은 I 와 J 이며, $I = ABCD$ 이고, $J = EFGH$ 로 된다. 즉, Q_1, Q_2, Q_3, Q_4 는 入力게이트가 構成된다. 마찬가지로 Q_7, Q_8, Q_9, Q_{10} 은 入力 E, F, G, H인 NAND게이트이고, Q_{11} 이 inverter로서 AND게이트가 構成된다.

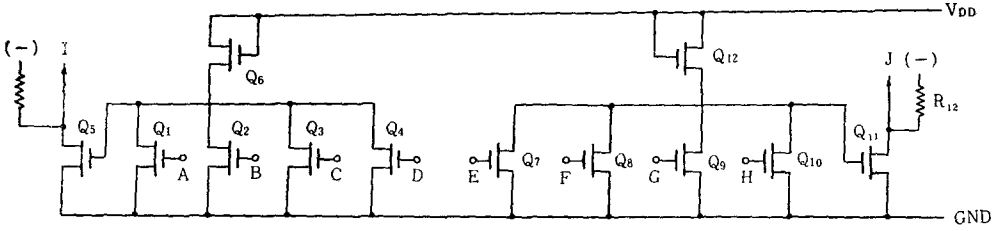
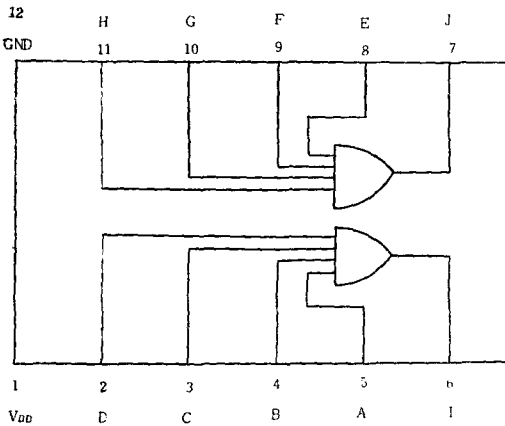


그림 8. HD-704M의 回路圖와 端子接續 (a) 回路圖



(b) 端子接續

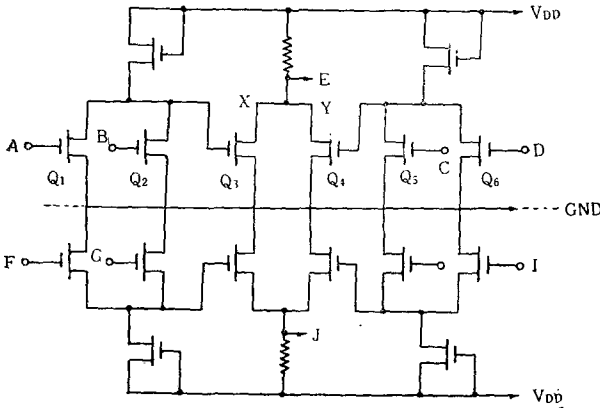
HD-706M은 그림 9의 回路와 같이 點線의 上, 下側에 각각 2AND-2OR게이트로 構成되어 있다. Q_1, Q_2, Q_3 는 AND게이트를 構成하고, $X = \overline{A+B} = AB$ 이다. 또 Q_4, Q_5, Q_6 도 AND게이트로서 $Y = \overline{C+D} = CD$ 이다. 여기서 X와 Y는 線으

로 接線된 OR, 즉 Wired OR로 構成되어 있어 出力 $E = X + Y = AB + CD$ 로 된다. 마찬가지로 $J = FG + HI$ 로 된다.

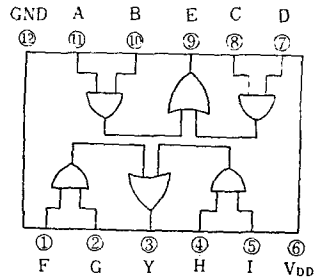
(6) 多機能 MCST ARRAY

이것은 여러가지 用途에 使用하는 MOS트랜지스터 IC로서, 例를 들면 그림 10의 (a)와 같은 HD-708M은 電卓에서 다음과 같은 곳에 使用된다. 즉, inverter, EX-OR, address branch等に 使用된다.

그림 10의 (b)는 inverter로서 使用하기 위한 接續方法이며 ⑥, ⑧, ⑩의 각 소-스핀을 接地시키고 ④, ③, ②, ①의 게이트에 각각 入力信號를 印加하면 ⑤, ⑦, ⑨, ⑪의 드레인에서 각 出力信號가 나온다. 이것은 앞에서 설명한 μ PD1과 같은 原理이다. 또 그림 10의 (c)와 같이 接續하면 ⑤ 및 ⑧⑩을 각각 入力으로 하는 두개의 EX-OR 回路가 된다. 이때 出力端子는 각각 ⑥과 ⑩이



(a) 回路圖



(b) 接續端子

그림 9. HD-706M의 回路圖와 端子接續

電卓의 基本回路

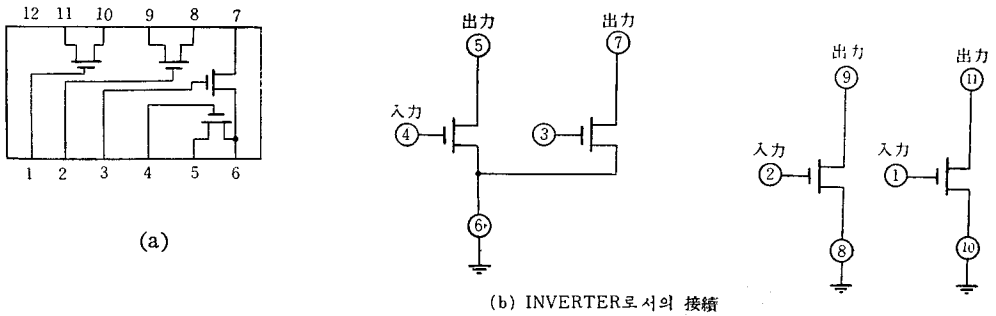
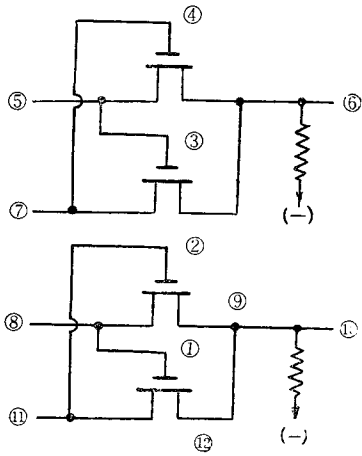


그림 10. HD-708M의 回路와 用途別 接續



(C) Ex-OR回路로서의 接續

된다. 또 이 回路는 接續方法에 따라 address branch回路로서도 使用할 수 있다.

2. 電卓에 使用되는 Flip-flop回路

Flip-flop(FF)은 1bit의 情報를 記憶할 수 있으며 外部에서 펄스를 加하지 않는 한 그 狀態를 保持하고 있다. 電卓內部에서는 2進化10進數로서 演算處理가 되고 있다. 따라서 10進數 한자리에 네個의 FF가 필요하다. 例를 들어서 12자리까지의 演算이 되는 電卓의 경우는 적어도 48個의 많은 數의 FF가 使用되므로 트랜지스터등의 個別部品을 使用할 경우 그 부피가 대단히 커지게 된다. 따라서 MOSIC가 使用된다.

FF는 D形 FF, RSS形 FF, J-K FF等이 使用된다. D形FF는 電卓의 內部에서 主로 Shift register로서 使用된다. 여러개의 D形FF가 직렬로 접속되어 情報를 記憶하고 있다가 同期펄스가 加해질때 그 內容을 右 또는 左로 shift시키는 動作을 한다. 그리고 D形FF를 포함하여 RSS形FF, JK形FF는 番地의 指定 또는 狀況判斷用에 使用된다. 電卓은 演算을 行할 경우 몇개의 단계로 나누어 分擔되어 처리되며, 그 단계 하나하나를 番地라고 부른다. 일을 처리할 경우에는 그 場所 즉 番地를 指定하면 된다. 이를 위하여 使用되는FF가 D形, RSS形 및 JK形이다. 그리고 狀況判斷은, 例를 들면, 乘算은 加算의 반복이므로 乘數를 被乘數回만큼 加算하면 된다. 이 加算은 같은 일을 반복함으로 同一한 番地에서 行해지나, 그 乘數回만큼 加算하였는지를 判斷하여 加算을 停止시키지 않으면 안된다. 그러나, 실제로는 1回餘分으로 加算되었을 때를 判斷하여 다른 일을 行하는 다음番地에서 1回分만큼 減하여 올바른 값을 얻도록 되어 있다. FF回路의 動作原理를 說明하기 前에 FF의 記憶과는 달리 어떤 時間동안 記憶했다가 소멸되는 一時記憶回路에 關하여 살펴보기로 한다. 이 一時記憶回路는 記憶한 內容을 소멸하기 前에 다음의 一時記憶回路로 옮겨진다.

그림 11에 一時記憶回路의 動作을 나타내었다.

G_1 또는 G_2 에 threshold電壓以下의 負電壓을 加했을 때만이 소-스와 드레인間이 導通하게 된다. 動作波形에 나타낸 바와 같이 G_2 가 V_{TH} 以

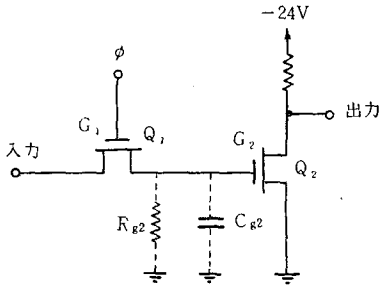


그림 11. 一時記憶회로와 動作波形

下이며 出力이 0V狀態에서 入력에 "1"의 電壓 (높은 電壓)이 ϕ 와 同期되어 印加된 P_1 의 경우를 생각해 보기로 한다. 入力電壓은 ϕ 에 同期되어 들어와서 G_2 에 傳해진다. 이 狀態에서는 G_2 는 入力電壓을 保持하고, 出力은 낮은 電壓으로 된다. 다음에 出力에 낮은 電壓이 ϕ 에 同期되어 加해졌을 경우는 G_2 가 낮은 電壓으로 바꾸고, G_2 의 電位는 $R_g C_g$ 의 時定數로서 放電하여 Q_2 의 V_{TH} 以上에 도달 할 때 까지 Q_2 가 ON狀態로 되어 있고, 出力은 높은 電壓을 保持하게 된다. 後述할 FF회로는 이상의 動作을 利用한 것이다.

RSS形FF: 一時記憶회로에서는 永久히 "1"의 狀態를 記憶할 수 없었으나 RSS形FF에서는 한번 入力信號가 들어와서 "1"로 SET되면 RESET信號가 加해질 때 까지 "1"의 狀態를 保持하게 된다. 회로는 一時記憶회로의 出力波형을 入力側에 歸還시키면 永久히 SET狀態가 지속된다. "0"狀態로 RESET시킬 때는 歸還회로의 動作을 정지하게 하면 自然히 "0"狀態 즉 RESET狀態로 돌아간다. 그림 12는 MOS IC에 依한 RSS形FF이다. 一時記憶회로의 出力에서 Q_R 을 통해서 歸還되어 있다. Q_R 이 導通狀態에 있는 限 歸還動作이 成立되어, 그림 12에 圖示한 바와같이, SET入力信號를 加하여 出力=入力の 關係가 成立되어 있는 동안, RESET入力이 들어올 때 까지 出力은 "1"의 狀態를 保持한다. R는 負荷抵抗이며 diode D는 逆流防止用이다.

만일 SET, RESET兩入力에 同時に 信號가 加해질 경우는 RESET信號에서 歸還회로가 차단되지만 SET信號가 加해지므로 SET狀態로 된다. 즉, RSS形FF는 SET優先회로이다.

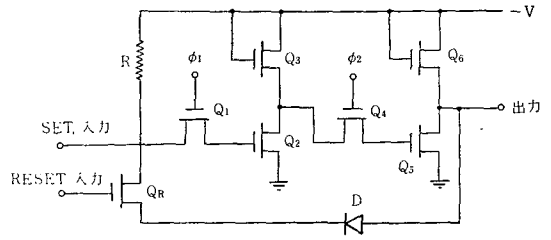
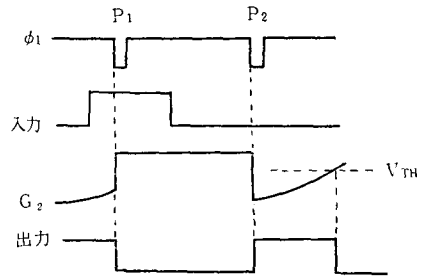


그림 12. RSS形 FF회로와 動作波形

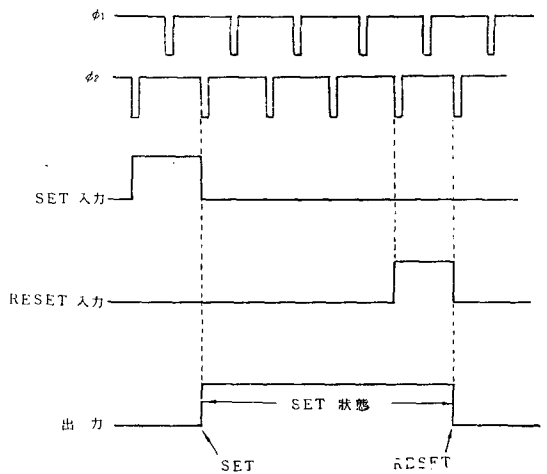


그림 12. RSS形 FF회로와 動作波形

電卓의 基本回路

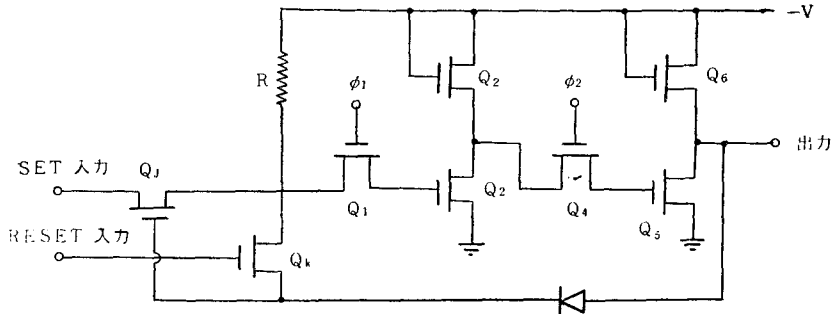
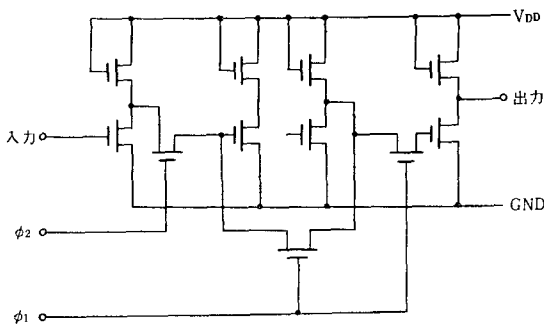
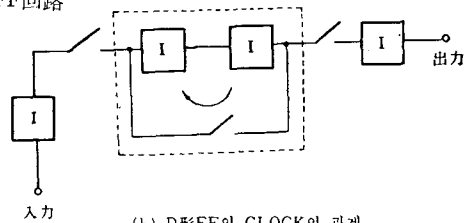


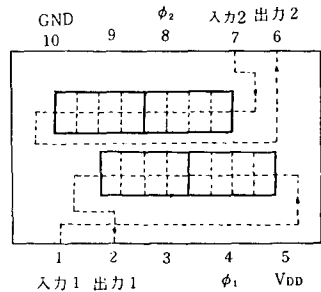
그림 13. J-K FF회로



(a) 한개의 D形 FF회로



(b) D形FF와 CLOCK의 관계



(c) 端子接續

그림 14. Dual 8bit SHIFT REGISTER(HD 709M)

J-K形FF : J-K形FF가 RSS形FF와 그 動作이 相異한 점은 SET, RESET入力が 同時に 加해 질 때 FF는 어떤狀態에 있던 그 狀態를 轉還하는 것이다. 回路는 그림13과 같으며 RSS形FF에 Qj를 追加한 것이다. FF가 "0"狀態의 경우 SET, RESET兩信號를 同時に 하면 "1"의 狀態로 된다. 그러나 FF가 "1"의 狀態일 경우에는 "1"의 狀態로 바뀐다. 즉 出力信號 "1"이 Qj의 게이트에 加해지면 Qj는 OFF로 되어 SET入力信號는 FF의 内部에 傳해지지 않는다. 따라서 SET,RESET兩信號를 同時に 加해도 RESET信號만이 有效하게 되어 "0"의 狀態로 轉환된다.

D形FF : RSS形 및 J-K形에서는 SET入力과 RESET入力が 存在하나 D形FF에서는 入力が 하나밖에 없으며 제1시작펄스가 加해졌을 때 入力が "1"이면 "1"을 永久히 保持하고 入力が "0"이면 "0"를 保持한다. 이 狀態는 다음의 시

작펄스가 加해질 때까지 지속된다.

이 D形FF를 계속 접속함에 依하여 Shift register가 構成된다. 例로서 HD709M(Dual 8bit shift Register)의 構成을 圖示하면 그림 14와 같다.

이것은 D形FF가 16個 들어있는 IC로서 이것을 等價的으로 圖示하면 (b)圖와 같이된다. 이 回路는 shift register의 動作을 主目的으로 하고 있으며 시작펄스가 加해지지 않을 때에도 회로 표방향의 루-프로서 記憶內容이 保持된다. 端子 ②와 ⑦을 접속함으로써 16bit(4digit)의 shift register로서 使用이 可能하다.

以上, 電卓에 使用하는 基本的인 論理回路 및 FF회로와 그 應用等에 關해서 論했다.

記憶回路, Timing回路 等 紙面관계상 本文에서 취급하지 못한 部分은 다음에 記述할 기회가 있기를 바란다.