

NIC 回路의 構成 및 發振回路에의 應用에 關한 研究

(A Study on the Construction of NIC Circuit and Its Application to Oscillation Circuit)

金 明 起*

(Kim, Myong Ki)

要 約

本 論文은 種의 NIC 回路의 構成方法을 綜合하여 一般化하는 方法으로써 파라미터 制御回路와 電壓 또는 電流 制御回路에 의한 NIC 構成方法을 提示하였다. 그리고 FET에 의해 開放 및 短絡安定型 NIC 回路를 構成하고 回路解析에 의한 임피던스와 實驗值를 比較하여 NIC 特性을 確認하고 回路解析이 타당함을 檢討 確認하였다. 또한 並列 LC를 NIC와 直列로 連結하여 發振狀態를 實驗으로 確認하고 NR에 의한 發振狀態와 比較 檢討하였다.

Abstract

In this paper the method of constructing short and open stable voltage inversion negative immittance converter (VNIC) circuits is proposed according to simplified equivalent models which consist of a parameter control circuit, and a voltage or a current control circuit. VNIC characteristics can be obtained as gate voltage of common gate connection is controlled by the output of the parameter control circuit corresponding to its input. Constructed circuits are analyzed, and the experimental results are compared and checked with the calculated results. Errors are found less than 11%. Oscillation behavior of constructed VNIC oscillator is compared with that of negative resistance oscillator.

1. 緒 論

負抵抗(NR)은 그 端子에서 入力抵抗이 $V-I$ 特性上的 어느 電壓區間에서 負로 나타나게 하는 것이며, 여기서는 素子에 依한것⁽²⁰⁾과 能動素子로 構成된 所謂 負抵抗特性回路^{18,19)}가 있다. 負임피던스 變換器¹⁴⁾(NIC Negative Immittance Converter)는 4端子回路에서 定義되며 出力側에 임피던스 Z_L (또는 어드미턴스 Y_L)를 接續했을 때 入力側에서 본 임피던스 Z_i (또는 어드미턴스 Y_i)가 負荷 임피던스에 比例하는 負임피던스, $-KZ_L$ (또는 $-\frac{Y_L}{K}$)로 나타날 때의 4端子回路를 말한다.

이미 發表된 NIC 回路는 入出力電流가 同位相이고

入出力電壓이 逆位相인 電壓反轉型 負임피던스 變換器²⁾(VNIC, Voltage Inversion Negative Immittance Converter)와 入出力電壓이 同位相이고 入出力電流가 逆位相인 電流反轉型 負임피던스 變換器^(3,4)(INIC, Current Inversion Negative Immittance Converter)로 大別되며 여기에 대해서 여러가지 回路^(1,4,6,7,8,9,12,17)들이 發表되었다.

한편 1953년에 J.G. Linvill⁽²⁾이 VNIC의 回路를 構成하고 解析하였으며 1957년에 A.I. Larky⁽³⁾와 Takesi Yanagisawa⁽⁴⁾에 의해 INIC 回路가 發表되고 그후 이에 대한 여러가지 回路가 發表되었다.

Linvill, Larky 그리고 Yanagisawa의 回路構成의 方法과 Marshak⁽¹²⁾의 回路構成의 方法은 서로 相異하나 回路 構成의 共通點을 찾아서 著者の 構成方法을 다음과 같은 方法을 써서 定立하고자 한다.

또한 構成方法에는 Nullator, Norator를 사용한 Nullor model^(10,13,15)에 의해 實現된 것도 있으나 1965

* 正會員, 東亞大學校 工科學 電子工學科
Department of Electronics Eng.,
College of Eng., Dong-A Univ.,
接受日字: 1974年 11月 4日

년에 J. Braun⁽¹⁵⁾이 Nullor model에 의해 INIC와 VNIC의 回路構成을 分類하였고 같은 해에 G.Martinielli⁽¹⁰⁾와 B.R. Myers⁽¹²⁾가 그리고 1967년에 A.C. Davies가 Nullor Model에 관해서 發表하였으나 NIC 回路의 구체적인 構成方法을 提示하지 못한 점이 있음을 보였다.

그래서 Nullor Model에 의한 構成方法을 補完하며 중래의 發表된 여러 回路의 構成方法을 종합하여 다시 다음과 같이 NIC 回路를 細分하여서 全體的으로 一貫性있는 構成理論을 세우고자 한다.

즉 NIC의 構成을 平易化하고 一般化하는 方法으로써 4端子回路가 (1) 파라미터 제어회로(Parameter control circuit)와 (2) 전압제어회로(Voltage control circuit) 또는 전류제어회로(current control circuit)의 두 부분으로 구성되는 機構라고 推定하여 전압 또는 전류제어 素子로 사용한 電界效果 트랜지스터(FET)의 Gate 단자에 파라미터 제어 素子로 쓰인 FET에 의해 제어전압을 마련해주는 回路 model을 제안하고 短絡安定型 또는 開放安定型 VNIC 回路를 構成하여 回路解析에 의한 負임피던스값과 實驗값과를 비교하여 提案回路의 妥當性を 檢討하고자 한다. 그 다음에 著者は NIC 回路를 利用하여 발진회로를 構成하여 發振狀態에 대해서 負抵抗發振回路^(18,27,28)에 의한 것과 비교하여 兩者間의 差異點을 檢討하고자 한다.

NIC를 利用한 發振回路에 관한 研究는 別로 없다. 그러나 負임피던스 대신에 負抵抗을 利用한 發振은 널리 利用되고 있으며 H.J. Reich^(18,27)가 發表한 것도 있으며 文獻[27]에는 負抵抗特性을 利用한 발진에 관한 研究를 發表한 것이 있다. NIC를 利用한 發振現象의 特色을 아울러 究明하고 NIC發振의 特色을 NR 發振의 것과 비교해서 NIC 回路가 發振에 利用될 수 있는 可能性을 찾으려고 한다.

2. VNIC의 回路모델

2.1 短絡安定型 VNIC의 回路모델

그림 2·1·1에 著者가 提案하는 回路의 model을 表示하였다. 電源電壓 V_i 가 증가하면 入力端子電流 I_i 가 負로 증가하는 回路를 마련하기 위하여 電流制御回路(Current Control Circuit; 以下 C.C.C로 略記한다)를 電源電壓과 直列로 두고 C.C.C의 파라미터 제어회로(Parameter Control Circuit; 以下 P.C.C로 略記한다)를 두어서 PCC가 入力電壓에 從屬關係를 갖는 電壓을 마련해 주기 위해서 보조 抵抗 R_1 과 R_2 를 두어서 PCC의 入力이 되게 하고 또 入力電壓과 반대방향으로 入力電流가 V_i 에 대해서 負로되게 하기 위해서 Bias

電源을 삽입한 回路를 構成함으로써 VNIC의 短絡安定特性을 구할수 있다고 推定하고 이것을 提案한다.

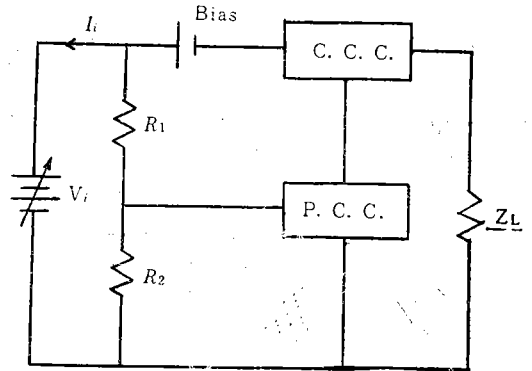


그림 2·1·1 短絡安定, VNIC 特性回路모델
Fig. 2·1·1 Network Model realizing short stable VNIC characteristics

提案된 그림 2·1·1의 回路는 그림 2·1·2와 같은 기본회로에 根據를 둔 것이다.

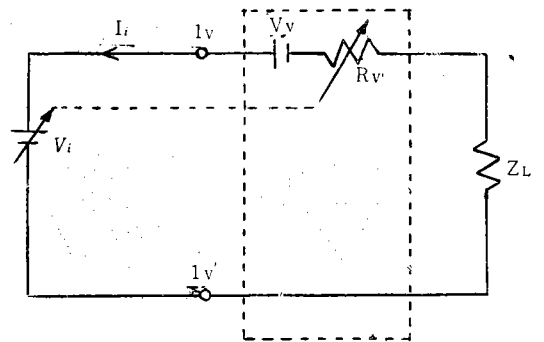


그림 2·1·2 短絡安定型 VNIC의 定性的 모델
Fig. 2·1·2 Basic model of short stable VNIC

入力電壓 V_i 의 增加에 따라서 從屬으로 R_v 가 減少하게 하면 入力端子 $1v-1v'$ 間의 正의 電壓增분에 대해서 入力電流 I_i 의 增분이 負로 되게 할 수 있다고 推定한다.

그림 2·1·2의 點線으로 표시된 상자는 4端子回路網이고 이 속에 바이어스電壓 V_v 를 R_v 와 直列로 두었다 R_v 를 電流制御素子로 代置하고 대치된 能動素子의 電流제어를 V_i 의 增분에 따라서 파라미터가 制御되게 하면 결국에는 그림 2·1·1과 같은 回路가 構成되었다.

2.2 開放安定型 VNIC의 回路모델

그림 2·2·1에 著者가 提案하는 回路의 model을 表示하였다. 電流電源의 電流 I_i 가 증가하면 入力端子電壓 V_i 는 負가 되도록 回路를 마련해 주기 위하여 電壓制御回路(Voltage Control Circuit; 以下 V.C.C로

略記한다)를 진류전원과 직렬로 두고 V.C.C의 파라미터 제어회로를 두어서 P.C.C가 入力電流에 증속판제가 있는 電壓을 마련해 주기 위해서 補助抵抗 R_1 과 R_2 를 두어서 P.C.C의 入력이 되게 하고 또 入力電流와 같은 方向으로 電流가 흐르도록 Bias電源을 삽입한 회로를 構成함으로써 VNIC의 開放安定型特性을 구할 수 있다고 推定하고 이것을 提案한다.

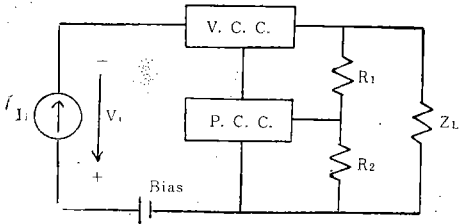


그림 2.2.1 開放安定型 特性回路모델
Fig. 2.2.1 Network model realizing open stable VNIC Characteristics

提案된 그림 2.2.1의 회로는 그림 2.2.2와 같은 基本 회로에 근거를 둔 것이다. 入力電流 I_i 의 증가에 따라서 從屬으로 R_c 가 감소하게 하면 入力端子 $1c-1c'$ 에서의 入力電流의 正의 増分에 따라서 入力端子電壓이 負의 増分으로 나타나게 할 수 있다고 推定한다.

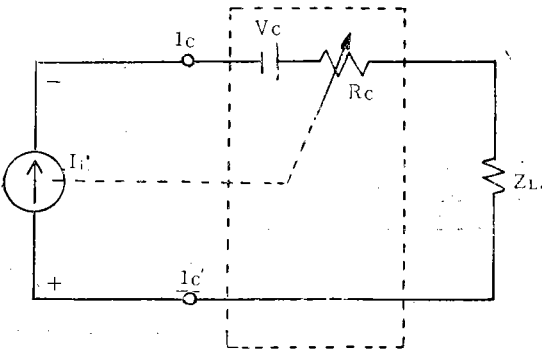


그림 2.2.2 開放安定型 VNIC의 定性的 모델
Fig. 2.2.2 Basic model of open stable VNIC

그림 2.2.2의 點線으로 표시된 상자는 4端子回路網이고 이 속에 바이어스 電壓 V_c 를 R_c 와 직렬로 두었다. R_c 를 電壓制御素子로 代置하고 대치한 能動素子の 電壓制御를 I_i 의 増分에 따라서 파라미터가 제어되게 하면 결국 그림 2.2.1과 같은 회로가 構成되게 되었다 「上記한 方式들에 의해 NIC를 構成시키므로써 NIC의 設計가 容易해지며 回路의 構成概要를 平易하게 할 수 있는 것이라고 생각한다.」

3. VNIC의 回路構成

3.1 短絡安定型的 回路에 대하여

3.1.1 回路의 表示

그림 2.1.1 및 그림 2.1.2를 FET로써 구성한 그림 3.1.1의 回路를 提案한다. 여기서 點線 부분은 파라미터 제어회로이다.

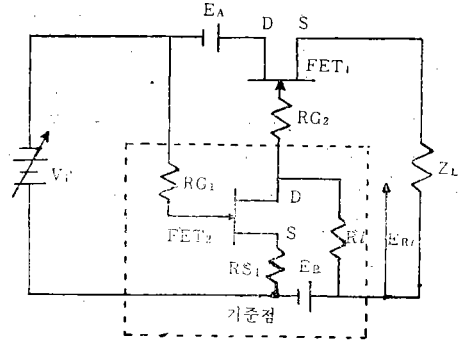


그림 3.1.1 提案된 短絡安定型 VNIC
Fig. 3.1.1 Suggested short stable VNIC

3.1.2 回路解析

그림 3.1.1의 回路의 動作은 다음과 같이 推定할 수 있다. 1) $V_i=0$ 인 상태에서는 FET₂의 게이트-소오스 사이의 전압 E_{GS2} 가 0이므로 FET₂는 동작상태에 있을 것이며 따라서 R_i 의 전압 $E_{Ri} < 0$ 인 상태이고 그 결과 FET₁의 게이트-소오스 간의 전압 $E_{GS1} < 0$ 인 상태가 되어 FET₁은 cut-off 상태가 될 것이다. 2) V_i 가 증가하면 E_{GS1} 가 負로 증가하게 되고 따라서 FET₂의 드레인 전류 I_{D2} 는 감소하게 되고 이 결과 E_{GS1} 는 점점 증가하게 되어 E_{GS1} 이 cut-off 전압보다 커지게 되면 FET₁은 動作하게 되고 FET₁의 드레인 전류 I_{D1} 은 흐르기 시작할 것이다. 3) 따라서 V_i 의 증가에 대해 I_{D2} 가 감소하고 E_{GS1} 은 증가하게 되어 I_{D1} 은 증가하는 현상이 나타날 것이며 이것은 入力電壓과 位相이 반대로 될 것이다.

따라서 入力電壓의 증가에 대해 入力電流가 負의 方向으로 증가하여 入力임피던스는 負로 나타나게 될 것이다.

3.1.3 入力 임피던스

그림 3.1.1의 回路의 等價回路는 그림 3.1.3과 같다.

그림 3.1.3의 등가회로에서 入力임피던스를 구하면 다음과 같다.

$$E_{GS2} = V_i - \frac{R_{S1} \mu E_{GS2}}{R_{S1} + r_{d2} + R_i} \dots \dots \dots (3.1.3.1)$$

식(3.1.3.1)에서 E_{GS2} 을 구하면

$$E_{GS2} = \frac{R_{S1} \cdot r_{d2} + R_e}{(1 + \mu)R_{S1} + r_{d2} + R_i} V_i \dots \dots \dots (3.1.3.2)$$

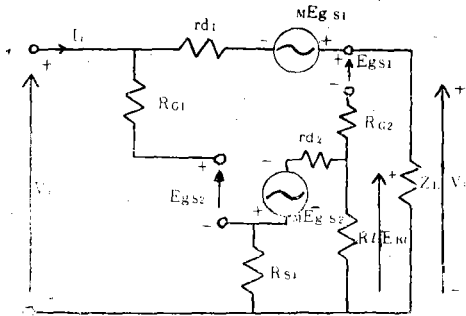


그림 3.1.3 그림 3.1.3의 等價回路
Fig. 3.1.3 Equivalent circuit of Fig. 3.1.1

이 되고 R_L 양단의 전압 E_{R_L} 은

$$E_{R_L} = - \frac{\mu R_L V_i}{(1+\mu)R_{S1} + rd_2 + R_L} \dots (3.1.3.3)$$

이 되고 한편

$$E_{GS1} = - \frac{\mu R_L}{(1+\mu)R_{S1} + rd_2 + R_L} \frac{(\mu E_{GS1} + V_i)Z_L}{rd_1 + Z_L} \dots (3.1.3.4)$$

식 (3.1.3.4)에서 E_{GS1} 을 구하면

$$E_{GS1} = - \frac{\mu R_L (rd_1 + Z_L) + Z_L \{(1+\mu)R_{S1} + rd_2 + R_L\}}{\{(1+\mu)R_{S1} + rd_2 + R_L\} \{(1+\mu)Z_L + rd_1\}} V_i \dots (3.1.3.5)$$

이 되고 入力電流 I_i 는

$$I_i = \frac{V_i + \mu E_{GS1}}{rd_1 + Z_L} = \frac{\{(1+\mu)R_{S1} + rd_2 + R_L\} - \mu^2 R_L}{\{(1+\mu)R_{S1} + rd_2 + R_L\} \{(1+\mu)Z_L + rd_1\}} V_i \dots (3.1.3.6)$$

로 되고 따라서 入力임피던스 Z_i 는

$$Z_i = \frac{V_i}{I_i} = \frac{\{(1+\mu)R_{S1} + rd_2 + R_L\} \{(1+\mu)Z_L + rd_1\}}{\{(1+\mu)R_{S1} + rd_2 + R_L\} - \mu^2 R_L} \dots (3.1.3.7)$$

식 (3.1.3.7)에서 $rd_1 = rd_2 = rd$, $(1+\mu)R_{S1} + rd_2 + R_L \ll \mu^2 R_L$ 이라 가정하면

$$Z_i = - \frac{\{(1+\mu)R_{S1} + rd_2 + R_L\} \{(1+\mu)Z_L + rd\}}{\mu^2 R_L} \dots (3.1.3.8)$$

로 되어 理想的이 아닌 NIC의 특성을 갖게 된다.

3.2 開放安型 回路에 대하여

3.2.1 回路의 表示

그림 2.3.1 및 그림 2.3.2를 FET로써 構成한 그림 3.2.1의 回路를 提案한다. 여기서 點線部分은 파라미터 制御回路이다.

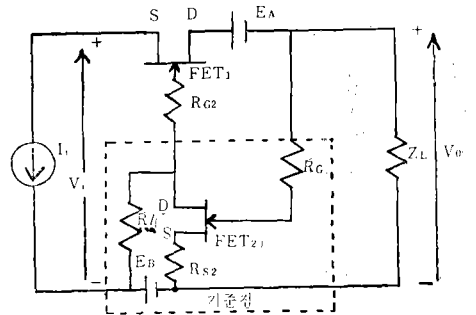


그림 3.2.1 提案된 開放安型 VNIC
Fig. 3.2.1 Suggested open stable VNIC

3.2.2 回路解析

그림 3.2.2의 回路의 動作은 다음과 같이 推定할 수 있다. 1) $I_i = 0$ 인 상태에서는 FET₁의 바이어스 電壓 E_{GS1} 이 充分히 큰 負의 電壓으로 FET₁은 cut-off 상태로 만들어준 경우가 될 것이며, 따라서 FET₁의 드레인 電流 I_{D1} 은 0인 상태이다. 그 결과 FET₂의 바이어스 電壓 $E_{GS2} = 0$ 이고, 따라서 FET₂는 充分히 動作하고 있는 상태로 이때의 入力電壓은 $E_{R_L} + E_{GS1}$ 이 된다.

(2) I_i 가 增加하면 Z_L 양단의 電壓 V_o 는 增加하게 되고, 이 電壓에 의해 FET₂의 바이어스 電壓은 逆方向으로 增加하게 되고, 그 결과 I_{D2} 는 감소하고 따라서 E_{R_L} 은 감소하게 되며, 入力電壓 $E_{R_L} + E_{GS1}$ 은 감소하게 된다.

(3) 즉 I_i 의 增加에 대해 入力電壓 V_i 는 감소하는 負抵抗特性을 나타내게 될 것이다.

3.2.3 入力임피던스

그림 3.2.1의 回路의 等價回路는 그림 3.2.3과 같다.

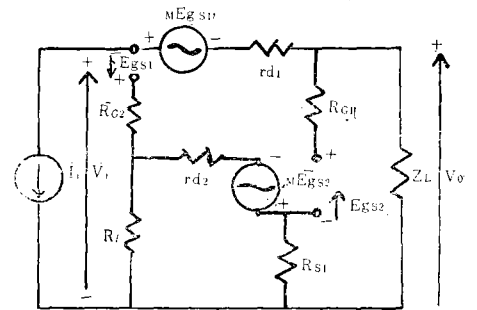


그림 3.2.3 그림 3.2.1의 等價回路
Fig. 3.2.3 Equivalent Circuit of Fig. 3.2.1

그림 3.2.3의 等價回路에서 入力임피던스를 구하면 다음과 같다.

Z_L 양단의 電壓 V_0 는

$$V_0 = -Z_L I_i \dots\dots\dots (3.2.3.1)$$

가 된다. 따라서 E_{GS2} 을 구하면

$$E_{GS2} = -\frac{(R_{S1} + rd_2 + R_i)Z_L I_i}{(1 + \mu)R_{S1} + rd_2 + R_i} \dots\dots\dots (3.2.3.2)$$

가 되고, R_i 양단의 電壓 E_{Ri} 은

$$E_{Ri} = -\mu E_{GS2} \frac{R_i}{R_{S1} + rd_1 + R_i} \dots\dots\dots (3.2.3.3)$$

이 되고, E_{GS1} 는

$$E_{GS1} = \frac{\mu R_i Z_L I_i}{(1 + \mu)R_{S1} + rd_2 + R_i} + Z_L I_i + rd_1 I_i - \mu E_{GS1} \dots\dots\dots (3.2.3.4)$$

식(3.2.3.4)를 E_{GS1} 에 대해 정리하면

$$E_{GS1} = \frac{\mu R_i Z_L + (Z_L + rd_1) \{ (1 + \mu)R_{S1} + rd_2 + R_i \}}{\{ (1 + \mu)R_{S1} + rd_2 + R_i \} (1 + \mu)} I_i \dots\dots\dots (3.2.3.5)$$

따라서 入力電壓 V_i 는

$$V_i = -\frac{\mu^2 R_i Z_L + \mu(Z_L + rd_1) \{ (1 + \mu)R_{S1} + rd_2 + R_i \}}{\{ (1 + \mu)R_{S1} + rd_2 + R_i \} (1 + \mu)} I_i + rd_1 I_i + Z_L I_i = \frac{(rd_1 + Z_L) \{ (1 + \mu)R_{S1} + rd_2 + Z_L \} - \mu^2 Z_L R_i}{\{ (1 + \mu)R_{S1} + rd_2 + R_i \} (1 + \mu)} I_i \dots\dots\dots (3.2.3.6)$$

이 된다. 여기서 入力임피던스 Z_i 를 구하면,

$$Z_i = \frac{V_i}{I_i} = \frac{(rd_1 + Z_L) \{ (1 + \mu)R_{S1} + rd_2 + Z_L \} - \mu^2 Z_L R_i}{\{ (1 + \mu)R_{S1} + rd_2 + R_i \} (1 + \mu)} \dots\dots\dots (3.2.3.7)$$

이 된다. 한편 식(3.2.3.7)에서

$$rd_1 = rd_2 = rd \\ (rd_1 + Z_L) \{ (1 + \mu)R_{S1} + rd_2 + Z_L \} \ll \mu^2 Z_L R_i \dots\dots\dots (3.2.3.7)$$

이라고 가정하면 Z_i 는

$$Z_i = -\frac{\mu^2 Z_L R_i}{\{ (1 + \mu)R_{S1} + rd_2 + R_i \} (1 + \mu)} \dots\dots\dots (3.2.3.8)$$

로 되어 變換比가

$$\frac{\mu^2 R_i}{\{ (1 + \mu)R_{S1} + rd_2 + R_i \} (1 + \mu)}$$

인 理想的인 NIC의 特性을 갖게 된다.

3.3 發振回路的 解析

그림 3.3과 같은 等價回로를 가지고 發振조건을 구해보면 다음과 같다.

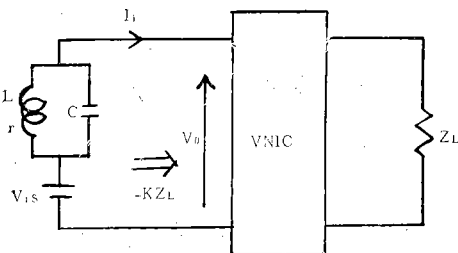


그림 3.3 發振回路的 概略圖
Fig. 3.3 Oscillating circuit, Block shows VNIC

우선 交流成分만을 고려하면

$$L \frac{di_L}{dt} + i_L r = V_0 \dots\dots\dots (3.3.1)$$

$$\frac{1}{C} \int i_C dt = V_0 \dots\dots\dots (3.3.2)$$

$$i_i (-kZ_L) = V_0 \dots\dots\dots (3.3.3)$$

이다. 또

$$i_L + i_c + i_i = 0 \dots\dots\dots (3.3.4)$$

의 관계를 이용하여

$$i_L = -i_c - i_i = -c \frac{dV_0}{dt} + \frac{V_0}{kZ_L} \dots\dots\dots (3.3.5)$$

이것을 식(3.3.1)에 代入하고 $V_{i,s}$ 를 고려하면,

$$L \frac{d}{dt} \left(\frac{V_0}{kZ_L} - c \frac{dV_0}{dt} \right) + \left(\frac{V_0}{kZ_L} - c \frac{dV_0}{dt} \right) r + V_{i,s} = V_0 \dots\dots\dots (3.3.6)$$

이것을 정리하면 다음과 같다.

$$-\frac{d^2 V_0}{dt^2} + \left(\frac{r}{L} - \frac{1}{ckZ_L} \right) \frac{dV_0}{dt} + \frac{1}{Lc} \left(\frac{r}{kZ_L} - 1 \right) V_0 = \frac{V_{i,s}}{Lc} \dots\dots\dots (3.3.7)$$

따라서 一定振幅 및 점차로 增大하는 振幅의 발진조건⁽²⁸⁾은

$$\left(\frac{r}{L} - \frac{1}{ckZ_L} \right) \leq 0$$

로 주어진다.

4. 實驗回路的 各 定數 및 實驗結果

4.1 短絡安定回路的 回路定數 및 實驗結果

[1] 實驗에 사용한 短絡安定型 VNIC 回路는 그림 3.1.1과 같다. 回路解析에 의한 식(3.1.3.8)의 結果와 實驗結果를 比較 檢討하여 回路解析의 타당성을 確認하기 위해서, 入力電壓 V_i 對 入力電流 I_i 의 關係를 그림 4.1.1에 表示했다.

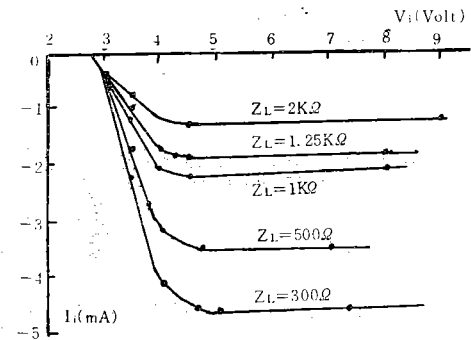


그림 4.1.1 短絡安定回路的 $V_i - I_i$ 特性
Fig. 4.1.1 $V_i - I_i$ Characteristics of short stable VNIC circuit

回路의 各 定數는 다음과 같다. $R_{S1} = 750\Omega$, $R_i = 9k\Omega$, $R_{G1} = 18.8M\Omega$, $R_{G2} = 10k\Omega$, $Z_L = 300\Omega$, 500Ω , $1k\Omega$, $1.25k\Omega$, $2k\Omega$ 를 使用하고 FET_{1,2}는 2SK19를 使用하였다. FET는 $\mu = 13$, $rd = 10k\Omega$ 이고, $E_A =$

17.5V, $E_B=5.4V$ 를 취했다.

4.2 開放安定회로의 回路定數 및 實驗結果

(1) 開放安定型 VNIC는 그림 3.2.1과 같다. 回路解析에 의한 式(3.1.3.8)의 結果와 實驗結果를 比較檢討하여 回路解析의 타당성을 確認하기 위해서, 入力電流 I_i 對 入力電壓 V_i 의 關係를 그림 4.2.1에 表示했다. 回路의 各定數는 短絡安定型에서 使用한 것과 같다. 단 $Z_L=300\Omega, 500\Omega, 700\Omega, 1k\Omega, 2k\Omega$ 를 사용하였으며

$E_A=16V, E_B=7.7V$ 를 사용하였다.

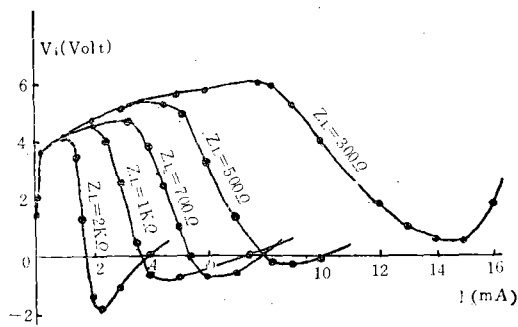


그림 4.2.1 開放安定型 I_i-V_i 特性
Fig. 4.2.1 I_i-V_i Characteristics of open stable type

4.3 短絡安定회로에 의한 發振回路

4.3.1 回路의 表示 및 回路定數

그림 3.1.1의 短絡安定型 VNIC 回路에서 入力側에 直列로 LC 並列共振회로를 삽입한 發振회로를 그림 4.3.1에 表示했다.

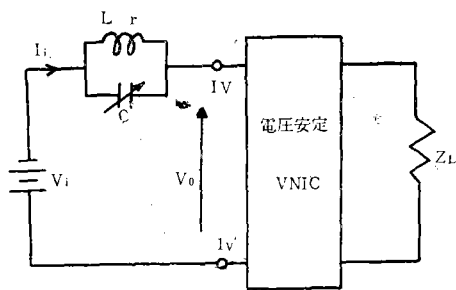


그림 4.3.1 短絡安定 VNIC에 의한 發振回路
Fig. 4.3.1 Oscillation circuit using short stable VNIC

그림 4.3.1을 이용하여

(1) $Z_L=500\Omega, Z_i=-330\Omega, L_2=6.64mH$
 $r=20.72\Omega, C=0.0015\mu F$ 일때

V_i 의 變化에 따르는 發振安定狀態에 대하여, (2) $Z_L=500\Omega$ 이고 $Z_i=-330\Omega, L_1=4.37mH, r_1=16.4\Omega, L_2=6.64mH, r_2=20.72\Omega, L_3=2.57mH, r_3=12.16\Omega$ 의 값에서 C를 變化시키면서 發振周波數 f 對 出力電

壓 V_0 (V_0 는 그림 4.3.1의 l_v-l_v' 間의 電壓임)의 關係 (3) $L_1=4.37mH$ 이고, $Z_L=300\Omega, 1000\Omega, 1500\Omega$ 의 各 값에서 얻어지는 負入力피턴스 下에서 f_0 對 V_0 의 關係를 各各 求하였다. 여기서 V_0 의 값은 l_v-l_v' 間에서 P-P(尖頭值) 電壓을 오실로스코프로 측정하였다. (4) 발진동작시 $V_i=1.1V, I_i=0.6mA$ 에서 코일 L_2 를 사용하고 C없이 그림 4.3.1(그림 3.1.1 참조)의 l_v-l_v' 間의 電壓 25V(P-P), Z_L 양단의 전압 2V(P-P), FET₂의 드레인과 E_B 의 +端子間의 電壓 3V(P-P)를 얻었다.

4.3.2 發振회로의 實驗結果

4.3.1節에서의 實驗 (1)을 表 4.3.2에 實驗 (2), 實驗 (3)을 各各 그림 4.3.2.1, 그림 4.3.2.2에 表示했다.

表 4.3.2 Table 4.3.2

$Z_L=500\Omega, L=6.64mH, r=20.72\Omega, C=0.0015\mu F.$

$V_{is}(V)$	3.4	3.5	3.6	3.7
$I_{is}(mA)$	—	-1.45	-1.95	—
$f(kHz)$	不安定	81.15	81.10	不安定

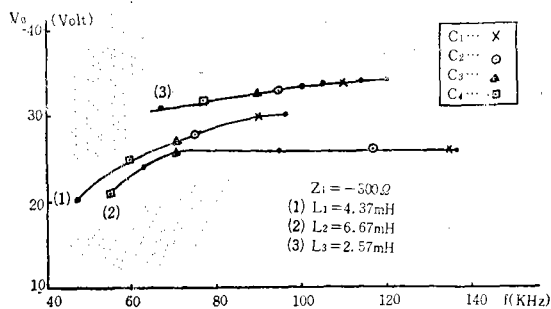


그림 4.3.2.1 L 의 變化에 대한 $f-V_0$ 特性
Fig. 4.3.2.1 $f-v_0$ Characteristics with Variation of L .

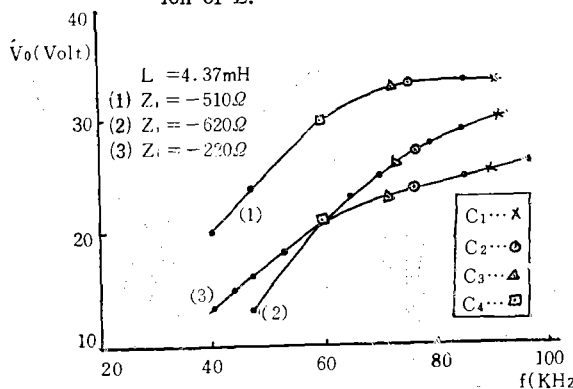


그림 4.3.2.2 Z_L 의 變化에 대한 $f-v_0$ 特性
Fig. 4.3.2.2 $f-v_0$ Characteristics with Variation of Z_L .

5. 考 察

5.1 短絡安定型 回路構成에 대한 考察

그림 2.1.2에 表示한 VNIC의 短絡安定型을 가지고 그림 2.1.1과 같이 트랜지스터 素子를 利用할 수 있는 바탕을 마련하였다.

그림 2.1.1을 파라미터 制御回路와 電流制御回路로 보는 견해는 VNIC의 短絡安定型을 構成하는데 보다 簡明한 方法이라고 생각된다.

그림 3.1.1은 FET로 構成된 VNIC의 短絡安定型이다. 이 回路의 特性은 $V-I$ 平面上에서 零點을 지나고 4상한에서 負의 기울기를 갖도록 試圖하였으나 實際의 特性은 그림 4.1.1과 같이 零點을 지나지 않게 되었다. 그 이유는 平衡型^(2,8)과 다른 點도 있었으나 實際로 零點을 지나도록 하는 것은 不可能하였다.

式(3.1.3.8)에서 얻은 入力임피던스값과 그림 4.1.1에서 구한 실험치 사이에는 表 5.1과 같은 關係가 있었고, 誤差의 平均値는 +11.44%였으므로 대체로 제 3.1.2節의 回路解析은 타당하였다고 본다.

電壓 E_A 는 20V정도가 正當하였고 E_B 는 5V이하였다 또 E_A 의 極性表示를 그림 2.1.1이나 그림 2.1.2에 表示한 것과 같이 뚜렷하게 表示하는 方法은 回路全體를 概取하는데 도움이 되었다. 또 Nullor모델에 의한 回路構成^(10,13,15)을 補完하고, 이것을 더욱 체계화 하는데 도움이 되었다고 본다.

表 5.1 短絡安定型
Table 5.1 Short stable type

$Z_L(k\Omega)$	實驗值 $M(k\Omega)$	계산치 $C(k\Omega)$	오차% $(C-M)$ $/C \times 100$
2	-1.11	-0.73	+51.4
1.25	-1.62	-0.53	+15.5
1	-0.51	-0.47	+10.3
0.5	-0.33	-0.33	0
0.3	-0.22	-0.27	-21.0

5.2 開放安定型 回路構成에 대한 考察

그림 2.2.2에 表示한 VNIC의 開放安定型을 가지고 그림 2.2.1과 같이 트랜지스터 素子를 利用할 수 있는 바탕을 마련하였다. 또한 그림 2.2.1은 VNIC의 短絡安定型을 構成하는데 보다 簡明한 方法이라고 보여진다.

그림 3.2.1은 FET로 構成된 VNIC의 開放安定型이다. 이 回路의 特性은 $V-I$ 平面上에서 零點을 지나고 2상한에서 負의 기울기를 갖도록 試圖하였으나 實際의 特性은 그림 4.2.1과 같이 1상한에서 負저항특성이 入

力電流의 어느 區間에서 나타난 點은 回路構造上 부득이 하였다.

式(3.2.3.8)에서 얻은 入力임피던스값과 그림 4.2.1에서 구한 실험치 간에는 表 5.2와 같은 關係가 있고 오차의 平均치는 -6.44%였으므로 대체로 제 3.2.2節의 解析方法은 타당하였다고 본다.

表 5.2 開放安定型
Table 5.2 Open Stable type

$Z_L(k\Omega)$	실험치 $M(k\Omega)$	계산치 $C(k\Omega)$	오차% $(C-M)$ $/C \times 100$
2	-6.90	-7.37	+6.4
1.25	-4.10	-3.68	-11.4
1	-2.90	-2.58	-12.3
0.5	-1.95	-1.84	-5.9
0.3	-1.20	-1.10	-9.0

5.3 短絡安定型回路에 의한 發振에 대한 考察

VNIC의 短絡安定型에 의한 發振은 電壓安定型 負抵抗特性回路(以下 VSNRC라고 略記함)에 의한 發振과는 現象이 相異한 點이 나타났다.

著者は VSNRC에 의한 發振과 거의 같을 것이라고 豫測하였으나, 特히 振幅의 負임피던스 電壓領域에서의 關係는 振幅과 負抵抗電壓領域에서의 關係와 判異하였다.

VSNRC의 振幅은 負特性電壓領域內에서 볼 수 있어서 振幅의 豫測이 용이하다고⁽²⁸⁾ 하나, VNIC의 短絡安定型에 있어서는 振幅이 負임피던스 電壓領域下에 制限되지 않고, 훨씬 크게 나타났다.

그래서 VNIC의 短絡安定型的 V_i-I 特性을 表示한 그림 4.1.1에서 豫測할 수 없었던 點은 特異한 것이나 이점에 대해서 著者は 交流發振에 들어가면 새로운 特性이 나타나는데 그 特性은 V_i-I 特性이 $V-I$ 平面上의 2상한과 4상한에 걸쳐서 延長된다고 밖에 볼 수 없다. 그 理由로는 發振時의 入力電壓値와 入力電流値가 負임피던스 領域內의 어느 點에서 安定된 態로 전혀 變動을 나타내지 않았다는 點에서 위와 같이 말할 수 있다. 또한 고정된 入力電壓端에서 공진회로와 VNIC 회로를 직렬로 串려다 본 입력임피던스에 있어서는 아무런 變動을 가져오지 못한다는 새로운 사실이 아울러 규명되었다.

發振에 있어서 發振條件 $\frac{1}{|Z_i|} \geq \frac{rc}{L}$ 이 만족하는 範圍內에서 $\frac{1}{|Z_i|} / \frac{rc}{L}$ 로써 표시하면 최저 250, 최대 1,150이었고 平均値는 572임을 알게 되었다.

入力容量은 바이어스狀態에 따라서 다르나 600~700

PF의 용량이 환산되었던 점은負抵抗의 경우와比較해서 컸었다.

5.4 負抵抗 特性회로와의 比較

(1) 短絡安定型 VNIC회로의 構成의 定性的인 基本회로인 그림 2·1·2의 設定은 文獻 [19]의 方法에서 얻었다. 그러나 그림 2·1·2에 直列로 두어진 電源 V_v 를 4端子속에 넣었다는 점과 Z_L 를 直列로 두어서 負하임피던스로 둔 점은 上記文獻[19]와 다르다. 이점에 있어서 著者の 構成方法이 他의 方法과 다른 點이다. 또 電流安定型 負抵抗 抗特性회로는 入力電壓의 變化에 따라서 能動素子の 動作에 飽和, 能動 및 차단의 각 領域을 고려하였으나 그림 2·1·2에서 出發하여 提案된 그림 3·1·1의 회로의 電壓—電流特性은 原點을 지나는 負特性이 負하임피던스 Z_L 에 比例하도록 構成하는데 構成上의 基本的 差異가 있는 것이다. 그러나 실제에 있어서 構成된 회로의 電壓—電流特性은 그림 4·1·1에 表示한 바와같이 原點을 지나지는 못했으나 이것은 半對稱形의 特性을 얻고자 하였던 初期의 設定 때문에 나타난 것이라고 본다.

(2) 開放安定型 VNIC회로의 構成의 基本회로인 그림 2·2·2의 設定은 文獻[25]의 方法에서 얻었다. 그러나 그림 2·2·2에 直列로 두어진 電源 V_c 를 4端子속에 넣었다는 점과 Z_L 를 直列로 두어서 負하임피던스로 둔 점은 상기 文獻[25]의 方法과 다르며, 또한 NIC를 構成하는데 있어서 4端子를 表示하는데 4端子定數를 전혀 고려하지 않아도 無妨하고 결국 開放安定型 VNIC를 構成할 수 있는 點이 著者の 構成方法이 他의 方法과 다른 점이다.

(3) Nullor model에 대해서는 여러가지 綜合을 한 文獻^(10,13,15)이 있으나 著者の 方法대로 본다면 開放安定 및 短絡安定에 따르는 電源을 直列로 삽입하고 電壓 또는 電流制御素자와 거기에 따른 파라미터 制御회로를 찾아내면 Nullor model의 解析方法에서 오는 결점을 補完할 수 있는 長點이 있다.

6. 結 論

本 論文에서는 종래의 NIC의 회로의 構成方法을 綜合하여 一般化하는 方法으로써 파라미터 制御회로와 電壓 또는 電流制御회로에 의한 開放 및 短絡安定型 NIC회로의 構成方法을 提案하였다.

그리고 短絡 및 開放安定型 NIC회로의 構成方法을 電壓 및 電流制御회로에 의해 實現한 회로를 構成하고 이들의 動作상태를 推定하여 實驗에 의해 確認하였다. 그리고 回路解析에 의한 임피던스와 實驗值를 比較하여 NIC特性을 確認하고 回路解析의 妥當함을 檢討確

認하였다.

이것은 Nullor Model에 의한 回路構成上의 缺點을 補完할 수 있는 長點이 있다고 본다. 또한 並列 L—C를 NIC와 直列로 連結하여 發振상태를 實驗의으로 確認하여 NIC를 發振회로에 使用할 수 있음을 提示하였다.

또한 NR의 發振狀態와 NIC의 發振상태를 比較檢討하여 NIC의 發振의 特異點을 定性的으로 해석하였다. 단 NIC의 새로운 發振모드에 對해서는 次後 층분한 檢討 및 理論의인 뒷받침이 필요하다고 본다. 發振條件은 NR의 경우와 같았으며 상당히 큰 入力容量이 나타남을 알았다. 本 研究의 進行情況에 있어서 아낌없는 지도를 하여주신 부산대학교 공과대학 전자공학과 朴義烈 先生님께 감사를 드립니다.

參考文獻

1. J.L.Merrill, "Theory of the Negative Impedance Converters," Bell Sys. Tech. Jour., Vol.30, PP.99—109, Jan.1951.
2. J.G. Linvill, "Transistor Negative-Impedance Converters," Proc. IRE, Vol.41, PP.725—723, June 1953.
3. Takesi Yanagisawa, "RC Active Networks using Current Inversion Type Negative Impedance Converters," IRE Trans. CT—4, PP.140, September 1957.
4. W.R. Lundry, "Negative Impedance Circuits—Some Basic Relations and Limitations," IRE Trans. Circuit Theory, Vol. CT—4, PP.132—139, September 1957.
5. A.I. Larky, "Negative Impedance Converters," IRE Trans. CT—4, PP.124, 1957.
6. A.S. Morse, "The Use of Operational Amplifiers in Active Network Theory," Proc. of the Nat'l. Elec. Conf., Vol.20, PP.947—962, July 1960.
7. C.D. Todd, "A Versatile Negative Impedance Converters," Semiconductor Prod., Vol.6. PP. 25—29, May 1963.
8. H.E. Kallmann, "A Simple DC-AC Negative Impedance Converters Offering Symmetrical N-type and S-type Negative Resistance, Based on a circuit of A.H. Marshak," Proc. IEEE (Corresp.), Vol. 52, PP.199—200, Feb. 1964.
9. S.S. Hakim, "Some New Negative Impedance

- Converters," *Electron Letters*, Vol. 1, PP. 9—10, March 1965.
10. G.Martinelli, "On the Nullor," *Proc. IEEE*, Vol. 53, P. 332 Mar. 1965
 11. B.R.Myers, "New Subclass of Negative Impedance Converters with Improved gain-product Sensitivities," *Electron Letters*, Vol. I, PP. 68—70, May 1965.
 12. A.H.Marshak, "Direct-Coupled Negative Impedance Balanced Converters." *Electron. Letters*, Vol.I, PP.142—143, July 1965.
 13. B.R.Myers. "Nullor Model of the Transistor, *Proc. IEEE* Vol.53, PP. 758—759, July 1965.
 14. L.P.Huelsman, "A Fundamental Classification of Negative Impedance Converters," *IEEE International Convention Record*, Vol. 13, part7. PP.113—118, 1965.
 15. J.Braun, "Equivalent NIC Networks with Nullators and Norators." *IEEE Trans. CT—12*, PP. 441—442, 1965.
 16. A.C.Davies, "The significance of Nullators, Norators and Nullors in Active Network Theory," *Radio Eng.*, Vol.34, PP.259—267. 1967.
 17. Chang Kiane Kuo and Kendall L. Su, "Some New Four-Terminal NIC Circuits," *IEEE Trans. Circuit Theory*, CT—15, PP. 379—381, August 1968.
 18. H.J.Reich, "Functional Circuits and Oscillators," Boston Technical Publishers, Inc., 1965, PP.198.
 19. UI YUL, PARK "A Study on Voltage-stable negative resistance circuits," *The Journal of the Korea Institute of Electronics Engineers*. Vol.9, No.6, PP.305—314, Dec.1972.
 20. H.J.Reich, J.G.Skalmik, H.L. Krauss, "Theory and Application of Active Devices," D.Van Nostrand Company, Inc., 1966, PP.87—91.
 21. Carl D.Todd, "The Negative Resistance Element (NRE)—A New Circuit Componet," *Electronics*, A Mcgraw-Hill Weekly, PP. 21—23, 1963.
 22. Alan H.Marshak, "A unique current controlled negative resistance generator," *Electrical Engineering*, PP. 348—349, May 1963.
 23. H.J.Reich, "More about negative resistance circuits," *Proc. of IEEE*, PP.1058—1059, Sept. 1964.
 24. Minoru Nagata, "A Simple Negative Impedance Circuit with no internal Bias Supplies and good Linearity," *IEEE, Transactions on circuit theory*, PP. 423—434, Sep. 1965.
 25. UI Yul Park, "A study on composition of current-stable negative resistance circuits," *The Jour. of the Institute of Korea Electronics Engineers*, Vol. 10, No.1, PP.9—17, January 1973.
 26. Ui Yul Park, "A Study on composition of SCR characteristics," *The Jour. of the Institute of Korea Electrical Engineers*, Vol.22, No.2, PP.74—84, March, 1973.
 27. Duncan B.Cox and H.J.Reich. "Maximizing the Frequency of Negative-Resistance Oscillation," *IEEE Trans. on circuit theory*, Vol. 14, No.1, PP.44—51, 1967.
 28. Ui Yul Park, "A study on Oscillating Circuit by Voltage stable negative resistance circuit," *Study Report of Institute of Industrial Technology, College of Eng. B.N.U.*, Vol. 12, PP. 153—161, April 1973.