

多入力變化 遷移應動非同期順序論理回路的 內部狀態  
減少法에 關한 研究

(A Method of Internal State Reduction in the Synthesis of  
Multipul-Input Asynchronous Sequential Circuits  
Using Transition-Sensitive Flip-Fops)

林 濟 鐸\* · 李 根 泳\*\*

Lim, Chae Tak and Lee, Keun Young

要 約

遷移應動 非同期順序回로를 合成하기 爲하여 D-型 遷移應動 flip-flop을 使用하였다. 入力組의 雙이라  
는 새로운 概念을 導入하여 內部狀態를 減少할 수 있었다. 原始狀態表로부터 直接 多入力變化 回로를 合成  
하는 節次를 마련하였고 實例를 들어 지금까지의 方法보다 더 나은 方法임을 實證하였다.

Abstract

To synthesize transition-sensitive asynchronous sequential circuits, D-type transition-sensitive  
flip-flop is used. A new concept, a pair of input state is introduced and used to reduce the number  
of internal states. We proposed an algorithm to synthesize multiple-input change asynchronous  
sequential circuits directly from a primitive state table and demonstrated the method is better than  
the one which is due to Bredeson and Hulina and Others.

I. 序 論

遷移應動素子(transition-sensitive element)는 同期  
順序回로에 있어서 pulse幅에 따르는 制約을 없애는  
方法으로 使用해 왔는데 最近에 非同期順序回로를 合  
成하는 데 이것을 使用하기 爲한 研究가 많이 行하여  
지고 있다. 이는 遷移應動論理回로의 動作速度가 빠르  
기 때문에 高速非同期系統에 매우 有用하게 使用되기  
 때문이다.

Chuang<sup>1)</sup>은 遷移信號를 pulse로 看做하고 傳統的인  
pulse順序回로 合成法을 適用하였다. Smith와 Roth<sup>2)</sup>  
는 萬能遷移應動素子로서 I-T flip-flop을 提案하고  
DM表에 依한 解析法과 合成法을 展開하였다. Bred-  
son과 Hulina<sup>3)</sup>는 普通的 flip-flop을 記憶素子로 하고,  
그 入力에 遷移應動 gate를 附加하여 遷移應動素子를

만들고, 이것을 使用하여 正規原始狀態表로부터 直接  
單-多入力變化 非同期順序回로를 合成하였다.

그 結果 單入力變化回로에서는 普通的 flip-flop에  
依하여 合成한 것보다 內部變數의 數가 적거나 같았으  
나, 多入力變化 回로에서는 合成節次가 從來方法보다  
는 容易하고 一般的으로 回로가 더 簡單하게 됨을 보  
였다. 그러나, 多入力變化에 依해서 일어나는 內部變  
數의 增加에 對한 解決方法을 얻지 못하였다.

本論文에서는 狀態變數集合의 雙(pair)이라는 새로  
운 概念을 導入하여 多入力變化 順序論理回로를 合成함  
에 있어서 正規原始狀態表로부터 直接 합병(merge)  
된 入力表를 求하고 또 狀態變數의 數를 減少  
하는 하나의 方法을 提示한다.

2. 多入力變化 遷移應動 非同期順序論理回로

一般的인 論議에 앞서 必要한 定義와 記號法을 說明  
한다.

[定義 1] 狀態表에서 各行에 있어 오직 하나의  
安定狀態란을 갖는 狀態表를 原始狀態表(primitive

\* 正會員 \*\* 準會員 漢陽大學校 工科學科 電子工學科  
Department of Electronics Engineering, Engineering  
College, Hanyang University

·接受日字: 1974年 3月 18日

state table)<sup>4)</sup>라 하고 모든 不安定狀態가 安定狀態로 變할 때 이것을 正規原始狀態表(normal primitive state table)<sup>5)</sup>라 한다.

[定義 2]<sup>3)</sup> P는 n狀態와 m入力  $x_1, x_2, \dots, x_m$ 을 갖는 正規原始狀態表이다.  $I_p = (x_1, x_2, \dots, x_i, \dots, x_m)$ 은 入力組를 表示하며 p는 10進數로 表示된 添字로서  $p = 0, 1, \dots, 2^n - 1$ 이다.

[定義 3] P에 있어서  $I_{\alpha, \beta} = (I_\alpha, I_\beta)$ 는 入力組  $I_\alpha, I_\beta$ 의 雙(pair)이다. 添字가 繁雜하게 됨을 피하기 爲해서  $I_{\alpha, \beta}$ 를  $I_\alpha$ (但  $\alpha = \min(\alpha, \beta)$ )로 表記하기로 한다.

여기에서  $\alpha = 0, 1, \dots, 2^{n-1}$   
 $\beta = 2^{n-1}, 2^{n-2}, \dots, 2^0$   
 이며 서로 對應하는 添字의 入力組로 雙을 만든다.

[定義 4]<sup>3)</sup> P에 있어서  $S_p = \{s_{p1}, s_{p2}, \dots, s_{kp}\}$ 는 入力組  $I_p$ 欄(column)에 있는 安定狀態集合이고 그 集合의 要素數는  $|S_p|$ 로 表示하며  $K_p = \{\log_2 k_p\}$ 라 한다. 여기에서  $n = k_0 + k_1 + \dots + k_{m-1}$ 이다.

[定義 5] P에 있어서 安定狀態集合  $S_{\alpha, \beta} = \{(S_\alpha), (S_\beta)\}$ 는 入力組의 雙이 가지는 安定狀態의 集合이다.

$$k_{\alpha, \beta} = \max\{|S_\alpha|, |S_\beta|\} = k_{\bar{\alpha}} \text{이며}$$

$$K_{\alpha, \beta} = \{\log_2 k_{\alpha, \beta}\} = K_{\bar{\alpha}} \text{이다.}$$

[定義 6] P에 있어서  $Y_{\alpha, \beta} = Y_{\bar{\alpha}} = (y_{m+1}, y_{m+2}, \dots, y_{m+k_{\bar{\alpha}}})$ 는  $k_{\bar{\alpha}}$ 個의 狀態를 區分하는 데 必要한 狀態變數의 集合이다.

모든 狀態가 各各 區分되기 爲해서는 適合한 coding이 必要하다. 그렇게 하기 爲하여 모든 狀態들을 먼저 入力組에 依하여 區分하고 다음 各 入力組에 屬하는 狀態들을 區分한다. 一般的으로 j 狀態變數가 必要하게 되는 데  $j = 1, 2, \dots, m, m+1, \dots, M$ , 이고  $M = m + \sum_{\bar{\alpha}=0}^{2^{n-1}-1} k_{\bar{\alpha}}$ 이다.

[定義 7]<sup>3)</sup>  $S_p$ 의 各狀態要素中 처음 m個의 狀態變數는 入力組  $I_p$ 와 갈게 割當(assign)하고 이것을 分解割當(decomposition assignment)이라 한다.

即  $y_i = x_i, i = 1, 2, \dots, m$  이다.

[定義 8]  $S_{\alpha, \beta}$ 에서 狀態數가 많은  $S_\alpha$  또는  $S_\beta$ 는 狀態變數集合  $Y_{\bar{\alpha}}$ 에 依하여 다시 區分한다. 이것을 非交割割當(nonintersecting assignment)이라 한다.

[定義 9]<sup>3)</sup>  $I_\alpha | x_i \oplus I_\beta | x_i$ 는 入力組  $I_\alpha, I_\beta$ 의 i번째 要素의 2를 法으로 하는 加算(modulo-two sum)을 表示한다.

[定義 10] D表에서  $e_{\alpha k}$ 는 狀態表의 安定狀態  $s_{\alpha k}$ 에 對應하는 entry,  $e_{\beta k}$ 는 任意의 行에서  $s_{\alpha k}$ 의 不安定狀態에 對應하는 entry,  $e_\alpha$ 는 入力組  $I_\alpha$ 에 對應하는 欄을 表示한다.

[定義 11]  $I_\alpha$ 에서  $I_\beta$ 로의 入力組의 遷移는  $I_\alpha \xrightarrow{T} I_\beta, S_\alpha$ 에서  $S_\beta$ 로의 狀態遷移는  $S_\alpha \xrightarrow{T} S_\beta$ 로 表示한다.

[定理 1]<sup>3)</sup> 어떤 正規原始狀態表 P에 있어서 모든 狀態는 分解割當과 非交割割當에 依하여 各各 coding 되었다고 한다. 入力組  $I_\alpha$ 에 있는  $s_{\alpha k} \in S_\alpha$ 에서 回路가 安定狀態이고 다음 狀態는 入力組  $I_\beta$ 의  $s_{\beta l} \in S_\beta$ 에 있다고 한다. 여기에서  $\alpha \neq \beta$ 이다. 그러면 다음 條件下에서 P回路는 單-多入力變化에 對하여 確實한 動作을 하게 된다.

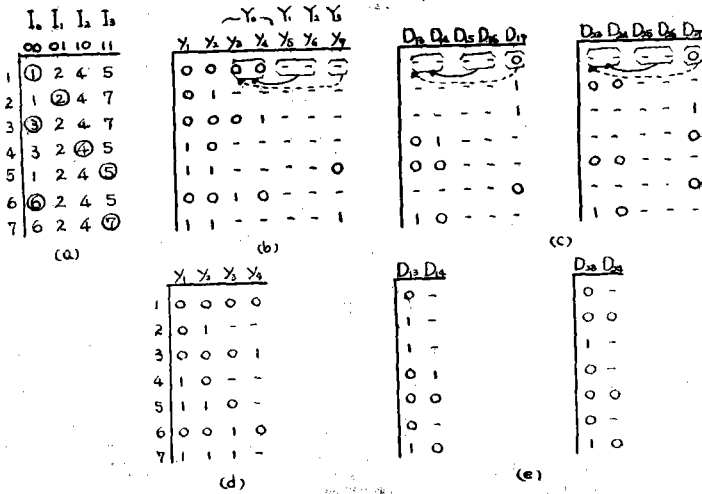
1. 多入力變化에 對하여 처음과 마지막 入力變化의 間격( $\Delta T$ )은 flip-flop의 遲延( $\Delta F$ )보다 짧아야 한다.
2.  $TS_{ii} = x_i, D_{ii} = x_i$ , 여기서  $i = 1, 2, \dots, m, i \neq j$ 일 때는  $TS_{ij} = 0, D_{ij} = 0$ . 여기서  $i, j = 1, 2, \dots, m$ 이다. 이것은 처음 m flip-flop은 단 하나의 TS 入力만이 必要함을 意味한다.
3.  $TS_{ij} = x_i$ , 여기서  $i = 1, 2, \dots$ , 이고  $m, j = m+1, m+2, \dots, M$ 이다.
4.  $s_{\alpha k} \in S_\alpha$ 에서  $j = m+1, \dots, M$ 에 對한  $D_{ij}$ 는  $I_\alpha | x_i \oplus I_\beta | x_i = 1$ 일 때 그 다음 狀態인  $s_{\beta l} \in S_\beta$ 를 나타내는 狀態變數集合  $Y_\beta (y_j \in Y_\beta)$ 로 規制(specify)한다.  $I_\alpha | x_i \oplus I_\beta | x_i = 0$ 일 때는 don't-care로 規制한다. 여기에서  $D_{ij}$ 는 오직 y變數만의 函數이다.

[定理 2] P에 있어서 任意의 狀態集合의 雙  $S_{\alpha, \beta}$ 에 對하여 두 狀態集合  $S_\alpha, S_\beta$ 중 狀態數가 많은 便의 狀態變數集合 하나만을 定함으로서, 狀態變數의 數를 減少할 수 있다.

[證明] 1. 各 入力組  $I_\alpha, I_\beta$ 에 對하여  $Y_\alpha \cap Y_\beta = \phi$ (공집합)이므로  $Y_\alpha$ 와  $Y_\beta$ 는  $Y_{\bar{\alpha}}$ 로 merge할 수 있다.

2. 狀態  $s_{\alpha k}$ 에서 다음 狀態  $s_{\beta l}$ 로의 遷移가 狀態集合의 雙 內의 遷移일 때 即  $s_{\alpha k}, s_{\beta l} \in S_{\alpha, \beta}$ 이면 모든 i에 對하여 항상  $I_\alpha | x_i \oplus I_\beta | x_i = 1$ 이므로 D表에서  $e_{\beta k}$ 은 0이나 1로 規制되고  $e_{\alpha k}$ 는 항상 don't-care로 規制되므로 같은 雙의 entry인  $e_{\beta k}$ 와  $e_{\alpha l}$ 은 merge할 수 있다. 따라서  $e_\alpha$ 와  $e_\beta$ 는 merge할 수 있다.

3. 狀態가 任意의 狀態集合의 雙으로부터 다른 狀態集合의 雙으로 遷移할 때, 即  $s_{\alpha k} \in S_{\alpha, \beta}, s_{r_k}, s_{\beta h} \in S_{r_h}$ 일 때 狀態遷移  $s_{\alpha k} \xrightarrow{T} s_{r_k}, s_{\alpha k} \xrightarrow{T} s_{\beta h}$ 는 各各 入力組 遷移  $I_\alpha \xrightarrow{T} I_r, I_\alpha \xrightarrow{T} I_\beta$ 에 依하여 일어나는데 이때 入力變數의 變化가 서로 交接하지 않게 일어난다. 即  $I_\alpha \xrightarrow{T} I_r$ 에  $I_\alpha | x_i \oplus I_\beta | x_i = 0$ 이면  $I_\alpha \xrightarrow{T} I_\beta$ 는  $I_\alpha | x_i \oplus I_r | x_i = 1$ 이다. 다시 말하면  $I_\alpha \xrightarrow{T} I_r$ 에서 變하지 않는 入力變數는  $I_\alpha \xrightarrow{T} I_\beta$ 에서는 變한다. 그러므로  $I_\alpha | x_i \oplus I_r | x_i = 0$ 이면 D表에서  $e_{r_k}$ 는 don't-care이고  $e_{\beta h}$ 는 0이나 1이다.  $I_\alpha | x_i \oplus I_r | x_i = 1$ 이면 反對로 된다, 그러므로 같은



$I_0=(0,0)$	$I_1=(0,1)$	$I_2=(1,0)$	$I_3=(1,1)$
$S_0=(1,3,6)$	$S_1=(2)$	$S_2=(4)$	$S_3=(6,7)$
$k_0=3$	$k_1=1$	$k_2=1$	$k_3=2$
$K_0=2$	$K_1=0$	$K_2=0$	$K_3=1$
$Y_0=(y_3, y_4)$	$Y_1=0$	$Y_2=0$	$Y_3=(y_7)$
$S_{0,3}=\{(1,3,6), (5,7)\}$		$S_{1,2}=(2,4)$	
$k_{0,3}=k_0=2$		$k_{1,2}=k_1=1$	
$K_{0,3}=K_0=2$		$K_{1,2}=K_1=0$	
$Y_{0,3}=Y_0=(y_3, y_4)$		$Y_{1,2}=Y_1=0$	

表 1. (a) 正規原始狀態表 (b) 狀態變數割當表  
(c)  $D_{ij}$ 表 (d) Merge된 狀態變數割當表  
(e) Merge된  $D_{ij}$ 表

Table 1. (a) Normal primitive state table  
(b) State variable assignment table  
(c)  $D_{ij}$  table  
(d) Merged state variable assignment table  
(e) Merged  $D_{ij}$  table

雙에 對應하는  $e_r, e_s$ 는 항상 merge할 수 있다.

이와같이  $D$ 表에서 各 入力組의 雙(pair)에 對應한  $e_\alpha, e_\beta$ 는 merge가 可能하여 狀態變數를 減할 수 있다. 여기서  $i=1, 2, \dots, m$ 이고  $j=m+1, m+2, \dots, m + \sum_{\alpha=0}^{m-1} 2^{\alpha-1} - 1$   $K_\alpha$ 이다. (證明略)

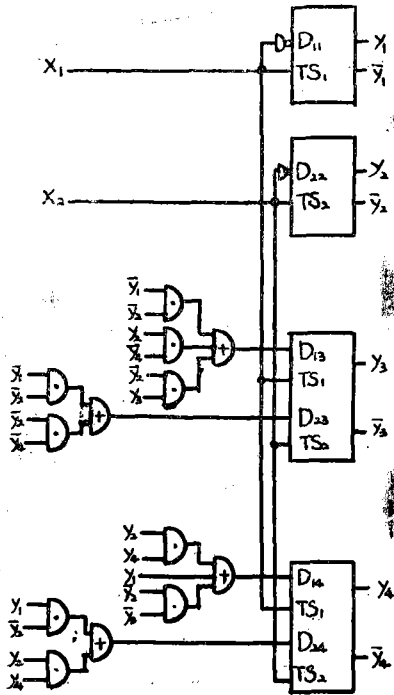
[例 1] Table 1-(a)의 狀態表로 表示되는 回路를 實現한다. 定義에 依한 여러 項들을 table에 記入했고  $y$ 變數의 값은 任意로 割當한다. ①  $\rightarrow$  ⑤이던  $S_{0,3}$  內의 遷移 ( $s_0 \rightarrow s_3$ )이므로  $I_0|x_1 \oplus I_3|x_1=1$  ( $i=1, 2$ )이다. 即 두 入力變數가 모두 變한다. 그러므로  $y_7 \in Y_3$  (table 1-(b))의 ⑤에 對應하는 값이 0이므로  $D_{17}, D_{27}$  (table 1-(c))의  $e_7^2$ 에 各各 0이 規制된다. ①  $\rightarrow$  ②나 ①  $\rightarrow$  ④이던  $S_{0,3} \rightarrow S_{1,2}$  ( $s_0 \rightarrow s_1$  或은  $s_0 \rightarrow s_2$ )이므로 두 入力變數中 단 하나만 變한다. ①  $\rightarrow$  ②이던  $I_0|x_2 \oplus I_1|x_2=1$ 이므로  $y_5 \in Y_1$ 의 ②에 對應하는 값(-)을  $D_{25}$

의  $e_5^2$ 에 規制한다. 이 때  $D_{15}$ 의  $e_5^2$ 에는 入力變數가 變하지 않기 때문에 don't-care가 規制된다. ①  $\rightarrow$  ④이면  $I_0|x_1 \oplus I_2|x_1=1$ 이므로  $y_6 \in Y_2$ 의 ④에 對應하는 값(-)을  $D_{16}$ 의  $e_6^2$ 에 規制하고  $D_{26}$ 의  $e_6^2$ 에는 入力變化가 없기 때문에 don't-care를 規制한다. 나머지는 同一한 方法으로 規制하여  $D$ 表를 求한다. Table 1-(d)는 減少된 變數에 依한 coding을 表示하고 Table 1-(e)는 merge된  $D$ 表를, 그림 1은 實現된 回路를 表示한다. table 1-(b), (c)의 그림을 실선과 점선으로 merge하면 table 1-(d), (e)와 같이됨을 알 수 있다.

다음에 段階的인 合成節次를 要約한다.

1. 回路의 原始狀態表( $S_\alpha \cap S_\beta = \phi, \forall \alpha, \beta; \alpha \neq \beta$ )를 만들고 等價인 狀態(Huffman의 意味에서)를 除去한다. 이 表를  $P$ 라 한다.

2.  $P$ 는  $n$ 個의 狀態와  $m$ 個의 入力  $x_1, x_2, \dots, x_i, \dots, x_m$ 을 갖는다.  $2^m$ 個의 入力組를  $I_p$  ( $p=0, 1, \dots, 2^m-1$ )로 表-



$$D_{13} = \bar{y}_1 \bar{y}_2 + y_1 \bar{y}_2 + \bar{y}_1 y_2$$

$$D_{14} = y_1 + x_2 y_2 + \bar{y}_1 \bar{y}_2$$

$$D_{23} = \bar{y}_1 \bar{y}_2 + \bar{y}_1 y_2$$

$$D_{24} = y_1 \bar{y}_2 + x_2 y_2$$

그림 1. 實現된 回路  
Fig. 1. Realized circuit

示한다.  $I_\beta$ 欄에 있는 安定狀態  $s \in S_\beta$ 中에서 처음  $m$ 個의 狀態는 入力code와 同一하게 coding한다.

3. 非交接割當에  $k_0 + k_1 + \dots + k_{2^m-1} = k$ 個의 狀態變數가 必要하며 이들은  $y_{m+1}, y_{m+2}, \dots, y_{m+k}$ 로 表示한다.  $S_{\alpha, \beta}$ 의  $S_\alpha, S_\beta$ 의 各 狀態를 區分 coding한다.

4. 위의 coding된 狀態表로부터 [定理 2]에 依하여 直接 merge된  $D_{ij}$ 表를 만든다.

5.  $D_{ij}$ 表로부터  $D$ 入力の 式을 求하고 이 式으로 回路를 實現한다.

[例 2] 前記 合成節次에 依하여 Table 2-(a)에 있는 狀態表를 實現한다.

1.  $P$ 는 Table 2-(a)와 같다.

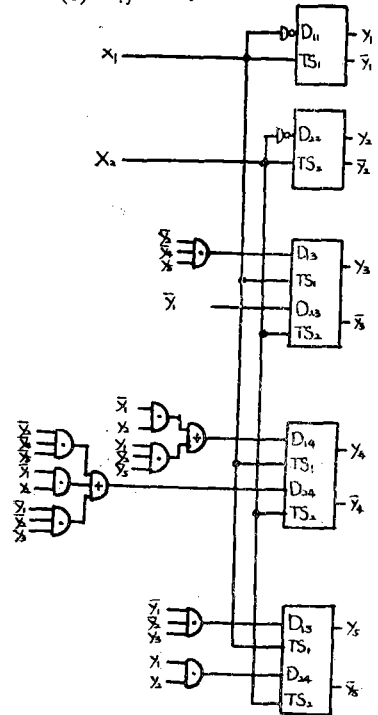
2.  $P$ 는  $n=8$ 個의 狀態와  $m=2$ 個의 入力  $x_1, x_2$ 를 갖는다.  $2^2=4$ 個의 入力組는 Table에 表示하였다.

$s \in S_\beta$ 中 처음 두 狀態는 入力code와 同一하게 coding 되어 있음을 Table 2-(b)에 보였다.

I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>	y <sub>1</sub> y <sub>2</sub> y <sub>3</sub> y <sub>4</sub> y <sub>5</sub>					D <sub>13</sub> D <sub>14</sub> D <sub>23</sub>			D <sub>24</sub> D <sub>34</sub> D <sub>44</sub>				
				00	01	10	11									
1	①	3	2	4	0	0	0	-	-	0	0	0	-	0	-	0
2	1	8	②	4	1	0	-	0	0	0	1	-	-	0	-	0
3	6	③	7	4	0	1	-	0	-	-	1	0	-	1	1	0
4	1	3	5	④	1	1	-	0	-	0	0	-	-	0	0	1
5	6	3	⑤	4	1	0	-	0	1	1	-	-	-	0	-	0
6	⑥	8	5	4	0	0	1	-	-	-	0	1	-	-	-	0
7	1	8	⑦	4	1	0	-	1	0	0	1	-	-	1	-	0
8	6	⑧	7	4	0	1	-	1	-	-	1	0	-	1	1	0

(a)  $I_0=(0,0)$      $I_1=(0,1)$      $I_2=(1,0)$      $I_3=(1,1)$   
 $S_0=(1,6)$      $S_1=(3,8)$      $S_2=(2,5,7)$      $S_3=(4)$   
 $S_{0,3}=\{(1,6), (4)\}$      $S_{1,2}=\{(3,8), (2,5,7)\}$   
 $k_{0,3}=2$      $k_{1,2}=3$   
 $K_{0,3}=K_0=1$      $K_{1,2}=2$   
 $Y_{0,3}=Y_0=(y_3)$      $Y_{1,2}=Y_1=(y_4, y_5)$

表 2. (a) 正規原始 狀態表  
(b) 狀態變數 割當表  
(c)  $D_{ij}$ 表  
table 2. (a) Normal primitive state table  
(b) State variable assignment table  
(c)  $D_{ij}$  table



$$D_{13} = x_1 x_2$$

$$D_{14} = \bar{y}_1 x_1 + y_2 \bar{y}_2$$

$$D_{15} = \bar{y}_1 \bar{y}_2$$

$$D_{23} = \bar{y}_1 \bar{y}_2 + \bar{y}_1 y_2 + y_1 y_2 + \bar{y}_1 y_2 y_4$$

$$D_{24} = \bar{y}_1$$

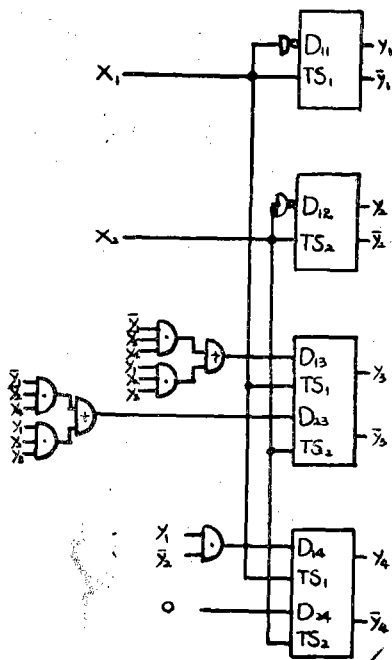
$$D_{34} = y_1 y_2$$

그림 2. 實現된 回路  
Fig. 2. Realized circuit

3. 非交接割當에  $k_0+k_1=1+2=3$ 개의 狀態變數가 必要하며 이들을  $Y_0=(y_3), Y_1=(y_4, y_5)$ 로 表示하고  $S_{0,3}, S_{1,2}$ 의 各 要素의 coding을 Table 2-(b)에 表示하였다.

4.  $D_{ij}$ 表는 Table 2-(c)에 表示하였다. 가령 狀態 集合의 變  $S_{0,3}$ 內의 ① $\rightarrow$ ④의 遷移일 때  $I_0|x_1 \oplus I_3|x_1 = 1$  ( $i=1, 2$ )이므로  $D_{13}, D_{23}$ 의  $e_3^2$ 에 狀態變數集合  $Y_0 = Y_{0,3}=(y_3)$ 의 ④에 對應하는 값(-)을 規制한다. 다음  $S_{0,3}$ 內,  $S_{1,2}$  遷移일 때 ① $\rightarrow$ ③은  $I_0|x_2 \oplus I_1|x_2 = 1$ 이므로  $Y_1$ 의 ③에 對應한 값(0, -)을  $D_{24}$ 의  $e_3^2$ 에 規制한다. ① $\rightarrow$ ②은  $I_0|x_1 \oplus I_2|x_1 = 1$ 이므로  $Y_1 = Y_{12}=(y_4, y_5)$ 의 ②에 對應한 값(0, 0)을  $D_{14}, D_{15}$ 의  $e_3^2$ 에 規制한다. 다음 行도 마찬가지로 規制하면 Table 2-(c)를 얻는다.

그림 2는  $D_{ij}$ 入式에 依한 그 實現된 回路이다. 이 와같이 [定理 2]를 基礎로 하는 合成節次에 依하여 原始狀態表로부터 直接 容易하게 merge된  $D_{ij}$ 表를 얻을 수 있었고 狀態變數를 減少시킬 수 있었다. 위 예에서는 從來方法에 比하여 狀態變數가 하나 減少되었다.



$$D_{13} = \bar{y}_3 \bar{y}_4 y_5 + y_1 y_3 y_4$$

$$D_{14} = y_1 \bar{y}_2$$

$$D_{23} = \bar{y}_3 \bar{y}_4 + y_1 y_3 y_4$$

$$D_{24} = 0$$

그림 3. 減少된 回路  
Fig. 3. Reduced circuit

마지막으로 Bredeson과 Hulina가 使用한 例題를 이 方法으로 合成한 結果를 比較하면 다음 表와 같다.

方法	區分	入力線數	gate數	FF數
Bredeson & Hulina		41	11	6
本論文에 依한 方法		40	13	4

FF(Flip-Flop)數가 6個에서 4個로 減少하였고 分解 割當에 依한 狀態變數  $y_1, y_2, \dots, y_m$ 의 flip-flop는 省略할 수 있음을 감안할 때 FF數는 半減된 結果가 되며 狀態數와 入力變數가 많은 경우에는 FF數의 減少는 더욱 顯著하게 된다. 그림 3은 減少된 回路이다.

### 3. 結 論

多入力變化 遷移應動 非同期順序論理回路의 合成에 있어서 內部變數를 減少하기 爲하여 入力組의 雙(pair)이라는 새로운 概念을 導入하였다. [定理 2]에서 狀態變數가 減少됨을 보였고 이를 基礎로 한 合成節次를 마련함으로써 原始狀態表로부터 直接 merge된  $D_{ij}$ 表를 얻는 方法을 提示하였다. 그 節次를 容易하게 理解할 수 있도록 두 個의 例를 들었고 마지막으로 Bredeson과 Hulina의 方法과 比較하여 本方法의 有利함을 보였다.

### 參 考 文 獻

1. Y.H. [Chuang, Transition Logic Circuits and a Synthesis Method, IEEE Trans. Comput. Vol.c-18, pp.154-168, Feb.1969.
2. J.R. Smith, Jr., and C.H. Roth, Jr., Analysis and Synthesis [of Asynchronous Sequential Networks using Edge-Sensitive Flip-Flops, IEEE Trans. Comput. Vol.c-20, pp.847-855, Aug. 1971.
3. J.G. Bredeson, and P.T. Hulina, Synthesis of Multiple-Input Change Asynchronous Circuits using Transition-Sensitive Flip-Flops, IEEE Trans. Comput. Vol.c-22, pp.524-531, May, 1973.
4. S.H. Caldwell, Switching Circuits and Logical design, Wiley, New York, 1958.
5. E.B. Eichelberger, Sequential Circuit Synthesis using Input Delays, proc. 4th Ann. Symp. Switching Circuits Theory and Logical Design, Chicago, Ill. pp.105-116.