

## 三值全加算器의 構成

(Construction of a Ternary Full-Adder)

林 寅 七\* · 趙 源 敬\*\*

(Lim, In Chil and Cho, Won Kyung)

## 要 約

本 論文은 電流制御形負性抵抗 回路를 使用한 새로운 三值全加算器의 構成에 關하여 論한다. 負性抵抗特性을 利用하여 먼저 特殊한 半加算器를 設計하고 이에 의하여 全加算器를 構成한다. 이 半加算器는 負性抵抗 回路와 쇼트키-베리어 다이오드를 使用한 三安定 回路에 의해 構成되며, 두 入力信號가 모두 "2"일 경우 Sum 과 Carry 出力이 각각 "0"과 "1"의 값을 갖는다. 여기에 提案한 全加算器는 從來의 全加算器에 比하여 게이트 數가 감소되고, 速度가 개선된다. 回路素子는 트랜지스터와 쇼트키-베리어 다이오드, 抵抗만을 使用하여 IC化하는데 便利하게 하였다.

## Abstract

A new ternary full adder using the current controlled negative-resistance circuit is described. The full adder is constructed from the modified-half-adder which was devised by making use of a negative resistance circuit. This full adder makes the number of its gates decrease and makes its own speed increase in comparison with the full adders which had been introduced previously.

It is convenient to construct to the integrated circuit because transistor, SBD(Schottky Barrier Diode) and resistors were used as the circuit elements.

## I. 序 論

情報量의 增大에 따라 情報處理裝置의 高速化가 요구된다. 그러므로 二值論理回路에 限定되는 處理 速度를 三值論理를 적용하여 해결하기 위하여 三值論理回路에 對한 研究가 널리 行해지고 있다.

本 論文에서는 三進演算을 위해서 중요한 三值全加算器의 새로운 設計 方法을 提案한다. 종래에 提案된 三值全加算器<sup>2)</sup>는 인버터를 基本으로

하는 數個의 一變數基本演算자와 AND, OR 의 多變數基本演算자에 의해서 構成되었다. 그러나 多數의 게이트를 필요로하여 回路의 構成이 복잡해진다. 이와같은 회로의 복잡성을 改善하기 위하여 종래에 提案된 二值全加算器의 構成 原理<sup>1)</sup>를 利用하여 三值全加算器를 構成한다.

本質적으로 三值論理回路構成에 적합한 負性抵抗素子가 없기 때문에 트랜지스터를 使用한 電流制御形負性抵抗 回路를 使用하여 特殊한 半加算器(以下 편이상 準半加算器 혹은 MHA-modified half adder라함)를 構成하고 이에 의하여 三值全加算器를 構成한다. MHA는 하나의 負性抵抗, 非線形負荷를 使用한 三安定回路과 二安定回路에 의해 構成된다. 게이트 數의 輕減과 速度의 改善을 위하여 二值<sup>1)</sup>에서와 같이 負性抵抗을 利用하여 電流를 Carry, 電壓을 Sum으로 分類하여 出

\* 正會員, 漢陽大學校 工科大學 電子工學科  
Dept. of Electronics Engineering, Hanyang University

\*\* 準會員, 慶南大學 電氣工學科  
Dept. of Electrical Engineering, Kyungnam College

接受日字: 1973年 11月 27日

력을 얻는다.

II. 準半加算器(MHA)

대부분의 負性抵抗特性은 第一正抵抗과 第二正抵抗領域의 抵抗値가 다르기 때문에 等間隔의 入力에 對하여 安定한 Sum 出力을 얻는데 어려움이 있다. 특히 터널 다이오드에서는 電流의 값이 3개의 安定點을 갖도록 設計하는데 어려움이 있다. 本 論文에서는 터널 다이오드 보다 速度가 느리지만 安定한 三安定動作과 IC化하기에 편리한 電流制御形負性抵抗回路를 使用하여 準半加算器를 設計한다. 2 入力인 경우 準半加算器의 眞理値表는 入力을  $x, y$ , Sum과 Carry 出力을  $S_0, C_0$  라고 표시하면 表 1과 같다

表 1. 準半加算器의 眞理値表  
Table 1. Truth Table of Modified-Half-Adder

	$y$	0	1	2
$x$	0	00	01	02
	1	01	02	10
	2	02	10	10

$C_0, S_0$

$x=2, y=2$ 의 入力에 對하여 半加算器는  $C_0=1, S_0=1$ 의 出力을 갖지만 準半加算器는  $C_0=1, S_0=0$ 의 값을 갖는다. 그러므로 準半加算器를 使用하여 全加算器를 構成할때  $x=2, y=2$ 인 경우 1를 보상 해주어야 한다. 準半加算器는 2 혹은 3개의 入力 단자를 갖을 수 있지만 全體 入力의

합이 4를 초과할 수 없다.

1) 電流制御形負性抵抗回路의 電壓—電流 特性

그림 1(a) 回路는 M. Nagata<sup>1)</sup>의 電流制御形負性抵抗回路를 原形으로 한것으로 回路構成이 簡單하고 公급 電源이 필요하지 않은 特徵이 있다.

電壓—電流 特性은  $\beta$  차단 주파수까지 直線의 이기 때문에 等間隔의 三值入力信號에 對하여 安定된 三值 出力을 얻을 수 있다. 그러므로 準半加算器의 構成에 그림 1(a) 回路를 使用하였다.

그림 1(a) 回路의 電壓—電流 特性은 그림 2와 같다. 그림 2의 領域을 3區間으로 나누어 各各 I 領域, II 領域, III 領域 이라고 한다. I 領域은  $V_i$ 의 變化에 對해서 電流의 變化가 적은 狀態, 즉 트랜지스터를 에미터 接地로 使用할 경우  $V_{BE}$ 는 거의 零인 상태이다. 이때  $v-i$  特性 曲線의 기울기는  $R_{bb}, R_{bc}$ 와  $Tr$ 의 누설전류  $I_{CO}$ 에 의해 결정된다. 실리콘  $Tr$ 을 使用할 경우  $I_{CO}$ 는 無視할 수 있다. 그러면 I 領域正抵抗의 크기  $R_I$ 는

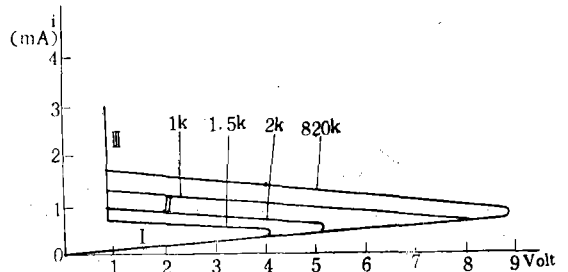


그림 2.  $R_{bb}$ 의 變化의 따른 그림 1의 電壓電流特性  
 $R_{bc}=10K\Omega, R_{eb}=820\Omega, 1K\Omega, 1.5K\Omega, 2K\Omega$   
Fig. 2. Volt-ampere characteristic of Fig 1 circuit depending on values of  $R_{bb}$

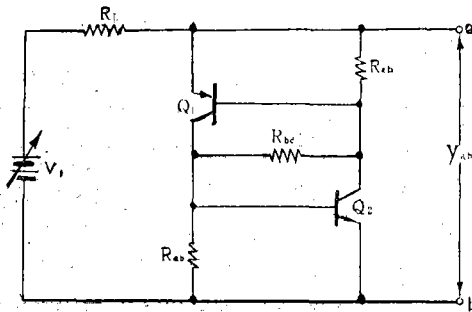


Fig. 1 (a)

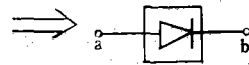


Fig. 1 (b)

그림 1 (a)  $Tr$ 를 使用한 電流制御形負性抵抗回路

Fig 1 (a) Current controlled negative resistance circuit using transistor

$$R_I \approx 2R_{e_b} + R_{b_c}$$

로 주어진다. 이때  $R_{e_b}$ 에 흐르는 電流  $I_I$ 는

$$I_I = \frac{V_i}{R_L + 2R_{e_b} + R_{b_c}}$$

가 된다. 入力 電壓  $V_i$ 가 커지면  $I_I$ 가 증가하여  $R_{e_b}$  양단의 電壓  $V_{e_b}$ 가 증가한다.  $V_{e_b}$ 는 高利得 에미터 共通중복기의 베이스-에미터間的 電壓이다.  $V_{e_b}$ 가  $V_{Bo}$ (Tr.의 cutin 電壓)에 도달하면 電流는 갑자기 증가하기 시작하여 負荷抵抗  $R_L$ 에 의한 電壓 降下는 增大하고 그림 1(a)에서 a-b間的 電壓  $V_{e_b}$ 는 減小한다. 즉 그림 2에서 Ⅱ領域에 해당된다. 이때 負性抵抗値는

$$R_n = -\frac{\Delta V_{e_b}}{\Delta I_I}$$

로 주어진다.

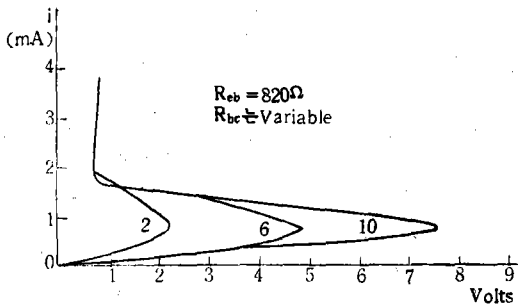


그림 3.  $R_{b_c}$  값의 變化에 따른 그림 1 回路의 電壓-電流特性

$R_{e_b} = 820\Omega$ ,  $R_{b_c} = 2K\Omega, 6K\Omega, 10K\Omega$

Fig 3. Volt-ampere characteristics of Fig 1 circuit depending on values of  $R_{b_c}$ .

$R_n$ 의 값은 바이어스 抵抗  $R_{e_b}$ ,  $R_{b_c}$ 와 Tr.의  $h_{fe}$ 에 의해 결정된다.

Ⅲ領域은  $Q_1, Q_2$ 가 ON인 상태이며  $R_{im}$ (그림 2의 Ⅲ領域의 抵抗)의 값은 거의 零으로 된다.

$R_{e_b}$ 와  $R_{b_c}$ 의 變化에 따른  $v-i$ 特性曲線의 變化는 그림 2, 그림 3과 같다.

### 2) 三安定回路

準半加算器의 眞理值表(表 1)에서 Sum의 값은 0, 1, 2의 3가지 상태를 갖는다. 本論文에서는 負性抵抗特性曲線에서 電壓을 Sum出力으로 얻기 위하여 트랜지스터의 포화 및 차단 領域과 활성 영역에 安定點을 갖는 三安定回路를 使用한다.

활성領域에 安定點을 設定하기 위하여 抵抗과 SBD(schottky-barrier-diodes)를 使用한 非線形負荷를 그림 4(a)의 回路와 같이 構成한다. 그림 4(a)回路의 電壓-電流特性은 그림 4(b)와 같다. 그림 4(a)에서 a-b間的 電壓이 零에서 增加하기 시작하면  $SBD_1$ 은 OFF,  $SBD_2$ 는 ON이기 때문에 抵抗은  $R_1$ 의 값에 따르고 a-b間的 電壓差가  $\frac{V_{cc}}{2}$ 일때  $SBD_1, SBD_2$  둘다 ON 상태(SBD의 Cutin 電壓은  $V_{cc}$ 에 比하여 작기때문에 無視)로 되어 일정한 範圍內에서의 入力 電流의 變化에 對하여 一定한 出力電壓을 갖는 安定點이 存在한다. a-b間的 電壓差가  $\frac{V_{cc}}{2}$ 이상이면  $SBD_1$ 은 ON,  $SBD_2$ 는 OFF로 되어 抵抗값은  $R_1/R_2$  정도로 된다. 그림 4(b)는  $R_1 = 40K\Omega$ ,  $R_2$ 를 각각  $5K\Omega, 10K\Omega, 20K\Omega, 40K\Omega$ 으로 하였을 경

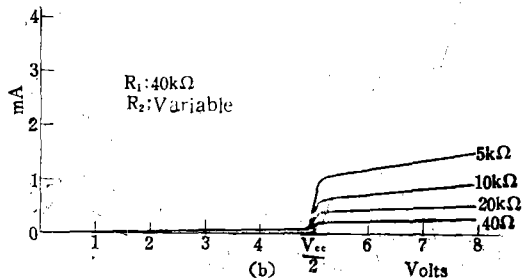
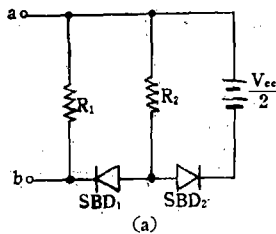


그림 4(a). 抵抗과 SBD를 使用한 非線形 負荷用 回路 Fig 4(a). A nonlinear load using resistance and Schottky-Barrier-Diodes

그림 4(b). 그림 4(a) 回路의 電壓-電流特性 Fig 4(b). Volt-ampere characteristics of Fig 4(a) circuit depending on values of  $R_2$

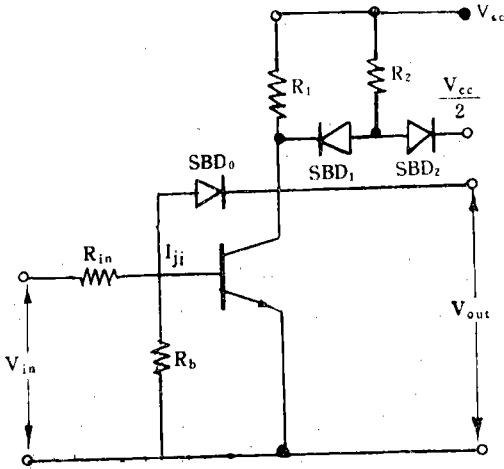


그림 5(a). 三安定 인버터 회로  
Fig. 5(a). A tri-stable inverter circuit

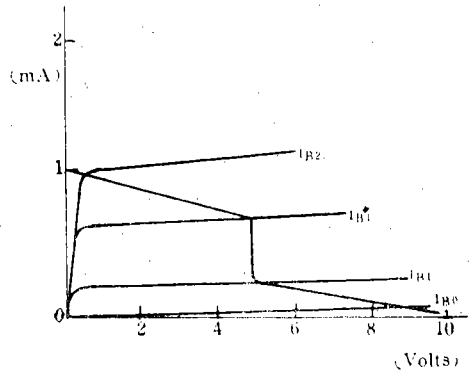


그림 5(b). 三安定 인버터 회로의 動作特性  
Fig. 5(b). Operational characteristic of tri-stable inverter circuit

우  $v-i$  特性의 變化를 나타내었다.

3安定 회로는 그림 4(a)의 非線形 회로를 負荷로 使用하여 그림 5(a)와 같이 構成하였다. 그림 5(b)와 같이  $Tr$ 의 靜特性 曲線에 負荷線을 그리면 入力 電流가  $i_{B1}$ 에서  $i'_{B1}$ 까지 變하는 동안  $Tr$ 의 出力 電壓  $V_{out}$ 는 一定한 값을 유지하여 활성 領域에 安定點을 갖는다.  $Tr$ 의 포화, 차단 상태에서 安定點을 갖는 것은 2值인 경우와 같이 설명된다. 그림 5(b)의 入力 電流와 出力 電壓과의 關係를 入力 電壓 對 出力 電壓의 關係로 바꾸어 그리면 그림 6과 같이 되어 그림 5(a)의 회

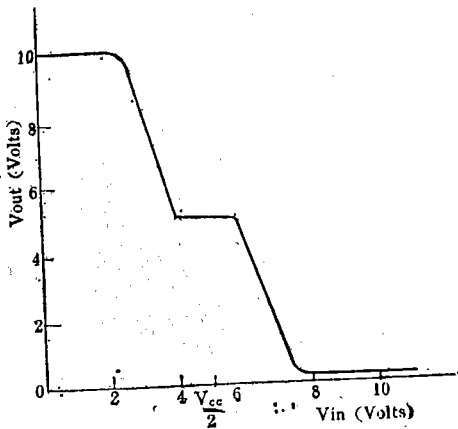


그림 6. 三值 인버터의 入出力 電壓 關係  
Fig. 6. Output voltages vs. Input voltages in tri-stable inverter

路가 3安定인버터로 動作 함을 알 수 있다. 그림 5(a) 회로의  $SBD_0$ 는 트랜지스터를 不포화 領域에서 動作시키어 스위칭 速度를 개선하기 위한 目的으로 使用되었다.

3) 電流制御形 負性 抵抗 회로를 使用한 準半 加算器

그림 1(a) 회로의 a-b 端子를 便宜上 그림 1(b)같이 2端子 素子로 表示하기로 한다. 電流를 carry 出力으로 검출하기 위해 트랜지스터의 베이스-에미터 間을 直列로 접속하고, 電壓을 Sum 出力으로 얻기 위하여 a點에서 큰값의 抵抗  $R_3$ 를 통해 並列로 트랜지스터를 연결하여 그림 7과 같이 회로를 構成하였다. a點에서 병렬로 接續한  $Q_1$  회로는  $R_3$ 의 값이 대단히 크기 때문에 左

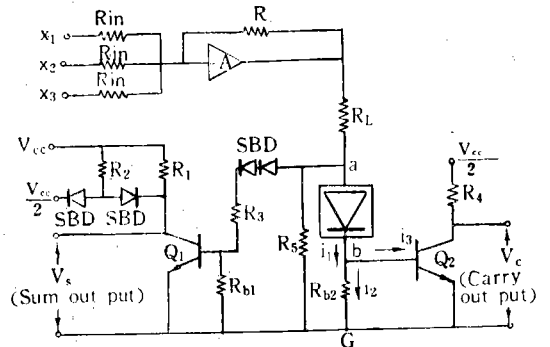


그림 7. 準半加算器 회로  
Fig. 7. Modified-half-adder circuits

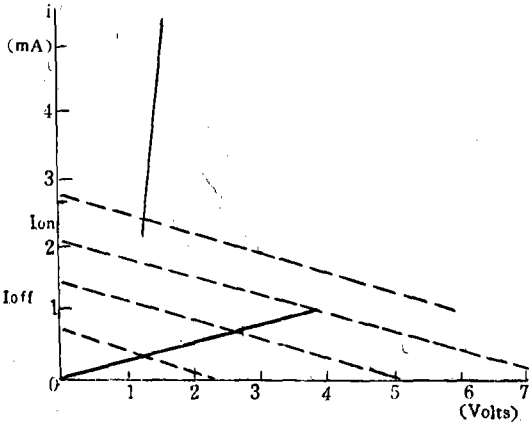


그림 8. 그림 7 a-G 間의 電壓-電流 特性曲線과 入力의 變化에 따른 負荷線의 움직임.

Fig. 8. Volt-ampere characteristic of Fig. 7(a) circuit and changes of load line depending on input voltage.

側 回路의 動作에 거의 영향을 주지 않는다.

$Q_1$ 의 負荷는 非線形負荷로 (2)에서 論한 3安定인버터이다. 그러므로 3個의 安定點을 갖는 Sum 出力을 얻을 수 있다.

端子 a-b 에 직렬로  $Q_2$ 의 베이스-에미터와  $R_b$ 의 병렬회로를 접속한 a-G(그림 7에서) 間의 電壓-電流 特性曲線은 그림 8과 같다. 그림 8 a-G 間의 靜特性曲線에 負荷線(點線)의 움직임이 그림 8과 같도록 準半加算器를 設計한다.

즉 全體 入力の 合이 10進法으로 0, 1, 2, 3, 4인 경우 出力  $C_0, S_0$ 는 00, 01, 02, 10, 10의 값을 갖는다.

그러므로 그림 7의 回路는 表 1(準半加算器의 眞理值表)와 같이 動作함을 알 수 있다. 실제 回路에서  $Q_1, Q_2$ 는 인버터로 動作하기 때문에 다음 段의 入力 回路도 인버터로 動作해야 한다. 그림 7의 回路에서는  $-\frac{1}{2}$ 의 利得을 갖는 Summing

Amplifier를 入力回路로 使用하였다. 그림 7에서  $R_{b2}$ 는  $Q_2$ 의 바이어스를 定하기 위한 抵抗이다. 실험결과  $R_{b2}$ 의 값이 Carry 出力에 미치는 영향은 대단히 크다. a-b 間에 흐르는 電流  $I_1$ 을  $R_{b2}$ 에 의해  $I_2, I_3$ 로 나누어  $I_1$ 의 값이 그림 8에서  $I_{off}$ 일때  $Q_2 \rightarrow OFF$ ,  $I_{on}$ 일때  $Q_2 \rightarrow ON$ 되도록  $R_{b2}$ 의 값을 결정해 주어야 한다.

### III. 三值全加算器의 構成

三值全加算器의 眞理值는 表 2와 같다. 準半加算器와 AND 게이트,  $f_0^1$ (表 3의 眞理值를 갖는 一變數演算子)를 使用하여 그림 9와 같이 三值全加算器를 構成한다. 종래의 全加算器에 比하여 附加된 AND 게이트와  $f_0^1$  一變數演算子는  $x=y=2$ 의 入力인 경우 準半加算器에서 부족되는 出力 1을

表 2. 三值全加算器의 眞理值表  
Table 2. Truth Table of Ternary-Full-Adder.

		$C_i$			0			1			2		
		$y$			0			1			2		
$x$	0			0			0			0			
	0	00	01	02	01	02	10	*	*	*	*	*	
1	01	02	10	02	10	11	*	*	*	*	*		
2	02	10	11	10	11	12	*	*	*	*	*		

$C_0, S_0$

表 3.  $f_0^1$ 의 眞理值表  
Table 3. Truth table of  $f_0^1$

$f$	0	1	2
$f_0^1$	0	0	1

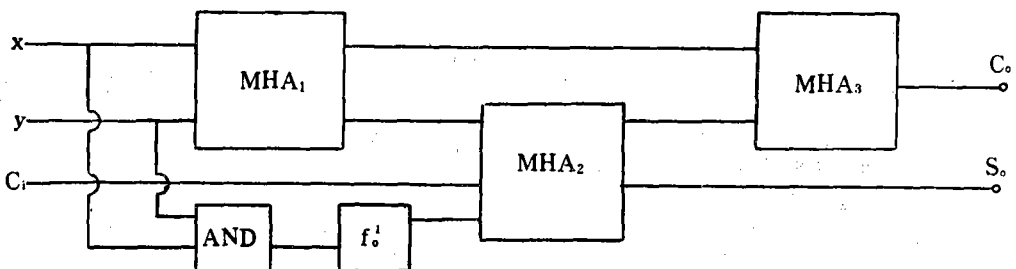


그림 9. 準半加算器를 使用한 全加算器의 構成

Fig. 9. Construction of ternary full-adder using modified-half-adder.

表 4. 三值一變數 函數의 展開

Table 4. Expansion of ternary one variable function

$f(2, 1, 0)$	展 開 式
$f(2, 2, 2)$	$f_2^c$
$f(2, 2, 1)$	$\bar{f}f_1, f_1^1f_2, f_1^1\bar{f}, f_3^1f_1, f_3^1f_2, f_4^1f_3^1$
$f(2, 2, 0)$	$f_4^0\bar{f}, f_2f_1, f_2f_2, f_4^0f_2, f_4^0f_3^1, \bar{f}f_2$
$f(2, 1, 2)$	$x+\bar{f}$
$f(2, 1, 1)$	$f_3^0\bar{f}, f_4^1f_4^0, f_3^1f_4^0, f_4^1f_4^1, \bar{f}f_2^0 f_3^1f_2^0$
$f(2, 1, 0)$	$x$
$f(2, 0, 2)$	$f_2+\{f(2, 0, 0)\}$
$f(2, 0, 1)$	$f_1+\{f(2, 0, 0)\}$
$f(2, 0, 0)$	$f_2\bar{f}, \bar{f}f_1^0, f_2f_1^0, f_4^0f_4^0, f_4^0f_4^1 f_2f_2^0$
$f(1, 2, 2)$	$f_1^1$
$f(1, 2, 1)$	$\bar{f}\{f_1+\{f(1, 0, 0)\}\}$
$f(1, 2, 0)$	$\bar{f}\{f_2+\{f(1, 0, 0)\}\}$
$f(1, 1, 2)$	$f_3^1$
$f(1, 1, 1)$	$f_1^c$
$f(1, 1, 0)$	$f_2^0\bar{f}, f_1f_1, f_1f_2, f_2^0f_2, \bar{f}f_3^1, f_2^0f_3^1$
$f(1, 0, 2)$	$f_2+\{f(1, 0, 0)\}$
$f(1, 0, 1)$	$f_1+\{f(1, 0, 0)\}$
$f(1, 0, 0)$	$f_1\bar{f}, f_1f_4^0, f_2^0f_4^0, \bar{f}f_4^1 f_2f_4^1, f_1f_2^0 f_0^1$
$f(0, 2, 2)$	$f_4^0$
$f(0, 2, 1)$	$\bar{f}\{f_1+\{f(2, 0, 0)\}\}$
$f(0, 2, 0)$	$\bar{f}\{f_2+f_2^0\}$
$f(0, 1, 2)$	$\bar{f}$
$f(0, 1, 1)$	$f_2^1$
$f(0, 1, 0)$	$\bar{f}\{x+\bar{f}\}$
$f(0, 0, 2)$	$f_2$
$f(0, 0, 1)$	$f_1$
$f(0, 0, 0)$	$f_0^c$

보충해 주는 역할을 한다.

그림 9 準半加算器의 論理式을 展開하기 위하여 表 4와 같이 三值一變數 函數 27個中에서 工學的으로 容易하게 實現할 수 있고 論理展開에 편리한 10個의 基本演算子  $\bar{f}, f_1, f_2, f_2^0, f_4^0, f_3^1, f_4^1, f_0^c, f_1^c, f_2^c$ 를 선택한다. 나머지 17個의 一變

數函數는 10個의 一變數基本演算子와 多變數演算子 AND, OR 에 의해서 展開된다. AND, OR 의 論理 機能은

$$\left. \begin{aligned} \vee(X) &= f_{max}(x_1, x_2, \dots, x_n) \\ &= \delta_2(x_1, x_2, \dots, x_n) \vee \\ &\quad \frac{1}{2} \delta_1(x_1, x_2, \dots, x_n) \\ \wedge(X) &= f_{min}(x_1, x_2, \dots, x_n) \\ &= \delta_0(x_1, x_2, \dots, x_n) \vee \\ &\quad \frac{1}{2} \delta_1(x_1, x_2, \dots, x_n) \end{aligned} \right\} \quad (1)$$

와 같다.

윗 式에서  $\delta_i(x)$ 는

$$\delta_i(x) = \begin{cases} 2 & \text{if } i=x \\ 0 & \text{if } i \neq x \end{cases}$$

의 값을 갖는다.

表 4의 一變數基本演算子와 OR 를 使用하면  $i=0, 1, 2$ 인 경우  $\delta_i(x)$ 의 展開式은

$$\left. \begin{aligned} \delta_0(x) &= f_2 \\ \delta_1(x) &= \bar{f}(f_2 + f_0^2) \\ \delta_2(x) &= f_4^0 f_4^0 \end{aligned} \right\} \quad (2)$$

로 된다.

위에서 規定한 演算子를 使用하면 그림 7 準半加算器의 展開式은

$$\left. \begin{aligned} f_{sum} &= \delta_0(x) \wedge y \vee \\ &\quad \delta_1(x) \wedge \bar{f}\{f_1(y) \vee \{f(1, 0, 0)\}\} \vee \\ &\quad \delta_2(x) \wedge f_2(y) \\ f_{carr,y} &= \delta_0(x) \wedge f_0^c(y) \vee \\ &\quad \delta_1(x) \wedge f_1 f_4^0(y) \vee \\ &\quad \delta_2(x) \wedge f_1 f_4^0(y) \end{aligned} \right\} \quad (3)$$

로 된다.

MHA<sub>2</sub> 入力  $C_i$ 는 加算器의 Carry 出力이기 때문에 0, 1의 값을 갖는다. 그리고 MHA<sub>1</sub>의 Sum 出力이 2가 되기 위하여는  $x=2 y=0, x=y=1, x=0 y=2$ 일 경우에만 가능하다. 앞의 3 경우  $f_0^1$ 의 出力은 零이 되기 때문에 MHA<sub>2</sub> 全體 入力の 罨이 3을 넘지 않는다.

MHA<sub>1</sub>의 Sum 出力이 1以下인 경우  $C_i \leq 1$ 이고  $f_0^1 \leq 1$ 이므로 역시 MHA<sub>2</sub> 入力の 罨이 3을 초과하지 않는다. 그러므로 MHA<sub>2</sub>는 3個의 入力を 갖지만 보상 回路를 필요로 하지 않는다.

MHA<sub>3</sub>는 Carry 出力이 零이기 때문에 그림 7의 回路를 簡單化하여 加算回路와 3安定回路 만으로 實現된다.

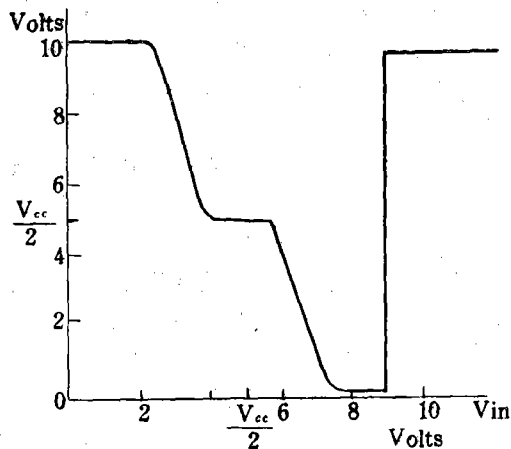





그림 10(a). 入力과 Sum 과의 關係  
Fig. 10(a). Input voltages vs, out put voltages of sum circuit.

#### IV. 實 驗

準半加算器를 設計하는데 適當한 負性抵抗回路素子의 값은 그림 3, 4를 참고하여 定한다.  $V_{CC} = 10\text{Volts}$ 인 경우  $R_{e1} = 820\Omega$ ,  $R_{e2} = 3.9\text{K}\Omega$ 이 適當한 값이다. 負性抵抗回路를  로 表示하면  에 흐르는 電流  $i_1$ 를 Carry 出力으로 얻기 위해  $Q_2$ 의 베이스-에미터間을 그림 7과 같이 연결한다.

$Q_2$ 의 에미터 接地 電流 증폭율을  $h_{fe}$ , Cutin 電壓을  $V_r$ 이라고 하면  에  $I_{on}$ 의 電流(그림 8 참고)가 흐를때  $Q_2$ 가 ON 상태로 된다. 그때 콜렉터 電流를  $I_{C2}$ 라 하면

$$R_4 = \frac{V_{CC}}{2I_{C2}}$$

로 되고

$$i_3 = \frac{I_{C2}}{h_{fe}}, \quad i_2 = i_1(I_{on}) - \frac{I_{C2}}{h_{fe}}$$

로 되어

$$R_6 \approx \frac{V_r}{I_{on} - \frac{I_{C2}}{h_{fe}}}$$

로 주어진다.

그림 7의 回路에서는  $R_3 = 390\Omega$ ,  $R_4 = 10\text{K}\Omega$ 으로 하였다.  $Q_1$ 의 回路는 a點의 電壓을 Sum 出力으로 얻기 위한 回路이다. 非線形負荷를 構成하는 抵抗  $R_1$ 과  $R_2$ 는 실험 결과  $R_1 = 33\text{K}\Omega$ ,  $R_2 = 10\text{K}\Omega$ 이 適當하다. a點의 電壓이  $\frac{V_{CC}}{2}$ 일때 콜

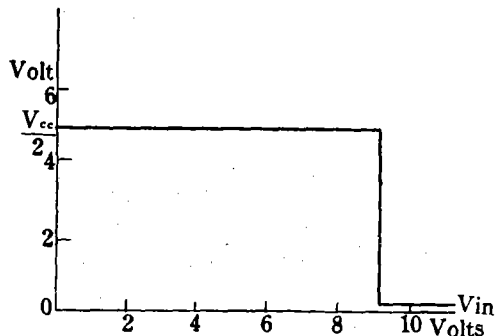


그림 10(b). 入力과 Carry 와의 關係  
Fig. 10(b). Input voltages vs, out put voltages of carry circuit.

렉터 電流  $i_{c1}$ 이 非線形負荷의 安定點 中心에 위치하도록 그림 7에서  $R_3$ 와  $R_1$ ,  $R_2$ 를 결정한다.  $R_3$ 에 직렬로 접속된 SBD는 Sum과 Carry 出力의 명확한 구분을 위하여 使用되었다.

MHA의 入力과 Sum, Carry 出力과의 관계는 그림 10과 같다.

#### V. 結 論

電流制御形負性抵抗을 使用한 새로운 三值全加算器의 構成에 關하여 論했다. 여기에 提示한 回路는 從來에 提案된 三值全加算器에 比하여 回路構成이 간단하며 出力 레벨이 안정하다. 즉 負性抵抗을 使用하여 構成하기에 용이한 特殊한 半加算器回路를 제안하고, 이에 依하여 三值全加算器를 설계함으로써 간단한 回路構成과 넓은 범위의 안정한 出力 레벨을 얻을 수 있었다.

實驗 결과 0, 1, 2의 값에 해당되는 Sum 出力은, 入力 電壓이 各各 0V~2V, 4V~6V, 8V~10V의 넓은 變動에 對하여 各各 安定된 出力電壓 0V, 5V, 10V의 값을 갖는 것을 확인하였다.

回路動作과 設計에 關하여 考察하고, 回路素子の 最適置를 容易하게 求할 수 있도록 靜特性曲線을 使用하여 回路動作을 설명하였다.

#### 參 考 文 獻

1. 林寅七: 쇼트키-배리어 다이오드와 터널다이오드를 使用한 全加算器, 電子工學誌, Vol. 9-3 p. 134 1972年 6月號
2. 喜田村善一, 寺田浩詔, 武井正: A Ternary

- Logic Circuit Using Esaki Diodes, 日本電子通信學會論文誌, Vol. 53-C No. 11, 1970年 11月
3. 三根久, 長谷川利治, 島田良作: "Ternary Four Arithmetic Operations" 日本電子通信學會論文誌 Vol. 54-C, No. 1, 1971年 1月
  4. 三根久, 島田良作: "Permutations and Lattice Operations in Many Valued Logic" 日本電子通信學會論文誌 Vol. 53-C, No. 3, 1970年 3月
  5. 向殿政男: "On the B-ternary Logical Function-A Ternary Logic Considering Ambiguity-" 日本電子通信學會論文誌, Vol. 55-D No. 6 1972年 6月
  6. H. Arango, M. Pascual, M. E. Valentinuzzi, and J. Santos: "Threshold Implementation of Ternary Systems" IEEE, Trans. On Electronic Computers p. 661 1966年 8月
  7. Yates A. Keir: "Algebraic Properties of 3-Valued Compositions" IEEE, Trans. On Electronic Computers p. 635, 1964年 10月
  8. 三根久, 長谷川利治, 池田昌禧, 新谷恭將: "A Construction of Ternary Logic Circuits" 日本電子通信學會論文誌, Vol. 51-C, No. 12, 1968年 12月
  9. 田中末雄, 田原道夫: "An Analysis on the Phase of Tristable Circuits" Vol. 52-C No. 11, 1969年 11月
  10. 三根久, 長谷川利治, 古賀義亮, 池田昌禧, 新谷恭將: "Construction and Analysis a Tristable Circuit and its Application to Ternary Feedback Shift Register" 日本電子通信學會論文誌, Vol. 52-C, No. 8, 1968年 8月
  11. Minoru Nagata: "A simple Negative Impedance Circuit with no Internal Bias Supplies and Good Linearity" IEEE, Trans. On Circuit Theory; Vol. CT-4 p. 124-131, 1965年 8月
  12. M. A. Reddy, Y. G. Rao: "Temperature Stabilization of a Negative-Resistance Characteristic" IEEE Journal of Solid-Circuits P. 124 1970年 6月