

負抵抗特性回路的 構成에 關한 研究

A study on composition of the negative resistance circuit

朴 義 烈*

(Park Ui Yul)

요 약

本 論文에서는 電壓安定 및 電流安定負抵抗領域을 갖는 2端子回로를 解析함에 있어서 入力變化의 函數로서 表示되는 等價起電力을 使用하였고 負抵抗回路에 대한 簡單한 새로운 統一된 解析을 할 수 있음을 圖示法을 基礎로 하여 提示하였다. 이 解析에 依據한 設計方法의 예로서 접합트랜지스터를 使用한 負抵抗回路構成을 하였으며 이 回로를 基本으로 하여 SCR, GTO-SCR 및 SSS 特性의 한 모델링回로를 提案하였다. 이들 모델링回로의 츨핑回路, 톱니파發生回路 및 交流位相補償回路로서의 應用例와 그 特性을 아울러 檢討하였다.

Abstract

A new simple technique for 2-terminal negative resistance circuit analysis and synthesis is developed, by using the equivalent e.m.f. defined as a function of input voltage or current variation.

The technique is applied to design 2-terminal junction transistor negative resistance circuits based on the parameter control method.

Modeling circuits for SCR, GTO-SCR and SSS are also derived from the proposed transistor negative resistance circuits, and the merits of the modeling circuits are discussed.

1. 서 론

부저항특성을 나타내는 回路는^(1-18, 20, 21, 28, 30) 여러가지가 있다. 이들 回路가운데 그 구성이 대칭인^(4, 8, 15, 18) 것과, 비대칭인 것이 있고, 또 전압안정부저항(Voltage-stable negative resistance: VS NR) 및 전류안정부저항(Current-stable negative resistance: CSNR) 특성회로로 나누어 진다. 이들에 대한 연구가운데 구성방법을 구체적으로 표

시한 연구도 있고^(1, 2, 5, 9, 28, 29, 30) 또 달리 Eccles-Jordan回路와 비슷한 回路의 二節點間의 전압~전류^(9, 14) 특성 또는 2개의 트랜지스터를 직렬로 접속한 것의 특성을 연구한^(6, 8) 것도 있다. 그러나 이들에서는 二端子回路에서의 전압안정 및 전류안정부저항특성회로의 구성에 관한 일관된 취급이 되어 있지 않으며, 또한 부저항을 얻기위한 二端子回路에 있어서 正 및 負抵抗의 各 領域을 결정짓는 조건이 명시되어 있지 않으므로 본 논문에서는 Seely⁽¹⁹⁾의 Beam resistance of vacuum tube, Reich⁽⁵⁾의 Variational resistance 및 Kuh⁽¹³⁾의 Resistance control of transistor 등의 개

* 正會員, 釜山大學校 工科大學 電子工學科
Dept. of Electronics Eng.,
College of Eng., Pusan Univ.
接受日字 1973年 11月 10日

념에 보상정리를 적용하여 負抵抗回路的 $V-I$ 특성의 各領域을 判別하기 위한 正전압조건과 正전류조건을 구하였다.

이상의 이론을 기초로 하여 Tr.의 에미터 접지때의 콜렉터 전압 대 콜렉터 전류특성상에서 부저항특성을 나타낼 수 있는 方法을 검토하고 전압안정 및 전류안정부저항특성의 실현조건을 구하였다.

또 이들 각 부저항특성回路를, 스위칭特性을 나타내는 것과 비스위칭特性을 나타내는 2가지로 구분하여 검토하였다.

즉 스위칭特性을 나타내는 전류안정부저항特性回路의 예로서 GTO-SCR 特性回路의 動作을 검토하였으며, 著者の SCR 모델回路의 게이팅方法⁽³⁰⁾을 개선하여 보다 안정성이 좋은 게이팅方法을 유도하였다. 이것을 응용한 回路로서 직류출핑回路 및 톱니파발생회로를 제안하여 그 동작을 고찰 하였다.

SCR 特性回路를 기본으로 한 SSS(Silicon symmetric switch)의 모델回路를 구하여 그 응용회로를 제안 考察하였다.

2. 등가기전력의 정의

2.1 전압전원회로

入力電壓이 V_i 이고 回路의 $\frac{V_i}{I_i}$ 値가 R 인 回路가 있다. R 이 전압의 増分 ΔV_i 에 따라서 $R + \Delta R$ 로 증가하였다고 가정한다. 여기서 電流 I_i 는 $I_i + \Delta I_i$ 로 변화 한다고 가정한다 그래서 전류치는

$$I_i + \Delta I_i = \frac{V_i + \Delta V_i}{R + \Delta R} \tag{2.1.1}$$

$$I_i + \Delta I_i = \frac{V_i + \Delta V_i - \Delta V_o}{R} \tag{2.1.2}$$

단 $\Delta V_o = \Delta R(I_i + \Delta I_i)$ (2.1.3)
식 (2.1.2)를 $I_i + \Delta I_i$ 에 관한 등가회로로 고치면 그림 2.1.1과 같다.

또 식(2.1.2)를 ΔI_i 의 부호에 따라서 구분하면, 즉

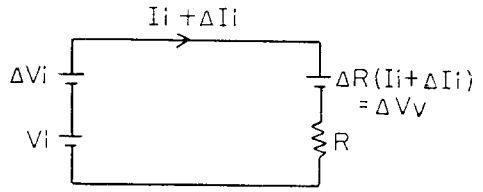


그림 2.1.1 入力증분 ΔV_i 에 따르는 ΔV_o
Fig. 2.1.1 ΔV_o due to input increment ΔV_i

$$\Delta I_i = 0 \text{ 때, } I_i \equiv \Delta I_{i,0}, \Delta V_i = \Delta V_o \equiv \Delta V_{o,0}, \frac{\Delta V_{o,0}}{\Delta V_i} = 1 \tag{2.1.4}$$

$$\Delta I_i > 0 \text{ 때, } \Delta I_i \equiv \Delta I_{i,+}, \Delta V_i > \Delta V_o \equiv \Delta V_{o,+}, \frac{\Delta V_{o,+}}{\Delta V_i} < 1 \tag{2.1.5}$$

$$\Delta I_i < 0 \text{ 때, } \Delta I_i \equiv \Delta I_{i,-}, \Delta V_i < \Delta V_o \equiv \Delta V_{o,-}, \frac{\Delta V_{o,-}}{\Delta V_i} > 1 \tag{2.1.6}$$

식 (2.1.4)를 定電流條件式으로 定義하였다.²⁵⁾ 그리고 식 (2.1.5)를 負抵抗條件式이라고 定義한다. 또 식 (2.1.6)은 定電流條件도 아니며 물론 負抵抗條件式도 아니며, $V-I$ 特性의 電壓—電流의 기울기가 正인 것이다.

ΔV_o 를 VSNR 特性에서의 등가기전력이라고 定義한다. 문헌(28)에서는 등가역기전력이라고 정의 하였었다.

따라서 식 (2.1.4)~(2.1.6)의 관계에서 전압안정부저항특성의 各領域 I_o, II_o 및 III_o(註1)를 찾으려면, 領域 I_o 는 대체로 식 (2.1.5)를 포함하든지 아니면 $\Delta V_{o,+}$ 가 零인 것이요 領域 II_o 들 반드시 식 (2.1.6)이 成立해야 하고, 領域 III_o 에서는 식 (2.1.5)가 成立하거나 또는 ΔV_o 가 零이라고 말할 수 있다.

$\Delta V_{o,0}$, $\Delta V_{o,+}$ 및 $\Delta V_{o,-}$ 를 도시하면 그림 2.1.2와 같다. 즉,

$$AC \parallel OD', \Delta V_{o,0} \equiv AC \tag{2.1.7}$$

$$\text{또 } OA \parallel BB', \Delta V_{o,+} \equiv OB' \tag{2.1.8}$$

$$OA \parallel DD', \Delta V_{o,-} \equiv OD' \tag{2.1.9}$$

ΔV_i 에 따라서 저항 R 의 증가가 직선 AB AC 및 AD 선상의 점을 연속으로 차지한다면, ΔV_i 에서 오는 증분저항은 각각, 다음과 같다.

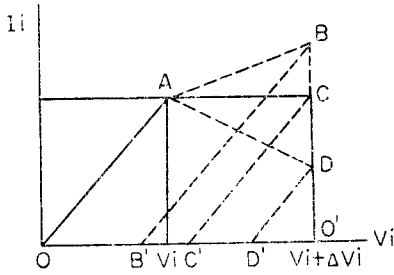


그림 2.1.2 전압안정부저항특성에서의 등가전력의 표시

Fig. 2.1.2 Equivalent e.m.f. on VSNR characteristics.

$$R_{N\infty} = \frac{\Delta V_i}{\Delta I_{i0}} = \infty \quad (2.1.10)$$

$$R_{N0+} = \frac{\Delta V_i}{\Delta I_{i0+}} > 0 \quad (2.1.11)$$

$$R_{N0-} = \frac{\Delta V_i}{\Delta I_{i0-}} < 0 \quad (2.1.12)$$

2.2 전류전원회로

入力電流가 I_i 이고 回路의 $\frac{V_o}{I_i}$ 値가 R 인 回路가 있다. R 이 전류의 増分 ΔI_i 에 따라서 $R-\Delta R$ 로(註2) 감소하였다고 가정한다. 여기서 端子의 電壓 V_o 는 $V_o + \Delta V_o$ 로 될 것이다. 그래서 電壓 値는, 즉,

$$V_o + \Delta V_o = (R - \Delta R)(I_i + \Delta I_i) \quad (2.2.1)$$

$$\Delta V_o = -\Delta V_c + \Delta R \Delta I_i \quad (2.2.2)$$

단 $\Delta V_c = \Delta R(I_i + \Delta I_i)$ (2.2.3)
 식 (2.2.2)를 $V_o + \Delta V_o$ 의 등가회로로 고치면 그림 2.2.1과 같다.

또 식 (2.2.2)를 ΔV_o 의 부호에 따라서 구분하면, 즉

$$\Delta V_o = 0, \Delta V_{c0} \equiv \Delta V_c = R \Delta I_i \quad (2.2.4)$$

$$\Delta V_o < 0, \Delta V_{c+} \equiv \Delta V_c < R \Delta I_i \quad (2.2.5)$$

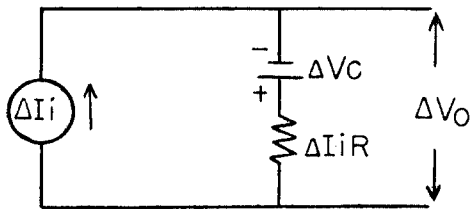


그림 2.2.1 식 (2.2.2)의 등가회로
 Fig. 2.2.2 Equivalent circuit for Eq. (2.2.2)

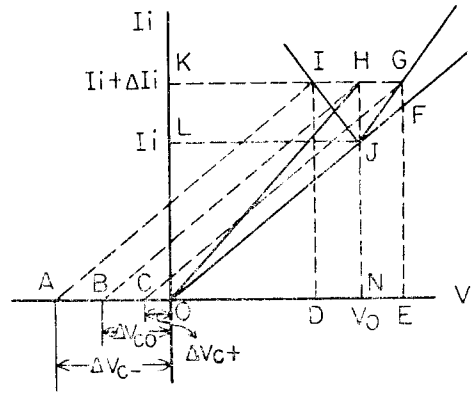


그림 2.2.2 전류안정부저항특성에서의 등가기전력
 Fig. 2.2.2 Equivalent e.m.f. on CSNR characteristics.

$$\Delta V_o < 0, \Delta V_{c-} \equiv \Delta V_c > R \Delta I_i \quad (2.2.6)$$

식 (2.2.4)를 定電壓條件式이라고 定義한다. 식 (2.2.5)는 負抵抗條件式(電流安定)이라고 定義한다. 그리고 식 (2.2.5)는 出力端子電壓이 入力電流에 따라서 증가하되 ΔV_{c+} 가 零이 아닌 狀態를 의미한다.

따라서 식 (2.2.4)~(2.2.6)의 關係에서 電流安定負抵抗回路의 各 領域 I; II; 및 III;(註3)를 찾으면 領域 I;는 대체로 식 (2.2.5)를 만족하지 혹은 ΔV_{c+} 가 零인 경우이고, 領域 II;는 반드시 (2.2.6)가 成立해야 하고, 領域 III;에서는 식 (2.2.5)가 成立하거나, 또는 ΔV_c 가 零이라고 말할 수 있다. ΔV_{c0} , ΔV_{c+} 및 ΔI_c 를 기하학적으로 표시하면 그림 2.2.2와 같다. 즉

$$I_i + \Delta I_i = \frac{BN}{\frac{ON}{JN}} = \frac{ON + BO}{\frac{BN}{HN}} = \frac{BN}{\frac{BN}{OK}} = OK \quad (2.2.7)$$

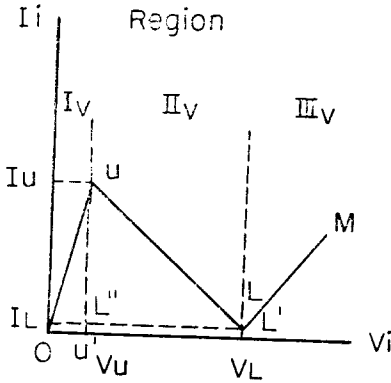
$$\therefore \Delta R(I_i + \Delta I_i) \equiv BO \equiv \Delta V_{c0} \quad (2.2.8)$$

여기서 $I_i = OL$, $\Delta I_i = LK$, $V_o = ON$, $R = \frac{ON}{JN}$

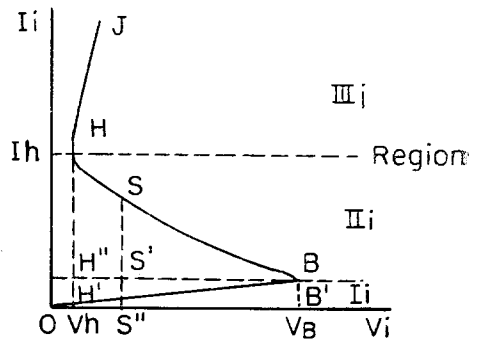
$$OJ \parallel HB \parallel GC \parallel IA, \quad \Delta V_{c+} = CO, = \frac{AD}{ID}$$

$$\Delta V_{c0} = BO, \quad \Delta V_{c-} = AO, = \frac{OE}{FE}$$

(註 1) 그림 3.0.1 (a)참조
 (註 2) $-\Delta R$ 는 문헌[33]에서도 저항의 감소를 표시하는데 부의 부호를 이용하였다.
 (註 3) 그림 3.0.1 (b) 참조



(a) 전압안정부저항특성



(b) 전류안정부저항특성

그림 3.0.1 부저항특성, 전압안정 및 전류안정형

Fig. 3.0.1 Negative resistance characteristics; (a) voltage-stable, (b) current-stable

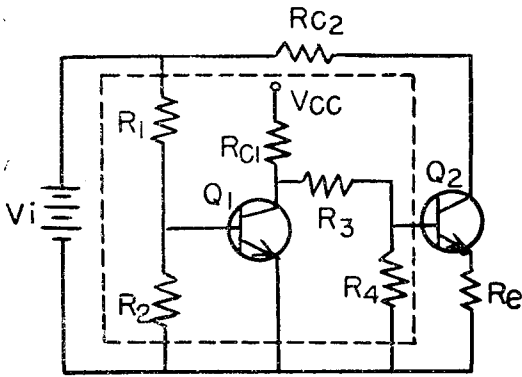


그림 3.1.1 트랜지스트에 의한 전압안정 부저항회로
Fig. 3.1.1 A transistorized VSNR circuit

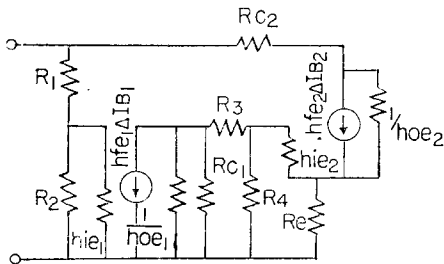


그림 3.1.2 그림 3.1.1의 등가회로
Fig. 3.1.2 Equivalent circuit for Fig. 3.1.1

3. Tr. 부저항회로의 구성

부저항특성에는 전압안정 및 전류안정부저항특성이 있다. 이 특성을 그림 3.0.1(a)와(b)에 표시하였다.

이들의 특성을 Tr.의 에미터접지형의 콜렉터 전압-전류특성에서 이루고자 한다.

우선 Tr.의 출력특성은 포화영역, 활성영역 및 차단영역의 3가지로 나누어 생각할 수 있다.

진술한 저항 R의 변화를 Tr. 특성상에서는 베이스전압 또는 베이스전류의 변화로서 이룰 수 있다. 즉 R의 변화를 파라미터의 변화로써 바꾸므로써 가능하다.

3.1 전압안정부저항회로의 구성

그림 3.0.1(a)의 각 영역을 Tr.의 出力特性에서 얻는 데는 領域 I₀를 포화영역에, 領域 II₀를 활성영역에, 그리고 領域 III₀를 Tr.의 차단영역 또는 베이스電壓이 더 낮아지지 않는 狀態에서 구할 수 있다고 본다.

領域 II₀에서는 Tr.의 V_{CE}-I_c 특성상에서 그림 3.0.1(a)의 點 U에 대응하는 저항이 UL 직선상을 點 L로 움직이는 동안에 증가하므로, 파라미터인 베이스전류 I_B가 V_i의 증가에 따라서 감소해야 하고, 그림 3.1.1의 Q₂의 동 작점은 활성영역에 있어야 한다.

입력전압의 증분 ΔV_i와 Q₂의 베이스전류의 증

분 ΔI_{B2} 간에 역상인 비례관계가 成立하면, 여기서 정의되는 負抵抗値는 즉

$$R_{Nv} = \frac{\Delta V_i}{-h_{FE2} \Delta I_{B2}} \quad (3.1.1)$$

여기서 h_{FE2} 는 Tr. Q_2 의 대전류증폭정수이고

$$\Delta V_i \rightarrow V_U - V_L$$

$$\Delta I_{B2} \rightarrow I_{BU} - I_{BL}$$

그림 3.0.1.(a)의 UL 선상에서 직선인 負抵抗 특성도 구할 수 있다. 그림 3.1.1의 등가회로를 그림 3.1.2에 표시하였다. 그림 3.1.2의 回路에서 負抵抗値를 종래의 방법으로^(5), 21) 구하면, 즉,

$$R_{Nv} = \frac{\Delta V_i}{\Delta I_i} = \frac{\Delta V_i}{\Delta V_i(1-A_{v2})} = \frac{R_{c2}}{1-A_{v2}} \quad (3.1.2)$$

여기서 A_{v2} 는 Tr. Q_2 에서의 전압증폭도이다. 식 (3.1.2)를 이용해서 얻은 부저항치⁽²⁸⁾는 아래와 같다. 식 (3.1.3)의 결과는 대신호정수대신 소신호정수를 쓰면

$$R_{Nv} = \frac{-\{h_{fe2} + (1+h_{fe2})R_4\}(R_3+R_4+R_{c1}) + R_4(R_{c1}+R_{c3})\{R_1R_2+h_{fe1}(R_1+R_2)\}}{h_{fe1}h_{fe2}R_{c1}R_4R_2} \quad (3.1.3)$$

식 (3.1.1)을 쓰면 R_{c2} 가 零인 경우에도 부저항치를 계산할 수 있고, 식 (3.1.2)을 이용하지 않아도 무방하다.

領域 I, 에서 II, 로, II, 에서 III, 로 옮겨가는 과정은 정전류조건식인 식 (2.1.4)를 만족하는 점을 거쳐야만 된다.

3.2. 전류안정부저항회로의 구성

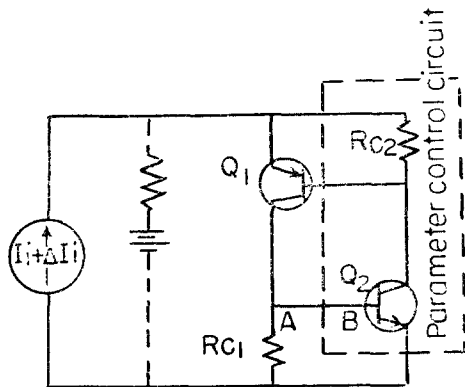


그림 2.2.1 전류안정 부저항회로의 구성도, Fig. 2.2.1. Composition of a CSNR circuit.

그림 3.0.1(b)의 각 영역을 Tr.의 出力特性에서 얻는데는, 領域 I, 를 Tr.의 차단영역에서 領域 II, 를 활성영역에서 그리고 III, 를 포화영역에서 각각 구할 수 있다고 본다.

CSNR 회로를 구체화하는 블록圖⁽²⁹⁾는 그림 3.2.1과 같다. 그림 3.2.1의 出力回路에서,

$$\Delta V_o = \Delta V_{CE1} + \Delta I_i \cdot R_{c1} < 0 \quad (3.2.1)$$

이 成立해야 領域 II, 에서 부저항특성이 나타난다. 식 (3.2.1)은 定性的으로 봐서 그림 3.2.1에서 R_{c1} 에서의 전압이 Q_2 의 베이스 Cu⁺-in 전압 (V_{TBE2})보다 높게 되면 그림 3.0.1.(b)의 點 B를 넘어 서게 된다. 그리고 R_{c1} 에서의 전압이 Tr. Q_1 의 콜렉터에 흐르는 전류에 관계없이 거의 일정하고 Q_1 의 콜렉터-에미터전압이 베이스전류가 증가함에 따라서 감소한 것이기 때문에 식 (3.2.1)은 쉽게 성립함을 알 수 있다.

그림 3.2.1을 구체화한 回路는 파라미터제어회로의 표시인 點線을 제거한 것이 된다. 또 그림 3.2.1의 전원부분을 點線으로 表示한 것과 같이 전압전원과 저항으로 바꾸어 놓을 수 있다⁽³⁴⁾. 그림 3.2.1의 回路에서 얻어지는 負抵抗特性的의 負抵抗値는 대단히 크므로 이것의 크기를 낮추어 임의로 조절해서 이용하려면 그림 3.2.2와 같은 回路가⁽²⁹⁾ 적당하다.

그림 3.2.2의 回路에서 抵抗 r에 무관하게 되어 電壓電流特性이 어느 한 點을 지나간다⁽²⁹⁾. 이 點을 S라고 하면, 點 S가 그림 3.0.1(b)의 點 H에 가까울수록 바람직하다⁽²⁹⁾. Tr.의 베이스전압-전류특성에서 負抵抗値를 略算하는 데는 다음과 같다. 그림 3.0.1(b)의 點 H는, Tr. Q_2 의 V_{BE} 가 베이스전류를 많이 흘리는 電壓이므로, 0.75V 정도로 된다. 點 B에 대해서는 Tr. Q_1 과 Q_2 의 I_{CE01} 과 I_{CE02} 를 무시하고, Q_2 의 V_{TBE2} 가 대체로 실리콘 Tr.에서 0.54V가 될 것이므로, 이때의 V_B 値는, 즉

$$\begin{aligned} V_B &= V_{TBE2} \times \frac{2R_1 + 2R_C + r}{R_C + R_1} \\ &= 0.54 \times \frac{2R_1 + 2R_C + r}{R_C + R_1} \end{aligned} \quad (3.2.1)$$

단 $R_{12} = R_{11} = R_1$, $R_{c1} = R_{c2} = R_C$

I_B 値는, 즉

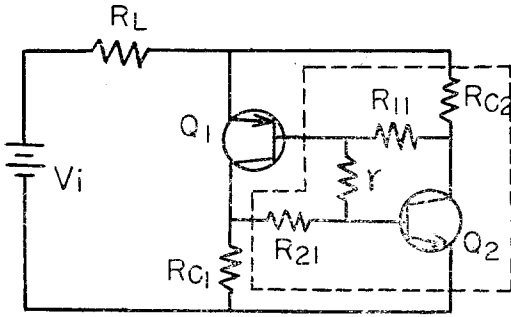


그림 3.2.2 그림 3.2.1을 수정하여 부저항치의 크기를 r 로서 변화시킬 수 있는 CSNR 회로도
 Fig. 3.2.2 A modified CSNR circuit.

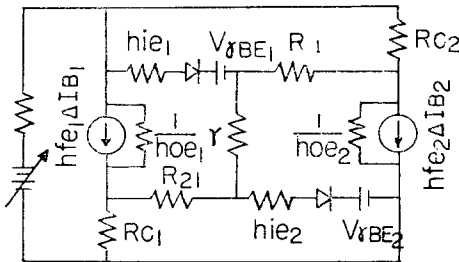


그림 3.2.3 그림 3.2.2의 동가회로
 Fig. 3.2.3 A equivalent circuit for Fig. 3.2.2

$$I_B = \frac{V_B}{2R_C + 2R_1 + r} = Vr \frac{1}{R_C + R_1} \quad (3.2.2)$$

I_H 値는 식 (3.2.1)에서

$$I_H = \frac{2V_H}{R_C} \quad (3.2.3)$$

또 V_H 値는 R_{C1} 에서의 電壓과 거의 같으므로, V_{B2sat} 로 두면

$$V_H = V_{B2sat} \quad (3.2.4)$$

그래서 구하고자 하는 負抵抗値 R_{NCS} 는,

$$R_{NCS} = \frac{V_B - V_{B2sat}}{Vr \frac{1}{R_C + R_1} - \frac{2V_{B2sat}}{R_C}} \quad (3.2.5)$$

그림 3.2.1의 전원회로의 點線內의 저항의 크 R_L 가 커서 얻고자 하는 負抵抗値보다 크면 그림 3.0.1(b)의 點 B 및 H 간은 $\frac{dV}{dt} = 0$ 이 될 것이고, 負抵抗値의 크기가 R_L 보다 크면, 點 B 에서 點 H 로 급하게 변할 것이다. 負抵抗値의 크기가

회로 의안정저항 R_L 보다 크게 되면, 특히 그림 3.2.1의 회로에서는 avalanche multiplication 에 대응하는 現象이 나타날 것이다. 그 理由는 다음과 같다. 그림 3.2.1의 回路의 동가회로는 그림 3.2.3과 같다. 그림 3.2.3에서 먼저 Tr. Q_2 의 베이스전압이 V_{BE2} 를 넘게 될 때, Q_2 의 베이스전류의 증분 ΔI_{B2} 는 콜렉터에서 $h_{fe2} \Delta I_{B2}$ 가 되고, 여기서 ΔI_{B1} 은

$$\Delta I_{B1} = \frac{R_{C2} \Delta I_{B2} h_{fe2}}{R_{C2} + h_{ie1}} \quad (3.2.6)$$

또, 다음의 $\Delta I'_{B2}$ 를 ΔI_{B2} 로 표시하면

$$\Delta I_{B2}' = \frac{R_{C2} \Delta I_{B2} h_{fe2}}{R_{C2} + h_{ie1}} \cdot \frac{R_{C1} h_{fe1}}{R_{C1} + h_{ie2}} \quad (3.2.7)$$

이 결과 ΔI_{B2} 와 $\Delta I_{B2}'$ 를 비교하면

$$\frac{\Delta I_{B2}'}{\Delta I_{B2}} = \frac{R_{C2} h_{fe2}}{R_{L2} + h_{ie1}} \cdot \frac{R_{C1} h_{fe1}}{R_{C1} + h_{ie2}} \quad (3.2.8)$$

가 되며 loop current gain 이 $h_{fe1} \cdot h_{fe2}$ 에 比例한다. 그리하여 이른바 SCR 素子の avalanche multiplication⁽²³⁾ 에 대응하는 現象이⁽²⁰⁾ 나타나므로, 그림 3.0.1(b)의 BH區間에서 $\frac{dV_0}{dt} \approx 0$ ⁽²³⁾ 인 특성을 얻게 된다.

4. SCR 특성회로의 구연

전류안정부저항회로 가운데 領域 III, 에서 스위칭특성을 나타낼 수 있으면 SCR 특성의 회로로서 이용할 수 있다. 그 회로를 그림 4.1 에 表示한다⁽²⁰⁾. 병렬저항없이 이루어진 회로⁽¹⁸⁾ 는 이미 發表된 바 있었다. 여기에 다이오드를 삽입하였다. 또 R_{C1} 과 R_{C2} 를 소자의 이론에 대응시키면 "shorted

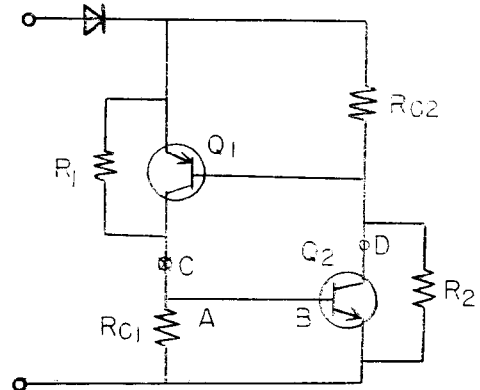


그림 4.1 SCR 특성회로도
 Fig. 4.1 A SCR modeling circuit.

emitter”⁽²¹⁾ 이론에 대응하게 된다. 그림 4.1의 등가회로는 그림 4.2와 같다.

그림 4.2의 등가회로에서 Q_1 과 Q_2 의 각 베이스전류는 스위칭初期에는 전류증폭율을 높게 잡아야 하고, 베이스전류가 증가해가므로, Q_1 과 Q_2 의 콜렉터-에미터의 전압이 감소해가고, 거기에 따라 각 h_{fe} 는 감소해 나가며, 결국에는 1에 가까운 값이 된다. 이때의 h_{fe} 를 h_{FE}^* 로 표시하였다. R_{C1} 과 R_{C2} 를 Q_1 과 Q_2 의 베이스-에미터의 병렬저항 또는 인위적인 누설저항으로 표시하고, 베이스전류 I_{BT} 로 나타내면, 그림 4.2에서,

$$I_{BT1} = I_{E1} + I_{B2} \quad (4.1)$$

$$I_{BT2} = I_{E2} + I_{B1} \quad (4.2)$$

또 R_1 과 R_2 에서 흐르는 전류 I_{R1} 과 I_{R2} 는 그림 3.0.1(b)의 點 H 에 대응하는 자리에서, 대단히 낮으므로, Q_1 과 Q_2 의 전류증폭정수 h_{FE1}^* 및 h_{FE2}^*

$$h_{FE1}^* = \frac{I_{E2} + I_{B1}}{I_{E1} + I_{B2}} = \frac{I_{BT1}}{I_{BT2}} \approx 1 \quad (4.3)$$

$$h_{FE2}^* = \frac{I_{E1} + I_{B2}}{I_{E2} + I_{B1}} = \frac{I_{BT2}}{I_{BT1}} \approx 1 \quad (4.4)$$

는 (31)에서 베이스접지증폭정수 h_{FB}^* 가 낮게 된다는 것은 식 (4.3) 및 (4.4)로서 뒷받침되는 것이다.

식 (4.3) 및 (4.4)에서 각 h_{FE}^* 의 값이 거의 1이 되는 관계는 상보대칭인 회로구성에서 성립된다.

그림 4.1의 회로가 완전히 전도하게 되면 단자 전압은, 거의 일정하고 R_{C1} 또는 R_{C2} 에서의 전압강하로 표시될 수 있다. 따라서 그림 3.0.1(b)의 點 H 에서의 전압치 V_H 는

$$V_H = V_{BE1} \quad (4.7)$$

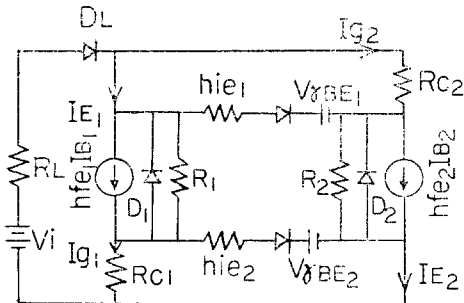


그림 4.2 그림 4.1의 등가회로
Fig. 4.2 A equivalent circuit for Fig. 4.1

$$= V_{BE2} \quad (4.8)$$

또 그때의 I_H 치는 부하저항 R_L 치에 따라서 제한되며 Tr. 특성의 포화전압의 값을 가지게 된다.

그림 4.1의 게이팅動作은 R_{C1} 에 병렬로 게이팅전압을 인가하던 動作되고 R_{C1} 을 단락하면 회로가 開路되는 理論⁽³⁰⁾ 을 내놓았으나, 開路方式을 고쳐서 Q_2 의 베이스와 R_{C1} 간에 제어신호를 적절한 크기로 인가하던 회로의 開閉가 가능하였다.

여기서 말한 제어신호에 따른 回路開閉를 이용한 응용회로를 구성할 수 있다.

5. SSS 특성회로 및 그 응용

5.1 SSS 모델회로

그림 5.1.1의 特性은 SSS의 V-I 特性이다. 이와 같은 特性을 回路에서 얻고자 한다. 그림 4.1의 回路를 가지고, 交流入力에 그림 5.1.1과 같은 特性을 얻으려면, 그림 4.1의 回路를 逆對逆으로 접속한 그림 5.1.2와 같은 回路가 적당하다.

이 回路는 Shockley, Aldrich 와 Holonyak 가

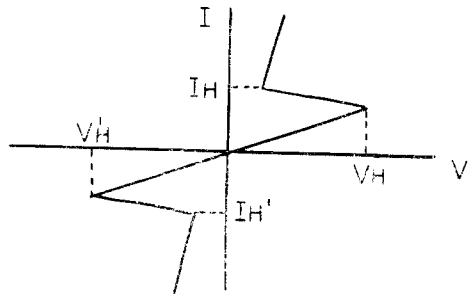


그림 5.1.1 SSS 전압전류특성
Fig. 5.1.1 SSS V-I characteristics

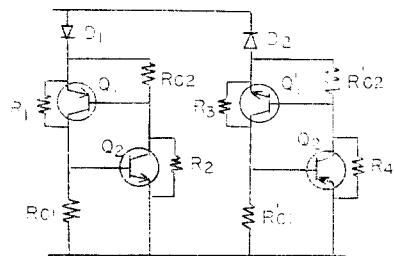


그림 5.1.2 SSS 특성회로
Fig. 5.1.2 A SSS characteristics

내용은 素子の 特性에 (22, 24, 25, 26, 32) 해당한다.

5.2 SCR 특성회로의 응용

제어신호를 그림 4.1의 AB間에 인가하고

(1) 入力이 직류일 때에 出力단자에서 직류를 淸淨한 出力을 낼 수 있다.

(2) (1)의 동작상태에서 出力端子에 축전기 C를 접속하면 톱니파출력을 얻을 수 있다.

直列제이팅에 대하여 다음과 같은 動作이 이루어질 것이다.

Q₂의 베이스전압對 베이스전류특성에 있어서, 제어신호 V_i의 크기를 정하고저 한다. 먼저 전원전압의 최대치 V_{i_max}에서 회로가 閉路되지 않은 경우, 入力電壓이 R₁과 R_{C1}에서 분배되어 R_{C1}에 나타나는 전압을 V'_{BE2}라고 하면, 즉

$$V'_{BE2} = V_{i_{max}} \frac{R_{C1}}{R_{C1} + R_1} \quad (5.1)$$

따라서 NPN형 Tr. 에 있어서 V_i의 크기는

$$V_{Y_{BE2}} - V'_{BE2} \leq V_{s_{min}} \quad (5.2)$$

로 表示된다. V_{Y_{BE2}}는 베이스-에미터間의 Cut-in 전압이다, 또 回路가 완전히 閉路가 되어 있을 때는 그 때의 베이스-에미터전압 V''_{BE2}와 V_{i_max}에서

$$V''_{BE2} + V_{s_{max}} \leq V_{Y_{BE2}} \quad (\text{但 } V_{s_{max}} < 0) \quad (5.3)$$

인 V_i를 인가할 수 있어야 한다. 결국 V_i値는 식(5.3)의 등식보다 높은 전압에서 Q₂의 베이스에미터間의 다이오드에서 크렷핑이 일어날 것이다. 여기서 V_{Y_{BE2}}는 Q₂의 베이스-에미터의 차단전압이다.

5.3 SSS 특성회로의 응용

그림 5.2의 回路의 R₁, R₂, R₃ 및 R₄를 적절히 조절하고, 入力에 交流를 인가하면, 出力端子에서 大칭인 SSS 特性과 같은 양방향전도가 가능해질 것이다. R_{C1} R_{C2} R_{C3} R_{C4}, 또는 병렬 저항 R₁ R₂ R₃, R₂, R₄을 조절하면 出力위 상각을 조절할수 있다.

6. 실험회로, 및 방법

6.1 Tr. VSNR 특성회로

그림 3.1.1 回路의 各定數는 다음과 같다.

Q₁=Q₂=FCS-9016F, h_{fe1}=h_{fe2}=120, h_{ie1}=h_{ie2}=5KΩ, R₁=34KΩ, R₂=10.2KΩ, R_{C1}=904Ω, 190Ω, 319Ω, R_C=1KΩ, R₃=1.5KΩ, R₄=

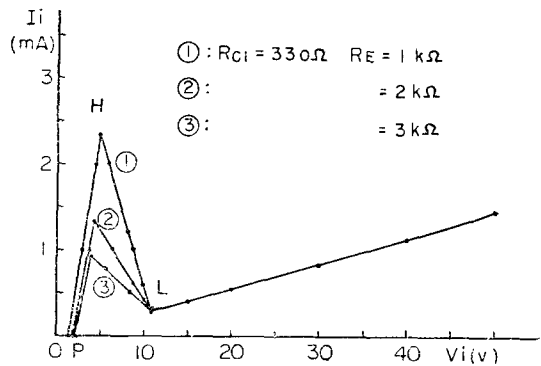


그림 6.1.1. VSNR 회로 (Fig. 3.1.1)의 V_i-I_i 특성
Fig. 6.1.1 V_i-I_i characteristics of VSNR circuit (Fig. 3.1.1)

4KΩ, R_E=1KΩ, 2KΩ, 3KΩ,

여기서 얻어진 V_i-I_i 특성에 있어서 특히 그림 6.1.1의 點 P, 點 H 및 點 L에서의 V_{CE}, V_{BC}, 그리고 V_{BE}를 各各 測定하였다.

이 실험은 그림 6.1.1의 點 P, H, L에서의 V_{BE2}, V_{CE2} 및 V_{BC2}를 각각 測定하여 回路의 動作에 對한 推定에 도움을 주기 위해서 이다.

6.2 Tr. CSNR 특성회로

그림 3.2.2의 回路의 各定數는 다음과 같다.

Q=FCS-9012H, Q₂=FCS-9013H, h_{fe1}=170 (V_{CE}=5V), h_{fe2}=120 (V_{CE}=5V), h_{ie1}=5KΩ (I_B=9~10μA), h_{ie2}=20KΩ (I_B=10~30μA, V_{CE}=5V), R₁₁=1200Ω, R₂₁=900Ω, R_{C1}=890Ω, R_{C2}=980Ω, r=27.2KΩ,

(1) 그림 3.2.2의 回路에서 出力電壓의 變化에 따르는 Q₂의 에미터와 回路의 各節點들간의 전압을 測定하였다. 이것을 저항 r에서의 電壓降下가 零인 상태를 확인하기 위해서이다. 이 결과는 그림 7.2.1에 表示하였다.

(2) r=27.2KΩ으로 하고, Tr.의 콜렉터회로에 직렬로 삽입한 저항 R_{C11}과 R_{C22}를 같게하여 가면서 실험하였다. 여기서 R_{C11}=1, 2, 3, 4KΩ, R_{C22}=1, 2, 3, 4KΩ로 하고, R_{C1}=1KΩ, R_{C2}=1KΩ, R₁₁=1KΩ, R₂₁=1KΩ로 하였다.

(3) R_{C1}과 R_{C2}, R₁₁과 R₂₁値의 變化에 따르는 特性의 變化를 조사하였다. 여기서 r=27.2KΩ이다.

(3-1) R_{C11}=R_{C22}=0이며 각각 ①R_{C1}=0.407

$K\Omega$, $R_{C2}=0.47K\Omega$, $R_{11}=0.514K\Omega$, $R_{21}=0.465K\Omega$,

② $R_{C1}=1.094K\Omega$, $R_{C2}=0.908K\Omega$, $R_{11}=0.947K\Omega$, $R_{21}=0.946K\Omega$,

③ $R_{C1}=1.95K\Omega$, $R_{C2}=1.88K\Omega$, $R_{11}=1.8K\Omega$, $R_{21}=1.825K\Omega$ 인 때에 특성을 구하였다.

(3·2) $R_{C1}=R_{C2}=1K\Omega$, 이며 각각 ① $R_{11}=R_{21}=1K\Omega$, ② $R_{11}=R_{21}=2K\Omega$, ③ $R_{11}=R_{21}=3K\Omega$ 및 ④ $R_{11}=R_{21}=4K\Omega$ 에서 실험하였다.

여기에서, (2), (3)項은 V_0-I_1 특성에서 求한 負抵抗値가 식 (3.2.1)~(3.2.5)에 의해 求한 계산치와 一致하는 가를 확인하기 위한 것이다.

6.3 GTO-SCR 회로

그림 4.1의 회로에서 $Q_1=FCS-9012H$, $Q_2=FCS-9013H$ $R_1=R_2=R=27.2K\Omega$, $R_{C1}=R_{C2}=R_C=1K\Omega$ 로 하여 실험하였다.

(1) 그림 4.1의 AB 간에 正弦波인 制御信號를 直列로 삽입하여 直流入力에 의한 출력출력을 구하였다.

(2) (1)항과 같이 하여서 出力端에 축전기 C 를 接續했을 때의 出力波形을 조사하였다.

6.4 SSS 특성회로

그림 5.1.2의 회로에서의 各 定數는 다음과 같다.

$Q_1=FCS-9012H$, $Q_2=FCS-9013H$, $V_{TBE1}=0.56V$, $V_{TBE2}=0.52V$, $Q_3=FCS-9013H$, $Q_4=FCS-9012H$, $R_1=R_2=27.2K\Omega$, $R_{C1}=R_{C2}=1K\Omega$

이 回路에 交流入力을 印加하여 出力電壓을 觀測하여, 동작개시전압을 조사하였다.

7. 실험결과 및 검토

7.1 VSNR 특성

그림 3.1.1의 回路의 V_i-I_i 특성에서, 그림 6.1.1의 點 P, H 및 L 에 대응하는 V_{BE} , V_{BC} 및 V_{CE} 를 表 7.1에 表示하였다.

表 7.1에서 V_{BCP} , V_{BEP} 및 V_{CEP} 는 點 P 에서 의 電壓을, 添字 B, C, E 는 베이스, 콜렉터 및 에미터를 表示하며 예컨대 V_{BCP} 는 그림 6.1.1의 點 P 에 있어서 베이스에서 콜렉터로 測定한 順方向電壓이다. V_{BCH} 는 點 H 에서의 Q_2 의 베이스-콜렉터間의 順方向다이오드의 Cut-in 電壓으로 平均 $0.615V$ 이었다. 즉 $I_{Bf_s}=I_C$ 가 成立하는 자리이다⁽²⁸⁾. V_{BEH} 는 그림 6.1.1의 點 H 에서 취한 베이스-에미터間의 順方向다이오드에서의 電壓이다. V_{CEH} 는 Tr.이 정상적인 증폭을 행하는 콜렉터-에미터間의 電壓이다. 이 電壓은 최저치가 $0.14V$ 이었다. V_{BCP} 는 콜렉터電流가 흐르지 않을때의 入力電壓이다.

V_{CEL} 가 대단히 높은 理由는 Q_2 의 베이스-에미터電壓이 거의 차단상태이며 콜렉터電壓이 높기 때문이다.

7.2 CSNR 특성

그림 3.2.2의 回路에서 入力電流 I_i 대 各點과 接地間電壓을 그림 7.2.1에 表示하였다.

그림 7.2.1에 이미 發表된 바와 같이⁽²⁹⁾ r 에 電流가 흐르지 않게 되는 자리 s 가 存在함을 보였다.

다음에 그림 4.1의 콜렉터回路의 點 C, D 에 各 各 R_{C11} 과 R_{C22} 를 삽입한 경우, 그림 3.0.1(b)

表 7.1
Table 7.1

R_{C1}	R_E	V_H	V_L	I_H	I_L	V_{BCH}	V_{BEH}	V_{CEH}	V_{BCP}	V_{BEP}	V_{CEP}	V_{BCL}	V_{BEL}	V_{CEL}
99.4	1000	5.6	25	2.72	1.39	0.615	0.76	0.22	0.79	0.79	0.02	-12.54	0.75	23.38
	2000	4.7	18.7	1.5	1.0			0.28	0.81	0.82	0.01	-7.5	0.74	17.24
	3000	4.6	17.5	1.05	0.85			—	0.8	0.82	0.02	-15.15	0.73	15.88
190	1000	5.15	18.4	1.4	—			0.24	0.81	0.82	0.01	-17.9	0.67	15.37
	2000	4.3	16.6	1.4	0.5			0.2	0.79	0.81	0.02	-18.57	0.7	16.29
	3000	4.15	15.5	1.0	0.45			0.33	0.8	0.81	0.01	-14.6	0.7	15.3
319	1000	4.8	11.3	2.35	0.28			0.15	0.8	0.83	0.03	-10.05	0.67	11.3
	2000	4.25	11.0	1.35	0.28			0.2	0.8	0.83	0.03	-10.3	0.67	10.97
	3000	3.9	11.3	0.95	0.28			0.14	0.79	0.8	0.01	-10.3	0.67	10.97

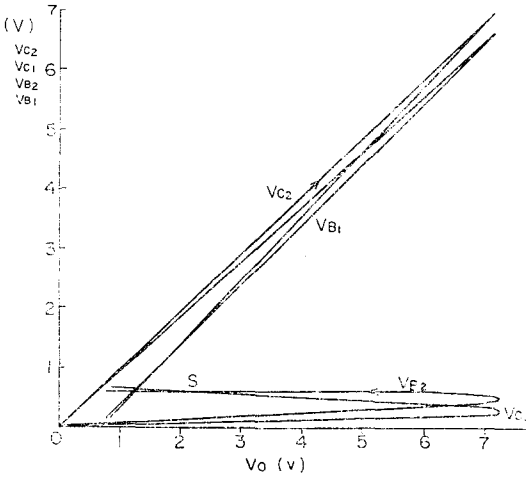


그림 7.2.1 그림 3.2.2의 회로의 V_0 대 V_{C1}, V_{C2}, V_{B1} 및 V_{B2} 특성

Fig. 7.2.1 V_0 vs V_{C1}, V_{C2}, V_{B1} and V_{B2} characteristics of CSNR circuit (shown in Fig. 3.2.2)

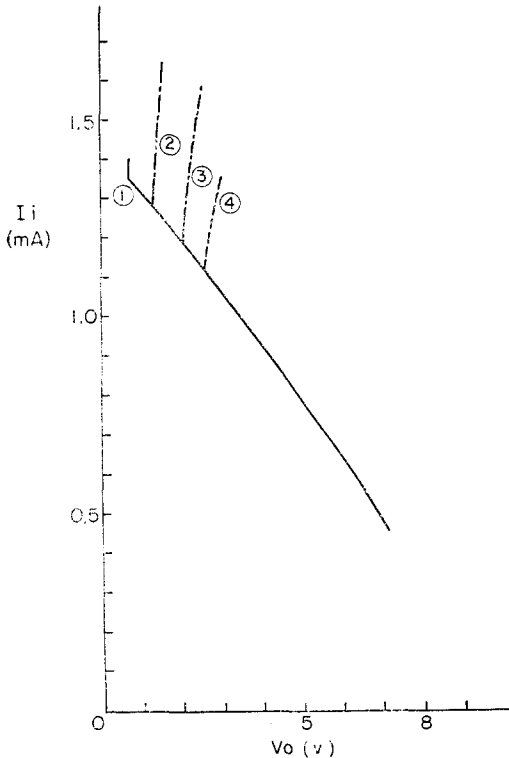


그림 7.2.2 그림 4.1에서의 R_{C11} 과 R_{C22} 의 변화에 따르는 V_0 - I_i 특성

Fig. 7.2.2 The effects of R_{C11} and R_{C22} on the V_0 , I_i characteristics in CSNR circuit (Fig. 4.1)

의 점 H 의 위치가變動되는 결과를 나타내었다. 이것을 그림 7.2.2에 표시하였다. 이 理由

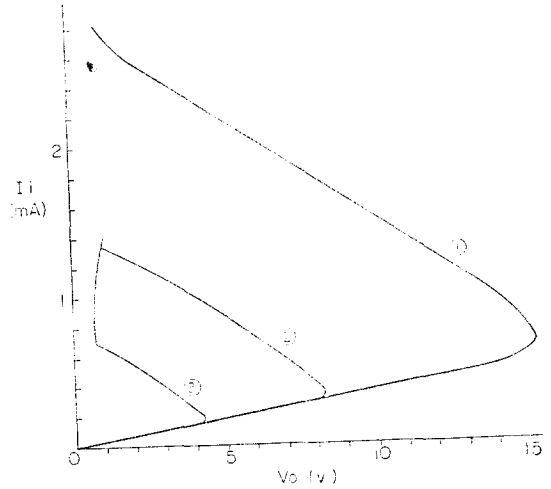


그림 7.2.3 그림 3.2.2에서의 R_{C1} 과 R_{21}, R_{C2} 와 R_{11} 의 변화에 따르는 V_0 - I_i 특성

Fig. 7.2.3 V_0 - I_i characteristics due to the variation of R_{C1} and $R_{21}; R_{C2}$ and R_{11} (in Fig. 3.2.2)

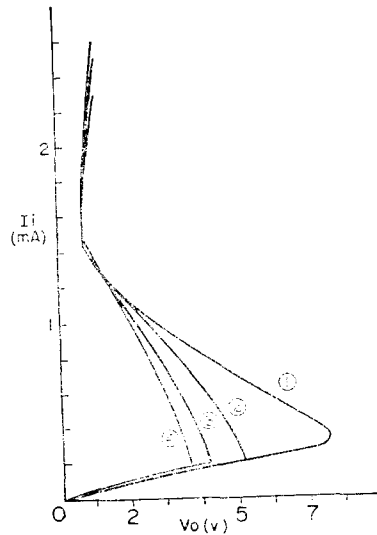


그림 7.2.4 $R_{11}=R_{21}$ 때의 V_0 - I_i 특성

Fig. 7.2.4 V_0 - I_i characteristics in the case of $R_{11}=R_{21}$

는 점 H 에 이르렀을 때의 V_H 는 R_{C1} 의 電壓降下가 Q_1 의 콜렉터—의 에미터電壓과 R_{C11} 에서의 電壓降下를 합친 것이기 때문이다. 여기서 V_H 를 구하면,

$$V_H = I_{e1H}R_{C1} + V_{CE1H} + R_{C11}I_{C1H} \quad (7.2.1)$$

여기서, I_{e1H} 는 그림 3.1.0(b) 점 H 의 I_{e1}, V_{CE1H}

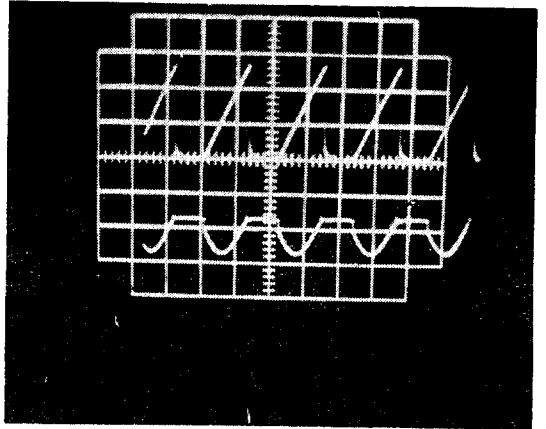
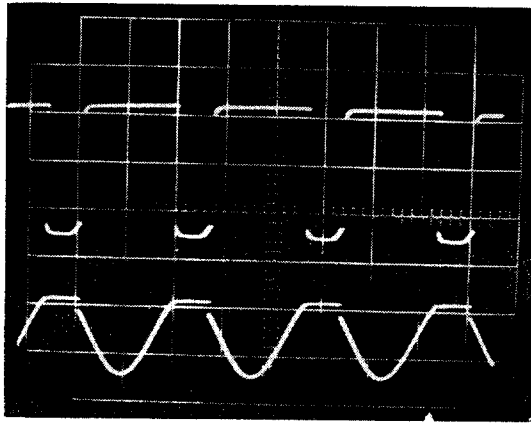


그림 7.3.1(a) 그림 4.1의 회로에 의한 출력 및 제어신호 파형.

(b) 그림 4.1의 출력회로에 콘덴서가 접속된 경우의 톱니파 출력 및 제어신호파형

Fig. 7.3.1(a) Output and control signal wave from in the circuit (shown in Fig. 4.1); Vertical. 5V/div, Horizontal. 200 μ s/div

(b) Output and control signal wave from in the circuit (shown in Fig. 4.1) with capacitor; Vertical. 5v/div, horizontal. 500 μ s/div.

는點 H 에서의 V_{CE1} , I_{C1H} 는點 H 에서의 물럭터 電流이다.

R_{11} 과 R_{C1} 의 변화에 따르는 I_t - V_t 特性을 그림 7.2.3에 표시하였다. 그림 7.2.3에서는 그림 3.1(b)의點 H 및 B 에서의 電流가 變化했으며, 여기에서 實測한 負抵抗値와 식 (3.2.1)~(3.2.5)에 의해서 계산한 계산치를 비교한 결과 차이는 10%이내로서 계산식이 실용상 타당함을 알 수 있었다. R_{11} 과 R_{C1} 을 변화시켜 얻은 特性을 그림 7.2.4에 표시하였다. 여기서 얻어진 부저항치와 실측치와의 차는 대체로 10%이내이다.

7.3 SCR 특성회로

그림 4.1의 AB 간에 제어신호로서 정현파를 인가하고, 전원으로 직류를 인가한 결과 나타난 출력현상을 그림 7.3.1(a)에 표시하였다. 그림 7.3.1(b)의 출력단자에 C 를 접속하여 얻은 톱니파출력을 표시하였다.

7.4 SSS 특성회로

그림 6.1의 회로에서 交流入力下의 出力波를 그림 7.4.1에 표시하였다. $R_1=R_2$, $R_{C1}=R_{C2}$, $R_{C1}'=R_{C2}'$, $R_3=R_4$, $R_{C1}=R_{C1}'$ 의 條件에서 얻은 結果는 식 (3.2.1)~(3.2.4)에 의한 推定대로 나타났었다. 그림 3.0.1(b)의點 B 의 자리는 Q_1 과 Q_2 , Q_3 와 Q_4 의 自體의 I_{CED} 때문에 차이가 약간 있었으나, 거이 계산치와 같았다.

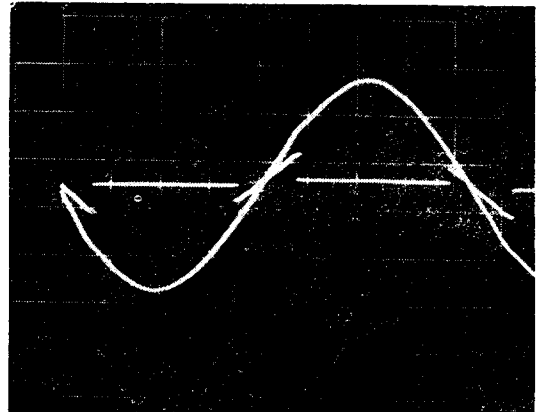


그림 7.4.1 그림 5.1.2의 회로의 입력과 출력파형

Fig. 7.4.1 Input and output wave form in the circuit (shown in Fig. 5.1.2); Vert. 25V/div.

7.5 고찰

VSNR 특성의 各 折點가운데 電流가 가장 많이 흐르는 자리는 I_B 와 I_C 가 전류증폭정수에 따르지 않는 V_{CE} I_C 특성의 포화영역의 끝에서 나타났었다 CSNR 회로의 負抵抗値는, Tr 의 V_{YEC} 와 포화 전압에 따라서 豫測할 수 있었다. 또 이 회로의 동작은 電流增幅에 따르는 電流에 직접 영향을 받지 않도록 하여야 부저항치를 적정히 바꿀 수 있으며 또 負抵抗보다 크기가 작은 負抵抗値인 범위에서 $\frac{dV_o}{dt}$ 가 나타났었다.

GTO-SCR 特性回路에 入力으로 直流을 인가하고 制御回路에 正弦波交流을 印加하였다더니 出力에서 츙핑된 波形을 얻을 수 있었으나 制御信號의 周波數가 높아질수록 開路시키는 데 시간적인 지연이 나타났었다. 그 이유는 동작시에 制御信號가 있는 回路의 電壓을 상승시키는데 信號制御回路가 있는 Tr.의 베이스-에미터間的 電流擔體가 빨리 소거되지 않기 때문이다.

또 이 回路의 出力端子에 콘덴서를 접속한 결과 적선성이 양호한 톱니파出力을 얻을 수 있었다. 그러나 制御信號의 周波數가 증가하면 制御信號의 周波數의 몇분의 1이 되는 톱니파가 나타났었다. 그 이유는 톱니파電壓이 낮은 때에 制御信號에 따르는 制御가 불가능해지기 때문이다.

SSS 特性은 交流入力에 대하여 Tr.의 진도개시전압을, 인위적인 漏洩抵抗値를 조절하므로써 조절할 수 있었다. 따라서 回路의 抵抗 4個를 적절히 조절할 필요가 따랐다.

8. 결 론

電壓 安定 또는 電流安定型 負抵抗領域을 포함하고 있는 非線型 2端子回路에서는 入力變化的 函數로써 表示되는 變分抵抗과 入力電壓 増分 또는 入力電流増分の 積으로써 等價起電力을 定義하고 이것을 쓰므로써 그의 入力 증분抵抗이 正 또는 負로 되는 領域을 簡單히 判別할 수 있었다.

이 等價起電力에 의한 새로운 回路解析技法을 使用하면 正抵抗 回路素子로써 構成된 回路에다 入力電壓 또는 入力電流의 變化量의 函數이며 適當한 位相을 갖는 전압 또는 전류 제한을 行하므로써 용이하게 入力증분抵抗이 負性抵抗領域을 가지는 電壓安定 또는 電流安定 負抵抗 2端子回路를 實現시킬 수 있다.

접합형트랜지스터의 경우 2個의 트랜지스터를 使用하고 베이스 電流를 파라미터로 취하여 콜렉터-에미터間出力端子간에 관하여 負性抵抗領域을 가지는 2端子回路를 構成할 수 있었다.

이와 같은 트랜지스터로써 이루어진 電壓安定 負抵抗 2端子回路의 경우 負抵抗値는 電流계환素子에 의하여 在右되며 電流安定負抵抗 2端子回路의 非스윗칭特性은 負抵抗値의 크기와 負荷抵抗

値에 따라서 定하여 진다.

이 트랜지스터로써 이루어진 2端子負性抵抗回路를 利用하면 그 回路構成素子の 값을 조절하므로써 連續的으로 變化되는 負抵抗領域을 가져내 SCR의 V-I 特性과 類似한 電流-電壓特性을 나타내는 SCR 모델링回路를 얻을 수 있다. 또한 그의 게이트回路를 變形하면 이 모델링回路는 簡單한 츙핑 또는 톱니파電壓發生回路로도 活用할 수 있다.

이들 SCR 모델링回路를 基本으로 하여 誘導된 SSS 特性모델링回路에서는 交流의 位相角制御를 할 수 있었다.

謝 意

본 연구를 진행해 나감에 있어서 여러가지로 끊임없는 도움을 주신 서울대학교 공과대학 전자공학과 이정환교수님께 감사 드리며 또, 여러가지 조언을 하여주신 전자공학과 교수님들에게 감사하는바입니다.

참 고 문 헌

- 1) Herold, E. W., "Negative resistance and devices for obtaining it", Proc. IRE, 23, No. 10, Oct. 1935, pp. 1201-1233.
- 2) E. L. Ginzton, "Stabilized negative impedances", Electronics, Vol. 15, July 1945, pp. 140-150.
- 3) E. L. Ginzton, "Stabilized negative Impedances", Electronics, Vol. 15, Aug. 1945, pp. 138-148.
- 4) J. G. Linvill, "Transistor Negative-impedance Converters", Proc. of IRE, June 1953, pp. 725-726.
- 5) H. J. Reich, "Functional circuits and oscillations", D. Van Nostrand Co., 1961, pp. 69-91.
- 6) H. E. Kallmann, "A simple DC-AC negative-impedance converter, offering symmetrical N-Type and S-Type negative resistance, based on a circuit of A. H. Marshak", Proc. of IEEE, Feb. 1964, pp.

- 199-200.
- 7) Carl D. Todd, "The negative resistance Element (NRE)—A New circuit component," *Electronics, a McGraw-Hill Weekly*, May 31, 1963, pp. 21-23.
 - 8) Alan H. Marshak, "A unique current controlled negative-resistance generator", *Electrical Engineering*, May 1963, pp. 348-349.
 - 9) H. J. Reich, "More about negative-resistance circuits," *Proc. of IEEE*, Sept. 1964, pp. 1058-1059.
 - 10) Minoru Nagata, "A simple Negative Impedance circuit with no internal Bias Supplies and good Linearity", *IEEE Transactions on circuit theory*, Sep. 1965, pp. 423-434.
 - 11) M. Sankiewicz, "Resistance-stable regative resistance", *Proc. of IEEE*, Nov. 1966, pp. 1958-1959.
 - 12) J. W. Alexander, "Non-linear negative resistance, the essential element in normal amplifiers and Oscillators", *Intr. J. Electronics*, 1970, Vol. 28, No. 3, pp. 245-257.
 - 13) Esest S. Kuh and Ibrahim N. Hajj, "Nonlinear Circuit Theory: resistive networks", *Proc. of IEEE*, Vol. 59, No. 3, March 1971, pp. 340-355.
 - 14) A. K. Gooden, and T. Cookes, "A Negative resistance computing element", *Electronic Engineering*, Nov. 1963, pp. 751-753.
 - 15) A. H. Marshak, "Direct-coupled negative impedance balanced converters", *Electronics Letters*, July 1965, Vol. 1, No 5, pp. 142-143.
 - 16) H. J. Reich, Skalnik and H. L. Krauss "Theory and applications of active devices", D. VAN NOSTRAND Co., Sept. 15, pp. 405-434, 1966.
 - 17) J. Millman and H. Taub, "Digital and switching waveforms", McGraw-Hill, 1965, p. 461.
 - 18) James F. Gibbons, *Semiconductor Electronics*, McGraw-Hill, 1966, pp. 654-657.
 - 19) Samuel Sealy, *Electron tube circuits*, 2nd ed., McGraw-Hill, p.223 and p.192, 1958.
 - 20) Leonard Strauss, *Wave Generation and Shapping*, McGraw-Hill, 1960, pp. 315-356.
 - 21) George E. Anner, *Elementary nonlinear electronic circuits*, Prentice-Hall, pp. 87-176.
 - 22) Wiliam Shockley, "The Four-layer diode", *Electronic Industries & Tele-Tech*, August 1967, pp. 58-60.
 - 23) James F. Gibbons, "A critique of the theory of P-N-P-N devices", *IEEE Trans. on Electron Devices*, Sept. 1964, pp. 406-413.
 - 24) R. W. Aldrich and N. Holonyak, Jr, "Two-terminal asymmetrical silicon negative resistance switches", *Jr. of Applied Physics*, Vol. 30, No. 11, Nov. 1959, pp. 1819-1824.
 - 25) F. E. Gentry, R. I. Scape and J. K. Flowers, "Bidirectional triode P-N-P-N switches", *Proc. of IEEE*, April 1965, pp. 355-369.
 - 26) D. H. Navon, A. Chopra, and V. Sundra, "The BiSwitch—an integrated device", *Solidstate design*, Transition Electronic Co., V5. N9., Sept 1964, pp. 25-29.
 - 27) Melvin Klein, "A Four-terminal P-N-P-N switching devices", *IRE Trans. on Electron Devices*, Oct. 1960, pp. 214-217.
 - 28) Ui Yul Park, "A Study on Voltage-stable Negative Resistance Circuits," *The Jour. of the Institnte of Korea Eledtronics Engineers*, Vol. 9, No. 6, Dec. 1972, pp. 305-314.
 - 29) Ui Yul Park, "A study on composition of current-stable negative resistance circuits", *The Jour. of the Institute of Korea Eledronics Engrneers*, Vol. 10, No. 1, January 1973, pp. 9-17.
 - 30) Ui Yul Park, "A study on composition

- of SCR characteristics", The Jour. of the Institute of Korea Electrical Engineers, Vol. 22, No. 2, March 1973, pp. 74-84.
- 31) R. H. Valington and D. Navon, "Base turn-off PNP switches", IRE Wescon Convention Rec., D. 5, Pt. 3, 1960, pp. 49-59.
- 32) A. K. Jonsher, "P-N-P-N switching diode", Jour. of the Electronics and control, V. 3, N. 6, Dec. 1957, pp. 573-586.
- 33) David K. Cheng, "The compensation theorem", Proc. of IRE, March 1955, pp. 342-343.
- 34) Louis Weinberg, "Network analysis and synthesis", McGraw-Hill, Sect. 1-6, p. 11, 1962.
-