

VDH이온注入機에 의한 실리콘 p^+-n-n^+ 접합의 새로운 形成法에 관한 研究

논문
22~5~1

A New Formation Method of Silicon p^+-n-n^+ Junctions by VDH-Implanter

최 원 은*
(Won Eun Choi)

Abstract

A new method of forming silicon p^+-n-n^+ junctions has been attempted by using the VDH-Implanter (Vacuum Discharge and Heating). Each of p^+-n and $n-n^+$ junctions was formed on both sides of an n -type silicon substrate by means of predeposition of each dopant and their bombarding due to rarefied air ions together with the preheating of the substrate in the implanter. The rectifying principle of the p^+-n-n^+ junctions is thought to be based on the theory of double injection. The I-V characteristic of the diode has shown that it has a fairly high forward current density with the desirable rise due to very low voltage though the reverse voltage is a little low on account of the low resistivity of the silicon substrate.

I. 緒 論

整流器用 $p-n$ 접합으로는 주로 合金型으로 된 것과 擴散型으로 된 두 種類가 있다. silicon合金型整流器에서는 普通 10 Ω cm 以上の 比抵抗을 가진 n 型 silicon에 알루미늄을 合金화시킨 接合이 使用되지만 構造上 熱應力의 影響을 받기 쉬우므로 大電力用的 整流器에는 別로 使用되지 않고 있다. silicon擴散型整流器에서는 比較의 高抵抗의 n 型 silicon薄板의 한쪽面에 例컨대 B_2O_3 를 塗布하여 boron을 acceptor로서 擴散시키고 그 反對쪽面에는 P_2O_5 를 塗布하여 磷을 donor로서 熱擴散시켜 p^+-n-n^+ 接합으로 된 素子が 使用되고 있다. 이러한 擴散型으로 된 $p-n$ 接合은 合金型的 階段接合(step junction)에 比較하여 熱應力의 影響이 적으므로 大電力用에도 使用된다. 또한 高電壓用的 大電力整流器에는 $p-n$ 接合의 中間에 眞性半導體 또는 이에 가까운 高抵抗層이 介在된 $p-i-n$ 構造가 使用된다. 이 構造를 利用하면 逆方向의 耐電壓을 매우 높게 할 수 있을 뿐 아니라 眞性領域(i 層)에 carrier의 注入에 依하여 抵抗을 低下시킬 수 있으므로 順方向의 電壓降下를 적게 할 수 있는 利點이 있다. 高電壓用以外는 大體로 既述한 p^+-n-n^+ 接合의 整流器가 使用되는데

이것도 n 型 silicon의 比抵抗如何에 따라 相當히 높은 電壓에까지 使用되고 있으며 그 製造方法은 $p-i-n$ 때와 비슷하다. 그러나 이러한 從來의 擴散法에 依한 p^+-n-n^+ 接合의 整流器製造過程은 複雜하며 最高溫度가 1200°C인 擴散爐內의 溫度勾配에 따른 適切한 移動, 高純度の 窒素인 carrier gas의 適切한 流通, 整流特性을 좋게 하기 爲한 少量의 高純度酸素의 添加, 擴散後의 酸化被膜除去等 相當한 熟練을 要하는 製造技術이 必要하게 된다. 最近 國內에서 發見된 VDH 이온 注入機¹⁾에 依하면 各種半導體의 $p-n$ 接合을 擴散法보다는 比較의 簡便하고 또한 보다 短時間內에 만들 수 있다는 것이 이미 알려져 있다. 著者는 이 裝置를 利用해서 p^+-n-n^+ 接合의 整流器를 만들어 보았으므로 이러한 새로운 製造法과 이에 依해서 製造된 整流器의 p^+-n-n^+ 接合에 對한 energy band의 解析 및 그 特性 등을 여기에 紹介하고자 한다.

II. 實 驗

(1) VDH 이온注入機의 概要

本 實驗에 使用된 VDH 이온注入機의 大略의 構造는 Fig.1에 圖示된 바와 같다. 本裝置는 眞空放電 및 加熱 (Vacuum Discharge and Heating)을 利用한 一種의 이온注入機이므로 VDH 이온注入機이라고 불리우고 있다. 10^{-3} 乃至 10^{-4} Torr程度로 排氣된 排氣鍾內에서

* 聘되원 : 중앙대학교 공과대학 전기공학과 교수

眞空放電을 發生시키는 2組의 電極이 있다. 其中 1組의 主電極에 加해진 直流高電壓은 稀釋된 空氣로 된 이온들中에서 陽이온들(N^+ , O^+)을 陰極쪽으로 加速시키는 口實을 하며, 다른 1組의 副電極에 加해진 高周波電壓은 이온化를 促進시킨다. 陽이온들이 網狀의 陰極을 通過할때 이온들이 網目的 導體와 tangential touching (grazing incidence)을 하므로서 相當數의 陽이온들이 中性化되도록 되어 있다. 網狀陰極의 바로 밑에는 impurity인 dopant가 그表面에 蒸着된 silicon基板이 $500^{\circ}C$ 로 加熱된 狀態에 놓여져 있다. 中性化된 이온들이 注入子層을 衝擊하므로서 radiation enhanced diffusion²⁾ 效果가 일어나게 되고 注入子層의 原子들을 silicon基板의 格子內에 注入시킬 수 있게 된다. 加速시키는 電壓은 2,000V內外인데 이러한 電壓에서 加速된 低 energy의 이온들에 依한 衝突에는 electronic stopping보다 主로 nuclear stopping에 依해서 衝擊 energy가 消耗되는데, 이온이 中性化되므로 Coulomb

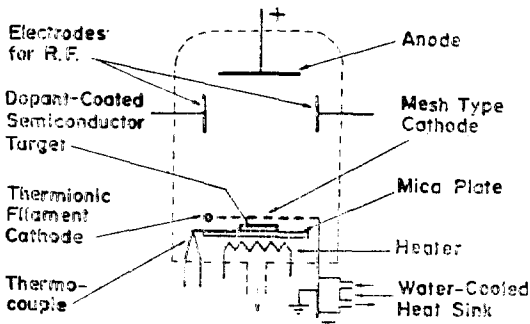


Fig. 1. Schematic illustration of the VDH-Imp-plant.

interaction인 이러한 nuclear stopping에 依한 勢力 消耗는 매우 輕減되기 때문에 dopant의 原子들이 比較的 쉽게 注入될 수 있다.

(2) $p^+ - n - n^+$ 接合의 形成法

a. 本實驗에 使用된 silicon基板의 規格

Type	n-type
Diameter	38mmφ
Thickness	0.25mm
Dopant	Phosphorus
Resistivity	2~3 Ωcm
Orientation	<111>
Finish	# 1,200 Lap.

b. 表面處理

먼저 acetone으로 silicon基板의 表面을 잘 洗滌시킨 다음 isopropylalcohol에 담그고 이 容器를 超音波發生裝置위에 있어서 10分程度 洗滌시킨다. 그 다음에

deionized water로 잘 洗滌시키고 나서 centrifuge에 걸어 廻轉시키면서 熱風을 보내어 그 表面의 水分을 乾燥시킨다. 그 다음에 4-1-1溶液($HNO_3:4, HF:1, CH_3COOH:1$)에 約 15秒 동안 담그어 基板表面을 若干 etching시켜 表面의 defect를 除去시키고 더욱 깨끗하게 한다. 다시 deionized water로 洗滌시킨 다음 위에서 말한바와 같은 方法으로 乾燥시킨다.

c. Dopant膜蒸着

表面이 깨끗하게 된 silicon基板을 蒸着用 holder에 끼워 眞空蒸着裝置의 bell jar內에 넣고 molybdenum boat에 B_2O_3 粉을 담아서 壓着시킨다. 排氣때의 振動으로 이 가루가 쏟아지지 않도록 boat의 兩邊을 얇은 mica板으로 높이게 한다. 10^{-5} Torr程度로 排氣시킨 다음 boat를 加熱하여 B_2O_3 를 熱分解시키면 boron이 蒸發되어 基板表面에 boron의 薄膜이 形成된다. 이때 膜의 두께는 約 400Å 이 되도록 Sloan會社製의 thickness gauge를 읽어가며 調節하였다. boron이 表面에 蒸着된 silicon基板을 VDH注入機속에 넣어서 boron을 注入시킨뒤에 基板의 反對面에 phosphorus를 蒸着시킬때는 P_2O_5 를 boat에 담아서 熱分解시켰으며, antimony를 蒸着시킬때 Sb粉을 boat에 담아서 蒸發시켰다.

d. VDH 이온注入機에 依한 Dopant의 注入

dopant가 蒸着된 silicon基板을 Fig. 1에 表示된 바와 같이 VDH注入機內의 網狀電極바로 밑에 位置되도록 한다. $10^{-5} \sim 10^{-4}$ Torr로 排氣시킨 다음 먼저 이 基板을 加熱시킨다. 그 다음에 高周波電壓과 直流高電壓을 걸어 glow discharge를 發生시키면 silicon基板內에 dopant의 原子들이 注入되게 된다. 本 實驗에서 使用한 各種 dopant들의 注入條件은 Table 1에 表示된 바와 같다.

e. $p^+ - n - n^+$ 接合의 形成過程

$p^+ - n - n^+$ 接合을 silicon基板속에 形成시키는 過程은

Table 1

D	Vdc volts	$T_{imp}^{\circ}C$	t_{imp} min.	$T_{ann}^{\circ}C$	t_{ann} min.	THc Å
B	2,000	500	20	600	20	400
Sb	"	"	"	"	"	"
P	"	"	"	"	"	"

Vdc=dc voltage

T_{imp} =implanting temperature

t_{imp} =implanting time

T_{ann} =annealing temperature

t_{ann} =annealing time

THc=coated thickness

D=dopant

Fig.2에 圖示된 바와 같다. 다만 Fig.2에서는 B와 P를 각각 한번씩만 注入시키는 過程이 圖示되었지만 本實驗에서는 基板의 各面에 B를 두번 P를 두번 注入시켰으므로 各面에 한가지 dopant가 두번 注入될때는 圖中の ①에서 ⑤까지의 過程을 反復하게 되며 다만 ⑥의 annealing 過程만은 두번 注入를 마친뒤에 한번만 하면 된다. 그리고 ⑦은 注入이 두번씩 모두 끝난 뒤에 남아 있는 dopant膜을 除去시키는 過程인데 이때 B에는 $H_2O:25, HNO_3:5, HCl: 2.5, H_2SO_4: 1$ 로 된 溶液이 쓰이고 Sb에는 H_2SO_4 가 쓰이며 P에는 HNO_3 가 各各 使用된다.

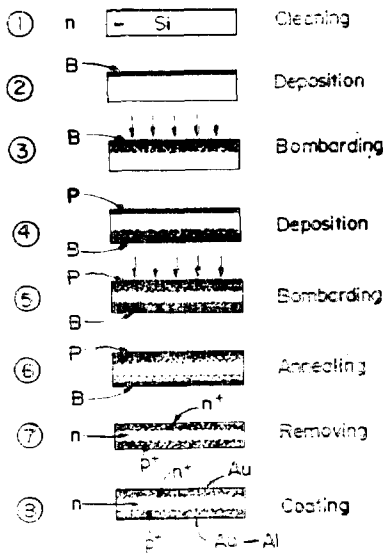


Fig. 2. The process of forming silicon p^+-n-n^+ junctions by the VDH-Implanter.

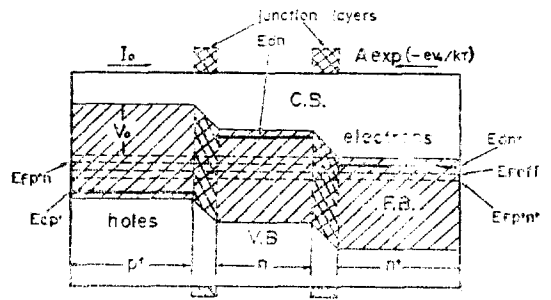
p^+-n-n^+ 接合이 形成된 뒤에 이것을 diode로 만들때는 ⑧의 過程과 같이 眞空蒸着으로 兩侧面에 電極用膜을 附着시키게 된다.

III. p^+-n-n^+ 接合의 Energy Band 解析

p^+-n-n^+ 接合으로 된 diode의 外部印加電壓이 없을때의 energy band狀態는 Fig. 3과 같이 表現될 수 있다. 여기서 V_c 는 p^+-n 接合과 $n-n^+$ 接合에서 생긴 接觸電位差를 合한 電位이다. p^+ 側에서는 E_{Fp^+} 로 表示된 Fermi準位가 導電帶에 比해서 낮으므로 n 側의 電子는 境界를 넘어서 p^+ 側으로 移動하게 되며 p^+-n 接合의 兩側에서 Fermi準位는 같아지려고 한다. 한편 $n-n^+$ 接合에서는 n 側에 電子가 적고 n^+ 側에 電子가 많기 때문에 n 側의 Fermi準位가 n^+ 側의 그것보다 낮으므로 n^+ 側의 電子가 n 側으로 移動하여 $n-n^+$ 接合

의 兩側 Fermi準位가 같아지려고 한다. 그러나 이때 n^+ 側에서 n 側으로 移動된 電子는 n 側의 Fermi準位를 p^+ 側보다 높이는 結果가 되므로 이렇게 移動된 電子들은 繼續해서 p^+ 側으로 移動하게 되며 따라서 p^+ 側과 n^+ 側과의 Fermi準位인 $E_{Fp^+n^+}$ 에 接近하게 된다. 結果적으로 n^+ 側에서 p^+ 側으로 電子가 모두 移動되어 平衡狀態가 될때는 p^+-n-n^+ 接合에 모두 같은 높이의 Fermi準位인 $E_{F,eff}$ 가 形成된다.

이 $E_{F,eff}$ 는 두個의 Fermi準位인 E_{Fp^+n} 와 $E_{Fn^+n^+}$ 의 中間에 存在하며 一致되는 Fermi準位이고 이것이 即 electron과 hole의 recombination準位가 된



E_{cpn} : acceptor level of p^+ region
 E_{cn} : donor level of n region
 E_{dn} : donor level of n^+ region
 E_{fpn} : Fermi level in p^+-n junction
 E_{fn} : Fermi level between p^+ and n^+ regions
 E_{eff} : effective Fermi level in p^+-n-n^+ junctions

Fig. 3. Analyzed energy-band diagram in silicon p^+-n-n^+ junctions.

다. 그리고 trapping準位와 recombination準位の 境界는 Fermi準位の 位置만으로는 正確히 알수 없으며 電子의 경우같은 electron demarcation level로 주어져야 된다.

이 level은 電子가 導電帶로 excite되는 確率과 價電子帶의 hole과 recombine하는 確率이 같은 level이며 Bube²³⁾에 依하면 electron Fermi level + $\left(\frac{kT \ln \frac{n_g}{p_g}}{p_g}\right)$ 로 表示되며 n_g/p_g 는 concentration of filled recombination level과 empty recombination level과의 比를 말한다. 그리고 이 level이 溫度에 依存되는 것은 勿論이며 이와 類似한 方式으로 hole demarcation level도 論할 수 있는데 여기서는 省略키로 한다. $E_{F,eff}$ 를 形成하는 平衡狀態에까지 n^+ 側에서 p^+ 側으로 電子가 移動하는 n^+ 및 n 側속의 majority carrier인 電子는 (이 電子가 p^+ 側에 들어가면 minority carrier가 될) 接觸電位障壁인 V_c 를 넘어서 p^+ 側으로 가게 되는데 電子가 이 障壁을 넘는 確率은 Boltzmann의 指數函數인 $\exp(-eV_c/kT)$ 에

비례하게 된다. 이와 反對로 p^+ 側의 hole들도 n^+ 側으로 移動하므로 어느쪽이나 한쪽 電流를 擇해야 한다. 이때의 한쪽 電流를 I_s 라 하면

$$I_s = A \exp(-eV_s/kT) \quad (1)$$

이 平衡이 될때까지 電流가 흐르게 된다. 한편 이러한 p^+-n-n^+ 접합에 forward 電壓 V_f 를 印加하면 障壁 V_s 는 $V_s - V_f$ 로 낮아지며 따라서 比較的 큰 forward 電流인 $A \exp[-e(V_s - V_f)/kT]$ 또는 $I_s \exp(eV_f/kT)$ 를 얻게 된다. 이와 反對로 reverse 電壓 V_r 을 이 접합에 印加하면 障壁 V_s 는 $V_s + V_r$ 가 되어 障壁이 높아지므로 이때의 reverse 電流는 $A \exp[-e(V_s + V_r)/kT]$ 또는 $I_s \exp(-eV_r/kT)$ 가 된다.

實地로 製造되는 高電壓用 diode에는 silicon 基板의 比抵抗이 2000 Ωcm 內外되는 眞性半導體에 가까운 n 型 silicon을 使用하게 되는데 이때의 p^+-n-n^+ 접합에서는 n 層의 carrier 密度가 적기 때문에 一種의 $p-i-n$ 접합이라고 불수 있다. 이러한 $p-i-n$ 접합에 forward 電壓을 加하면 위에서 말한 바와 같으므로 n 側에서 i 側으로 電子가 移動되며 p 側에서 i 側으로 hole이 移動되어 forward 電流가 흐르게 된다. 이런 問題를 일찌기 研究한 사람들⁴⁻⁶⁾에 依하면 이것은 carrier의 double injection 現象이라고 말하고 있다. 이때는 特別히 i 層의 比抵抗이 클수록 보다 높은 forward 電壓을 印加해야 잘 inject되는데 이것은 強한 field의 作用에 依한 것이므로 이러한 i 層을 drift region이라 불어우고 있다. Zwicker⁶⁾ 등에 依하면 i 層內의 電流傳導는 space-charge neutrality approximation에 依해서 說明되고 있다. 이說의 說明은 매우 複雜하며, i 層內의 電流傳導는 space-charge density와 carrier density distribution 如何에 起因된 recombination kinetics를 nonlinear differential equation으로 다루고 있는 難解인 問題인 것이다. Mayer⁷⁾에 依하면 이러한 $p-i-n$ 접합에 있어서의 電流密度는 大體로

$$J = en_i(\mu_n + \mu_p)V/L \quad (2)$$

로 주어 지는데, 여기서 n_i 는 i 層內의 carrier 密度, μ_n 및 μ_p 는 電子 및 hole의 mobility, V 는 印加電壓, L 은 i 層의 幅을 意味한다. (2)式에 의하면 i 層內의 carrier 密度가 클수록, 印加電壓이 클수록, i 層의 幅이 적을수록 보다 큰 forward 電流를 얻을 수 있다는 것을 알수 있다. (2)式은 本實驗에서와 같이 silicon 基板의 比抵抗이 相當히 낮은 p^+-n-n^+ 접합에도 그대로 適用될 수 있다. 여기서 아는 바와같이 i 層의 幅을 매우 적게 해서 큰 forward 電流를 얻으면 p 層과 n 層(p^+-n-n^+ 때는 p^+ 層과 n^+ 層)을 뿔 수 있는 데로 깊게 注入시켜야 하며 兩層의 impurity concentration을 可能한 限 크게 되도록 해야 할 것이다.

IV. 結果 및 檢討

本實驗에서는 p 型 dopant는 boron을, 그리고 n 型 dopant로서는 antimony와 phosphorus를 各各 使用한 두 種類의 $p-n$ 접합을 만들어 보았다. 兩쪽 모두 p^+-n-n^+ 접합으로 하였는데 B 와 S_b 를 使用한 쪽은 電極用金屬膜을 蒸着시키지 않고 point contact에 依해서 $I-V$ 特性을 얻고져 만든 것이고, 또 하나는 B 와 P 를 使用한 것으로서 電極用金屬膜까지 蒸着시켜 diode를 얻었다. 두가지의 $p-n$ 접합에서 p 型쪽은 모두 B 를 使用 했지만 n 型 쪽은 하나는 S_b 가 使用되고 다른 하나는 P 가 使用된 理由는 S_b 原子는 原子半徑이 커서 깊이 注入되지 않는 性質이 있으나 擴散定數가 큰고로 一定한 깊이에 注入된 것은 比較的 均一한 $p-n$ 접합을 만들기 때문에 point contact로 調査할 때는 이 방식의 $p-n$ 접합이 便利하다. 이 反面 P 는 擴散定數는 S_b 보다 적지만 原子半徑도 적으므로 比較的 깊이 注入되며 보다 큰 forward 電流를 얻을수 있다. 그러나 reverse 電壓은 別로 큰 것이 되지 않는 短點이 있다.

(1) B 와 S_b 의 p^+-n-n^+ 접합에 依한 $I-V$ 特性

먼저 B 와 S_b 에 依한 p^+-n-n^+ 접합에 關하여 論해 보기로 한다. n 型 silicon 基板의 한쪽면에 B 를 두번 注入시키고 annealing시킨 뒤에 p^+-n 접합을 얻어서 그 $I-V$ 特性을 point contact에 依해서 測定해본 結果는 Fig.4와 같다.

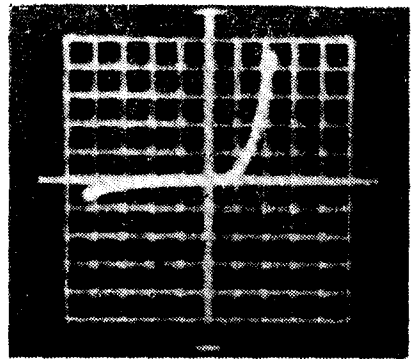


Fig. 4. $I-V$ characteristic of B -doped silicon p^+-n junction, forward and reverse: 0.05 mA/Div.: 10V/Div. (point contact).

이 silicon 基板의 反對面에 S_b 를 두번 注入시키고 다시 annealing시킨 後에 p^+-n-n^+ 접합을 얻어서 그 $I-V$ 特性을 point contact에 依해서 測定해본 結果는 Fig. 5와 같다. 萬一擴散에 依할때 같으면 이렇게 두번 annealing시키면 out diffusion⁸⁾ 現象이 일어나 一次의 annealing에 依해서 substitutional로 注入 되었은

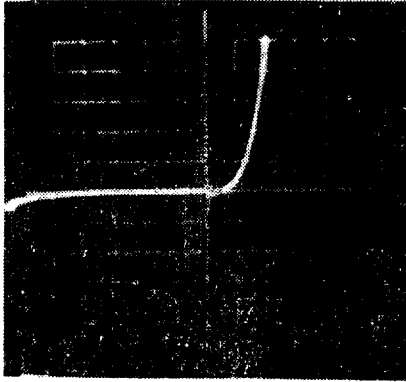


Fig. 5. $I-V$ characteristic of silicon p^+-n-n^+ junctions due to B and Sb , forward and reverse: $2mA/Div.$; $20V/Div.$ (point contact).

dopant이온들이 二次의 annealing때 도로 interstitial의 位置로 튀어 나오게 되어 Fig.5때와 같이 보다 改良된 $I-V$ 特性이 얻어지지 않는 法인데 이때는 annealing溫度가 $600^{\circ}C$ 밖에 안되기 때문에 이러한 現象을 막을수 있었다. Fig. 4와 Fig. 5를 比較해 볼때 뒤에 것이 forward電流가 매우 많이 增大되었고 reverse電壓도 倍나 커진 것을 볼수 있다. 이 理由は 各各 두번씩의 注入과 두번의 annealing을 통해서 B 와 S_b 의 이온들이 host crystal인 silicon基板속에서 B 만의 注入때보다 더욱 많이 substitutional site를 占하게 되고 p^+-n 접합과 S_b 에 의한 $n-n^+$ 접합이 合해져서 p^+-n-n^+ 접합을 잘 形成시키게 되었다는 것으로 思料된다. 이때의 dopant concentration과 注入深度는 Table 2와 같으며 이 測定方法은 Fuller와 Ditzenger⁹⁾의 four point probe測定法과 delineation by lapping and etching에 依하였다.

Table 2

	D_j (μ)	C_D (atoms/cc)	D ($D_s \times 10^4 m^2 sec^{-1}$)
B	5	5×10^{19}	10.5
Sb	1	8×10^{19}	5.6

D_j : Junction Depth

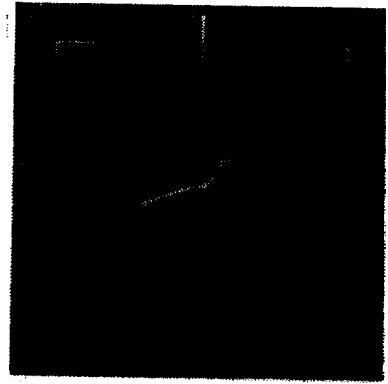
C_D : Dopant Concentration

ref. $\rightarrow D$: Diffusion Coefficient

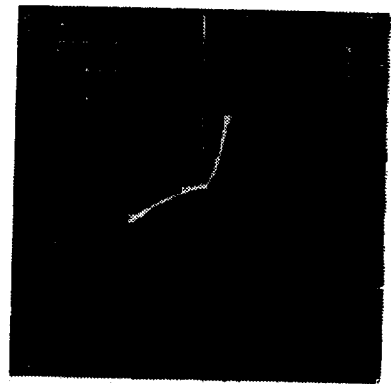
(2) B 와 P 의 p^+-n-n^+ 접합에 依한 diode의 $I-V$ 特性

다음은 B 와 P 로 만들어진 p^+-n-n^+ 접합의 diode에 關해서 檢討해 보기로 한다. n 型 silicon基板의 한 侧面에는 B 를 두번 注入시키고 그 反對面에는 P 를 두번 注入 시킨뒤에 annealing은 同時에 한번만 하였다.

이 理由は 되도록 製造過程을 簡素化시키는 意味도 있지만 위에서 말한 바와 같이 되도록 out diffusion 現象이 일어나지 않는 範圍內에서 dopant이온들이 많은 substitutional site를 占하도록 할 意圖에서였다. 이때의 P 이온은 原子半徑이 적은 이온이기 때문에 쉽게 out diffusion이 일어날 憂慮가 있기 때문이다. 위와 같이 注入시킨뒤에 $II-(2)-e$ 에서 말한 바와 같이 表面處理를 마치고 Fig. 2의 ㉔에 表示된 바와 같이 일종의 Ohmic contact로서 p^+ 側表面에는 $Au-Al$ alloy의 電極을 n^+ 側表面에는 Au 의 電極을 各各 眞空蒸着으로 附着시켜 diode를 만들었다. 이렇게 diode가 된 silicon基板을 여러 조각으로 cut하였는데, 그 중에서 比較의 特性이 좋은 두個인 $7mm \times 4mm$ 의 diode와 $6.5mm \times 4mm$ 의 diode에 依한 $I-V$ 特性은 Fig.6의

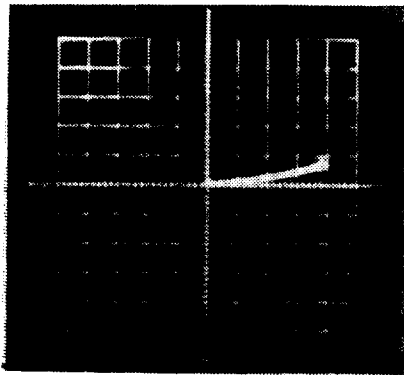


(a)

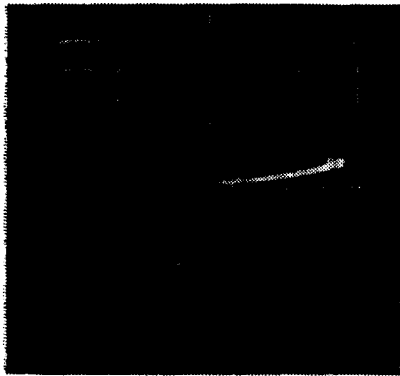


(b)

Fig. 6. $I-V$ characteristics of two silicon diode samples cut from the same substrate having p^+-n-n^+ junctions due to B and P , (a) size: $7mm \times 4mm$, forward and reverse: $200mA/Div.$; $20V/Div.$, (b) size: $6.5mm \times 4mm$, forward and reverse: $500 mA/Div.$; $20V/Div.$



(a)



(b)

Fig. 7. I-V characteristics of each forward direction in the two silicon diode samples showing the rising state in very low voltage, (a') and (b'): 200mA/Div. : 2V/Div.

(a) 및 (b)와 같다. 두 결과에서 보는 바와같이 reverse 전압은 별로 크지 못하나 forward 전류는 상당히 큰 것을 얻을 수 있었다. 이것은 이 두 개의 diode가 모두 잘 p^+-n-n^+ 접합을 형성하고 있다는 것으로 생각된다. 또한 이때 diode의良好狀態를 알 수 있는 forward 전류의 rise 상태는 Fig. 7의 (a') 및 (b')와 같으며 (a')는 diode (a)의 것이고 (b')는 diode (b)의 것이다. 이 두 결과에서 아는 바와같이 forward 전류는 매우 적은 전압에서 상당히 큰 전류를 흘리는 좋은 rise 상태를 나타내고 있으므로 여기서 만든 diode의 I-V 특성은 저전압용으로는實用域에 가까운 것이라고 할 수 있을 것이다. 다만 reverse 전압이 별로 높지 못한 것은 주로 silicon 기판의 比抵抗이 높지 못한 때문이라고 생

각되며, 또한 $p-i-n$ 구조가 아니고 n 층의 carrier concentration이 相當이 큰 p^+-n-n^+ 접합으로 되어 있기 때문일 것이다. 그리고 電極을 附着시키기 前의 n^+ 側の P 의 注入深度는 約 7μ 이었고 dopant의 concentration은 3×10^{19} atoms/cc 였으며, p^+ 側の B 의 그것들은 Table 2의 경우와 거의 같았다.

V. 結 論

VDH이온注入機를 使用하므로써 擴散法이 아닌 一種의 이온注入法으로 silicon 기판에 依한 p^+-n-n^+ 접합의 diode를 만들 수 있었다. 結果에 나타난 바와 같이 reverse 方向의 降伏電壓은 多少 낮은 50volt 內外였지만 forward 方向은 17volt 程度에서 500mA나 흘릴 수 있고 그 面積은 28mm^2 인 實用域에 가까운 것을 얻을 수 있었다. 여기에서 萬一 比抵抗이 더 높은 silicon 기판을 使用했다면 reverse 方向의 降伏電壓은 더 크게 增大했을 것이지만 單位面積當의 forward 方向電流는 現在것보다 적어졌을 것이다.

擴散法에 依할 때는 不純物의 擴散深度가 普通 30μ 內外되는데 Table 2에서 아는 바와 같이 本 注入方法으로는 熱擴散法에보다 깊이 注入되기는 어려우며, 따라서 Part III의 (2)式에 나타난 바와 같이 L 을 적게 해서 電流密度를 크게 하는 데는 多少 未及된 點이 있다고 볼 수 있다. 그러나 本 方法에 依하면 그 製造法이 比較的 簡單하고 注入時間도 짧으므로 前者에 比較해서 보다 얇은 silicon 기판이 使用된다면 能히 實用될 수 있는 p^+-n-n^+ 접합 diode가 만들어 질 수 있다고 생각한다.

p^+-n-n^+ 접합의 energy band 狀態를 解析한바 있는데, 이것은 p^+-n 접합과 $n-n^+$ 접합을 같이 나타내어 p^+, n , 및 n^+ 層에 一致되는 effective Fermi level인 $E_{F,eff}$ 를 찾아 내고져 새로운 試圖를 해본 것이다. 특히 매우 적은 전압에서 相當히 많은 電流를 흘릴 수 있는 Fig. 7의 diode의 rise 狀態는 大體로 既成製品の 이런 種類의 diode에 比較해서 別로 損色이 없는 것이라고 생각된다.

參 考 文 獻

- (1) H.Y. Lee and W.K. Lee, J. Korean Nuc. Soc. 5 (1), 13 (1973).
- (2) D.G. Nelson, et al., J. Appl. Phys. Lett. 15, 246 (1969).
- (3) R.H. Bube, Proc. IRE 43, 1839 (1955).
- (4) R.N. Hall, Proc. IRE 40, 1512 (1952).
- (5) D. A. Kleiman, Bell System Tech. J. 35, 685 (1956).

- (6) H.R. Zwicker, et al., J. Appl. Phys. **41**, 4697 (1970).
(7) J.W. Mayer, et al., Phys. Rev. **137**, A287 (1965).
(8) O. Meyer and J.W. Mayer, J. Appl. Phys. **41**, 4166 (1970).
(9) C.S. Fuller and J.A. Ditzenberger, J. Appl. Phys. **27**, 544 (1956).