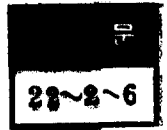


回路素子分解法에 의한 非線形時變 RLC

回路網의 狀態方程式 構成에 대하여



State Equation Formulation of Nonlinear Time-Varying RLC Network by the Method of Element Decomposition

양 흥 석* · 차 균 현**

(Heung Suk Yang, Kyun Hyon Tchah)

Abstract

A method for obtaining state equation for nonlinear time-varying RLC networks is presented. The nonlinear time-varying RLC elements are decomposed by using Murata method to formulate nonlinear state equation. A nonlinear time-varying RLC network containing twin tunnel diode is solved as an example. In consequence of solving the example, simple methods are presented for revising the original network model so that the formulation of state equation is simplified.

1. 서 론

지금까지 리니어그래프(Linear Graph)의 회로망에 대한 응용은 線形時不變回路網에 한하고 非線形時變 RLC回路網에 대해서는 많이 응용되지 못했다. 본 논문은 Bashkow A 행렬을 非線形時變 RLC 回路網의 狀態方程式을 세우는데 이용했다. 非線形回路網의 해석은 (1)회로망의 수학적 특성화, (2)회로망 방정식의 定性的解析, (3)회로망 응용의 정확 혹은 근사해를 구하는 세가지 방법이 있다¹⁾. 과거에는 單調非線形回路網(monotone nonlinear circuits)에 대해서 많이 논했으나 근래에는 일단자변수의 단가함수이고 특성곡선을 갖는 素子를 포함한 회로망을 다루고 있다²⁾. 그리고 Murata氏는 非線形素子를 분해하여 해석하고 있는데 ³⁾ $F_{CR}=0$ 인 간단한 회로망에 대해서 취급하고 복잡한 회로망에 대해서는 언급이 없다.

본 논문에서는 [1]에서 논한 線形케이스를 확장하여 非線形時變커패시턴스 및 인덕턴스를 포함하는 RLC회

로망을 Bashkow A 행렬과 시변 커패시턴스 및 인덕턴스의 분해방법을 사용하여 일반적인 非線形時變 RLC 回路網의 狀態方程式을 구하고 예제로서 雙터널다이오드가 있는 非線形時變 RLC回路網을 풀었다. 예제를 푸는 과정에서 基本回路行列(Fundamental Circuit Matrix)의 몇개의 部割行列의 성분을 0으로 만들면 狀態方程式이 간소화 되는것을 제시했고 回路素子의 성질을 이용해서 3개의 分割行列을 0으로 만드는 방법을 설명했다.

2. 素子와 制御電源

리니어그래프를 형성하는 分枝(Branch)는 단일 電源을 갖거나 素子를 갖는다. 各素子는 電壓制御(Voltage Controlled)이거나 電流制御(Current Controlled)이다. 電流制御抵抗이라함은 抵抗이 모든 시간과 전류에 대해 구간 $(-\infty, \infty)$ 에서 전압 $v(t)$ 가 전류 $i(t)$ 및 시간 t 의 함수일때를 말하며⁴⁾ 양단전압은

$$v(t) = R [i(t), t] i \tag{1}$$

로 표시한다. 이와 유사한 방법으로 電壓制御抵抗은 모든 시간과 전압에 대해 구간 $(-\infty, \infty)$ 에서 전류 $i(t)$

* 정희원 : 서울대학교 공과대학 교수

** 정희원 : 숭전대학교 공과대학 조교수

가 전압 $v(t)$ 와 시간 t 의 함수일때를 말하고 양단전류는

$$i(t) = G[v(t), t] v \quad (2)$$

로 나타낸다. 인덕턴스와 커패시턴스에 대해서도 이와 같이 정의할수있다. 非線形素子중 時變커패시턴스는 電壓制御로서

$$i = \frac{d}{dt} [c(v(t), t) v(t)] \quad (3)$$

로 표시할 수 있다. 式(3)을 시간 t 와 전압 v 에 대해 미분하면

$$i = C_i V + C_v \frac{dv}{dt} \quad (4)$$

이 된다. 여기서

$$C_i = \frac{\partial C}{\partial v} \quad (5)$$

$$C_v = \frac{\partial C}{\partial t} v + C \quad (6)$$

이다. 時變인덕턴스는 電流制御로서

$$v = \frac{d}{dt} [L(i(t), t) i(t)] \quad (7)$$

로 표시하고 式(7)을 시간 t 와 전류 i 에 대해미분하면

$$v = L_i i + L_t \frac{di}{dt} \quad (8)$$

이 된다. 여기서

$$L_t = \frac{\partial L}{\partial t} \quad (9)$$

$$L_i = \frac{\partial L}{\partial i} i + L \quad (10)$$

이다. 式(4)와 式(8)을 볼때 시변커패시턴스와 시변인덕턴스는 그림 1과 같이 분해할 수 있다.²⁾

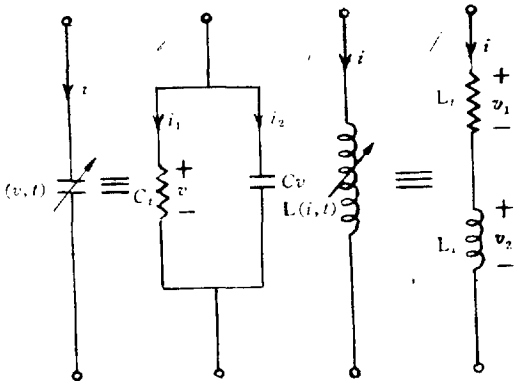


그림 1. 非線形時變 LC素子の 분해
Fig. 1. Decomposition of nonlinear time-varying LC elements.

制御電源은 獨立電源과 從屬電源으로 나눌 수 있다
²⁾ 從屬電源이 인덕턴스의 전압이나 커패시턴스의 전류에 관한 함수가 아니라면 制御電源을 포함한 非線形時變回路網의 狀態方程式 구성이 가능하다.

터널다이오드의 회로해석은 그림 2와 같이 할수 있다.³⁾

그림에서 $f(v)$ 는 從屬電源으로서 커패시턴스양단의 전압 v 에 관한 함수이다. 본 논문에서 리니어그라프의 토폴로지(topology)는 문헌[1]의 式(10)과 式(11)을 그대로 이용하였다.

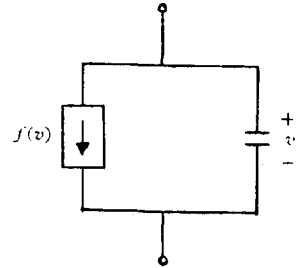


그림 2. 터널다이오드 회로
Fig. 2. Tunnel-Diode circuit.

3. 非線形時變 RLC回路網의 狀態方程式

標準木(Normal Tree)을 정하여 컷셋트에 키르히호프의 電流法則(KCL)을, 基本回路에 키르히호프의 電壓法則(KVL)을 적용하면

$$\begin{pmatrix} V_s \\ V_R \\ V_L \\ V_I \end{pmatrix} = - \begin{pmatrix} F_{VS} & F_{CS} & O & O \\ F_{VR} & F_{CR} & F_{GR} & O \\ F_{VL} & F_{CL} & F_{GL} & F_{SL} \\ F_{VI} & F_{CI} & F_{GI} & F_{TI} \end{pmatrix} \begin{pmatrix} V_V \\ V_C \\ V_G \\ V_T \end{pmatrix} \quad (11)$$

$$\begin{pmatrix} I_V \\ I_C \\ I_G \\ I_T \end{pmatrix} = \begin{pmatrix} F'_{VS} & F'_{VR} & F'_{VL} & F'_{VI} \\ F'_{CS} & F'_{CR} & F'_{CL} & F'_{CI} \\ O & F'_{GR} & F'_{GL} & F'_{GI} \\ O & O & F'_{SL} & F'_{TI} \end{pmatrix} \begin{pmatrix} I_S \\ I_R \\ I_L \\ I_I \end{pmatrix} \quad (12)$$

과 같이 된다. 여기서 첨자 V, C, G, T 는 각각 標準木에 포함되는 電壓源, 커패시턴스, 抵抗 및 인덕턴스를 나타내고 S, R, L, I 는 각각 標準木에 포함되지 않는 커패시턴스, 저항, 인덕턴스 및 電流源을 나타낸다.

리액티브素子の 端子方程式(Terminal Equation)은

$$\frac{d}{dt} \begin{pmatrix} C_1 & O & O & O \\ O & L_{22} & L_{21} & O \\ O & L_{12} & L_{11} & O \\ O & O & O & C_2 \end{pmatrix} \begin{pmatrix} V_C \\ V_L \\ I_T \\ V_S \end{pmatrix} = \begin{pmatrix} I_C \\ V_L \\ V_T \\ I_S \end{pmatrix} \quad (13)$$

과 같고, 抵抗素子로 구성되는 端子方程式은

$$\begin{pmatrix} G_1 & O \\ O & R_2 \end{pmatrix} \begin{pmatrix} V_G \\ I_R \end{pmatrix} = \begin{pmatrix} I_C \\ V_R \end{pmatrix} \quad (14)$$

과 같다. 또 電壓源과 電流源의 端子方程式은

$$\begin{pmatrix} V_V \\ I_I \end{pmatrix} = \begin{pmatrix} E(t) \\ I(t) \end{pmatrix}$$

으로 표시된다.³⁾ 여기서 C_1, G_1, L_1 는 각각 標準木에 포함되는 커패시턴스, 콘덕턴스 및 인덕턴스行列이고 C_2, R_2, L_{22} 는 각각 標準木에 포함되지 않는 커패시턴스, 抵抗, 및 인덕턴스行列이다.

$$\begin{pmatrix} V_1 \\ V_2 \\ \hline V_3 \\ V_4 \\ V_5 \\ \hline V_6 \\ V_7 \\ V_8 \\ \hline V_9 \\ V_{10} \\ V_{11} \\ \hline V_{12} \\ V_{13} \end{pmatrix} = O \quad (29)$$

式 (29)의 우변을 분할하면

$$V_v = \begin{pmatrix} V_1 \\ V_2 \end{pmatrix}$$

$$V_c = \begin{pmatrix} V_3 \\ V_4 \\ V_5 \end{pmatrix}$$

$$V_o = \begin{pmatrix} V_6 \\ V_7 \\ V_8 \end{pmatrix}$$

$$V_L = \begin{pmatrix} V_9 \\ V_{10} \\ V_{11} \end{pmatrix}$$

$$V_I = \begin{pmatrix} V_{12} \\ V_{13} \end{pmatrix}$$

가 되고 式(29)의 좌변의 基本回路行列을 보면 補木 (co-tree)에 커패시턴스와 抵抗이 없으므로 $F_{vs} = F_{cs} = O$, $[F_{vr} = F_{cr} = F_{or} = O]$ 이다. 그리고 木에 인덕턴스가 없으므로 $F_{rl} = O$ 이다. 따라서 基本回路行列을 분할하면

$$F_{vL} = \begin{pmatrix} -1 & O \\ O & O \\ O & 1 \end{pmatrix}$$

$$F_{cL} = \begin{pmatrix} -1 & 1 & O \\ -1 & O & O \\ -1 & O & -1 \end{pmatrix}$$

$$F_{oL} = \begin{pmatrix} 1 & O & O \\ O & 1 & O \\ O & O & 1 \end{pmatrix}$$

$$1_{LL} = \begin{pmatrix} 1 & O & O \\ O & 1 & O \\ O & O & 1 \end{pmatrix}$$

$$F_{vI} = \begin{pmatrix} O & O \\ O & O \end{pmatrix}$$

$$F_{GI} = \begin{pmatrix} O & O & O \\ O & O & O \end{pmatrix}$$

$$1_{II} = \begin{pmatrix} 1 & O \\ O & 1 \end{pmatrix}$$

이 된다. 그러므로

$$M = [-F_{GL} \ O] [G_1 \ O]^{-1} [O \ F'_{oL}]$$

$$= \begin{pmatrix} -R_6 & O & O \\ O & -R_7 & O \\ O & O & -R_8 \end{pmatrix} \quad (30)$$

$$N = [-F_{GL} \ O] [G_1 \ O]^{-1} [O \ O] = O \quad (31)$$

가 된다. 式(24)에 式(30) 및 (31)과 基本回路行列의 분할행렬을 대입하면 다음과 같이 된다.

$$\begin{pmatrix} C_{3v} & O & O & O & O & O \\ O & C_4 & O & O & O & O \\ O & O & C_5 & O & O & O \\ O & O & O & L_{9t} & O & O \\ O & O & O & O & L_{10} & O \\ O & O & O & O & O & L_{11t} \end{pmatrix} \frac{d}{dt} \begin{pmatrix} V_3 \\ V_4 \\ V_5 \\ I_9 \\ I_{10} \\ I_{11} \end{pmatrix} = \begin{pmatrix} (-R_6 - C_3t) & O & O & -1 & -1 & -1 \\ O & -R_7 & O & 1 & O & O \\ O & O & -R_8 & O & O & -1 \\ 1 & -1 & O & -L_{9t} & O & O \\ 1 & O & O & O & O & O \\ 1 & O & 1 & O & O & -L_{11t} \end{pmatrix} \begin{pmatrix} V_3 \\ V_4 \\ V_5 \\ I_9 \\ I_{10} \\ I_{11} \end{pmatrix} + \begin{pmatrix} O & O & O & O \\ O & O & -1 & O \\ O & O & O & -1 \\ 1 & O & O & O \\ O & O & O & O \\ O & -1 & O & O \end{pmatrix} \begin{pmatrix} E_1(t) \\ E_2(t) \\ f(V_4) \\ f(V_5) \end{pmatrix} \quad (32)$$

위의 보기에서 완전한 標準木을 구성함으로써 문제가 간단하게 풀린다는 것을 알 수 있다. 따라서 실제해를 구하고자 할 때 위상기하적인 관계를 고려하면 해의 복잡성을 간소화 할 수 있다.

4. 해를 간소화하는 방법

(1) $F_{GR} = 0$ 되게 하는 방법

보기에서와같이 抵抗을 전부 木(Tree)에 포함시키면 $F_{GR} = 0$ 이 된다. 그러나 抵抗을 전부 木에 포함시킬 수 없을 때 미소 선형 인덕턴스를 補木抵抗과 직렬로 연결하면 $F_{GR} = 0$ 으로 만들 수 있다. 선형인덕턴스를 적게 취하면 실제로 존재하는 리드(lead)선의 인덕턴스 정도가 되도록 할 수 있다. 또 선형커패시턴스를 補木抵抗과 병렬로 접속하면 $F_{GR} = 0$ 이 되게 할 수 있다. 선형커패시턴스도 적게 해서 실제로 존재하는 스트레이 기생 커패시턴스(Stray Parasitic Capacitance)가 되도록 할 수 있다.

(2) $F_{cs}=0$ 되게하는 방법

커패시턴스 만의 閉路가 F_{cs} 를 0이 되지않게하는 원인이므로, 미소 선형저항을 커패시턴스만의 閉路의 어느 한 커패시터에 직렬로 접속하면 F_{cs} 를 0이 되게 할 수 있다. 선형저항은 실제로 존재하는 리드(lead)선의 저항과 같도록 선택 할 수 있다.

(3) $F_{TL}=0$ 되게하는 방법

인덕턴스만의 컷셋트(cutset)가 F_{TL} 을 0이 되지않게 하는 원인이므로, 큰 선형 저항을 인덕턴스만의 컷셋트의 임의의 인덕턴스와 병렬로 접속하면 F_{TL} 을 0이 되게 할 수 있다. 선형저항은 실제로 존재하는 絶緣抵抗과 같도록 선택 할 수 있다.

5. 결 론

본 논문에서 제시한 非線形時變 RLC回路網의 狀態方程式은 回路素子가 非線形非週期的 時變을 막론하고 回路차수가 유한인 이상 제한받지 않는다. 식(24)는 一見 복잡한것 같이 생각되나 보기에서와 같이 대부분의 회로망이 標準木을 정할 수 있으며 적당한 標準木을 정할 수 없다 할지라도 $F_{GR}=0, F_{CS}=0, F_{TL}=0$ 되게하는 방법을 택하면 회로망방정식은 간소화된다. 식(32)에서 twin tunnel diode에 대한 것이 $f(v)$ 로 표시된 것이 홈이나 雙터널다이오드의 특성곡선을 알고 있는 이상 구할 수 있으므로 관계없다. 非線形時變素子를 분해하여 그값을 식(24)에 대입함으로써 狀態方程式의 구

성이 간단하게 되며 별도로 枝方程式(Branch Equation)을 구할필요가 없다.

참 고 문 헌

- [1] 차균현 : Bashkow A 매트릭스를 이용한 RLC회로망의 狀態變數的解析. 대한전기학회지 제20권 제5호 1971년 9월 pp.19~22.
- [2] T. Murata: 回路網トポロヅの非線形時變 RLC回路網安定判別への應用. 電子通信學會論文誌. Vol. 52-A No 11 1969년 11월 pp.423~428.
- [3] R.K. Brayton and J.K. Moser: A Theory of Nonlinear Networks. Quart. Appl. Math. Vol. 12, pp1~33, 81~104 April 1964.
- [4] L.O. Chua and R.A.Rohrer: On the Dynamic Equation of a Class of Nonlinear RLC Networks, IEEE Trans. CT-12 No. 4 Dec. 1965 pp.475~489.
- [5] C.A. Desoer and J. Katzenelson: Nonlinear RLC Networks, Bell Sys. Tech. J., pp.161~198. Jan 1965.
- [6] C. A. Desoer and E.S. Kuh: Basic Circuit Theory, McGraw-Hill 1969.
- [7] 渡部和 : 傳送回路網의 理論と設計 オーム社.
- [8] Peter H. O'N Roe, Networks and Systems, Addison-Wesley 1966.