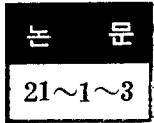


AsTe 系 유리半導體의 스위칭現象

Switching Phenomena of AsTe Glass Semiconductor



박 창 엽*
(Chang Yub Park)

Abstract

Electical resistivity and switching phenomena in glass semiconductor of AsTe and AsTeGa is studied. Samples sliced from ingot which is air quenched or water quenched, show high resistivity at room temperature. The resistivity of the AsTe and AsTeGa is $1 \times 10^6 \Omega\text{-cm}$ and $5 \times 10^6 \Omega\text{-cm}$ at 27°C. Switching phenomena take place in thin and thick samples. Holding voltage is different with the thickness of the samples and the characteristics of switching in the thin and thick samhles are similar. When square wave pulse voltage is applied, delay time is detected to 5μ sec by oscilloscpeo.

1. 서 론

유리半導體 (Glass semiconductor)는 非晶質半導體 (Amorphous semiconductor) 또는 무질서한 구조를 갖는 半導體(Semiconducting materials of disordered structure)라고 부르는 것으로 유리半導體는 結晶化되어 있지 않기 때문에 單結晶半導體와는 본질적으로 다르다. 유리半導體에 속하는 물질은 Se, Te, Se 및 I를 포함하는 것과 酸化물을 포함하는 것 및 포함하지 않는 것이있다.

酸化물을 포함하는 유리半導體의 전기적 특성은 1950년 진후에 연구되어 왔으나 1968년에 As+Te+Si+Ga를 이용한 실험으로 오브신스키(ovshinsky)가 무질서한 구조에 의한 可逆의 스위칭現象¹⁾이라는 논문을 발표한 후에 이 스위칭(switching)現象이 주목을 끌게되었다. 스위칭現象은 임계전압보다, 높은 전압을 가하면 높은 저항을 갖는 不通狀態에서 급거히 低抵抗의 導通狀態에 도달하는데 흥미를 끌었다. 다음해인 1969년에는 피어슨(pearson)과 밀러(Miller)²⁾가 As₂Te₃Se를 이용한 필라멘트(Filament)의 電氣傳導에 관한 연구 보고가 있었고 또한 같은 해에 스톡(stocker)는 Ge₁₂As₁₀Te₆₀를 이용한 비마필립에 있어서의 기억현상에 관한 보고가 있었다. 이 유리半導體에 속하는 그외의 재료는

AsTeI TeGeGaAs, AsSeTe 등 많은 재료가 있으나 이 실험에서는 As Te Ga 및 AsTe를 성분으로 하는 유리반도체를 만들어 이의 전기적 성질 및 스위칭 現象에 대한 실험을 하고자한다.

2. 실험

(1) 유리半導體의 제작

As+Te+Ga 및 As+Te를 성분으로한 유리半導體를 만들때 이들의 組成比를 변화시켜 여러 종류의 유리半導體를 만들수 있으나 여기서는 As:Te:Ga을 原子量으로 50%:40%:10%인 組成比와 As:Te를 50%:50%인 比를 갖는 것만 만들어 특성을 조사하고자 한다. 아사히 메탈(ASAHI Metal)의 高純度(99.9999%)인 테렐륨(Tellurium) 및 가리움(Gallium)과 古河鑛業社의 아세닉(Arsenic)을 위와 같은 組成比로 精確히 秤量하여 透明石英管(外徑 9mm)에 넣고 3×10^{-6} mmHg인 眞空度로 眞空封入 한것을 그림 1과 같은 수직형 시리코이트 電氣爐(ISUZU 製 21Amp, 60Volt 1500°C用)에 매달고 電氣爐의 온도를 550°C로 올려 20시간 가열한 후에 爐의 온도를 820°C로 다시 상승시켜 粘性도가 높은 가스중에 기포가 발생하는 것을 피하기 위하여 60CPS인 진동기와 초음파 진동기로 試料管을 진동시키면서 30시간정도 가열한다. 다음에 爐에서 試料管을 급히 공기중에 끌어내어 냉각시킨다. 이러한 방법으로 AsTeGa는 훌륭한 유리半導體가 형성되었으나 AsTe는 유리관

*전희원 : 연세대학교 이공대학 전기공학과 부교수

과 접촉하는 표면의 일부가 유리半導體化 되므로 이를 石英管에 再封入하여 920°C 로 가열한 후에 물에 넣어 急冷시키므로서 용융상태의 유리반도체 상태를 실온으로 까지 유지시킬수가 있다. 이 유리半導體를 만들때 三元化合物을 기브스(Gibbs)의 삼각형을 이용하여 그려 보면 유리化 하기쉬운 영역이 존재하는 것으로 Se-Sb-Ge

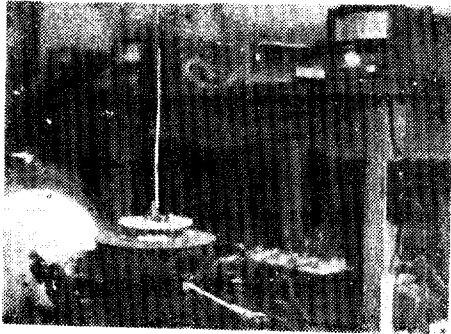


그림 1. 수직형 실리콘 피로로
Fig 1. Vertical silicon furnace.

를 공기중에서 急冷하면 그림과 같이 突線으로 표시하는 유리化領域이 크게된다. 시료가 용융된 상태에서 電氣傳導를 측정할 때 유리半導體를 나타내는 영역이 생기는 것을 헤이스티(Hecisty)¹⁾가 확인하였다. 그림 2에서 ○는 高抵抗으로 半導體의 성질을 나타내고 ●는 低抵抗으로 금속의 성질을 나타내며 ①은 $10^4 \Omega\text{-cm} \sim 10^7 \Omega$

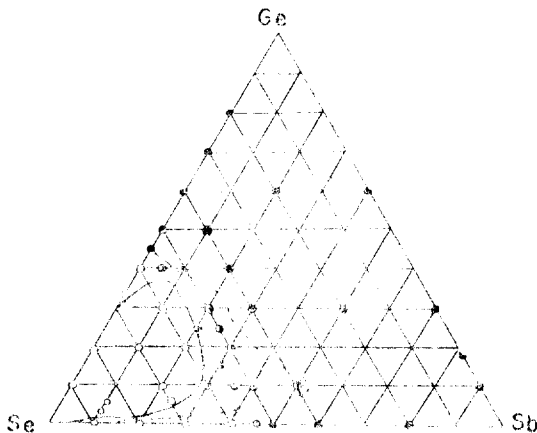


그림 2. Se-Sb-Ge 계의 glass化 영역
Fig 2. Glass region of the Se-Sb-Ge

-cm 정도가되는 抵抗率을 갖으며 溫度係數가 負($\frac{d\rho}{dt} < 0$)인 半導體의인 작용을 한다고 하였다. 유리半導體는 眞性인 高抵抗으로 組成比를 적당하게 하여 價電子條件이 局部的으로 만족되게 하고 용융된 상태에서 半導體의 성질을 갖는 것을 공기중에서나 물에서 急冷하므로서 結晶狀態를 常溫까지 유지토록 하므로서 유리半導體가 만들어 진다. 이 試料를 절단하여 적당한 크기로 만들어 표면을 1,000번 베퍼로 연마한 후에 연마제(Carborundum)를 사용하여 試料片의 표면을 거울면같이 밝게 광택을 낸다. 이렇게 만든 試料片과 試料는 그림 3과 같다. 이 試料片의 전기적특성을 구하기 위하여 試料를 4각형으로 1mm 두께 가로×세로를 3mm×3mm 로 만들어 試料片의 한면에 金을 $1.2 \times 10^{-5} \text{mmHg}$ 인 진공에서

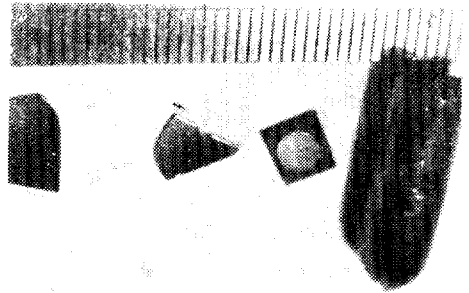


그림 3. 試料 및 試料片
Fig 3. Bulk materials and Sliced sample.

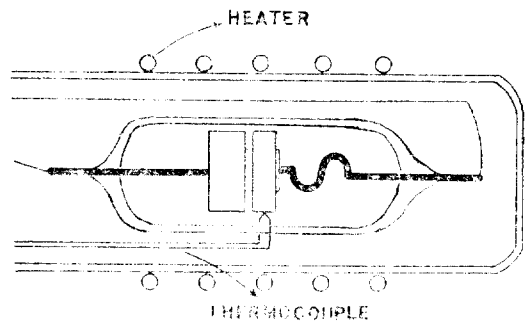


그림 4. 시료의 온도에 따른 저항 측정 장치
Fig 4. Measuring set of the resistivity depending upon temperature.

蒸着하고 銅線을 밀착하여 실버페이스트(silver paste)로 접착시켜 전극으로 사용한다. 이를 素子라한다.

(2) 抵抗率의 측정

이와 같이 만든 素子の 저항을 측정 한 결과는 27°C에서 AsTeGa의 저항율은 $5 \times 10^6 \Omega\text{-cm}$ 이고 AsTe는 $1 \times 10^6 \Omega\text{-cm}$ 였다. 素子の 저항율의 온도의존성을 조사하기 위하여 그림 4와 같이 장치하여 素子の 온도를 273°K에서 455°K까지의 범위에서 측정 한 결과를 온도—저항율을 곡선으로 표시하면 그림 5와 같고 저항율 $\rho = \rho_0 \exp\left(\frac{\Delta E}{kT}\right)$ 인 관계에서 活性化 에너지 ΔE 를 계산할 수 있다.

이를 다음 표와 같이 나타낸다.

素子	$\Delta E(\text{ev})$	$\rho(\Omega\text{-cm})$ at 27°C
As Te	0.47	$1 \times 10^6 \Omega\text{-cm}$
As Te Ga	0.46	$5 \times 10^6 \Omega\text{-cm}$

ρ_0 는 820°C로 가열하였을 때의 抵抗率로 계산 하였음.

AsTe의 $\rho_0: 3 \times 10^{-8} \Omega\text{-cm}$

AcTeGa의 $\rho_0: 2.5 \times 10^{-1} \Omega\text{cm}$

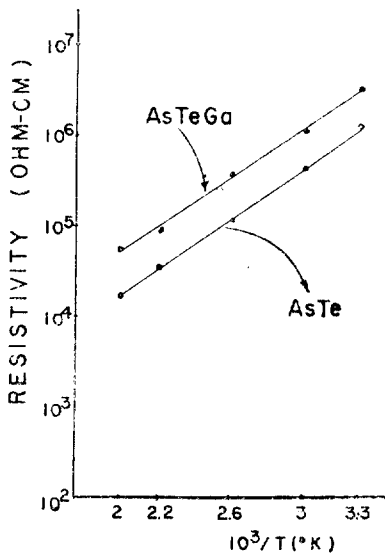


그림 5. 저항율의 온도의존성

Fig 5. Resistivity depending upon temperature.

저항율의 측정에서 얻은 결과로서 試料를 만들때 試料管을 爐에 넣고 爐의 온도를 0°C에서 서서히 550°C까지 올리고 또 820°C로 올렸을때 진동기로 진동시키면서 만든 시료는 저항율이 균일하였으며 再現性이 생

겼으나 진동시키지 않고 만든 시료는 저항율이 균일치 않았으며 온도를 상승시킬때 0°C에서 550°C까지 서서히 올릴때만 再現性이 생겼다. 이 결과로서 유리半導體의 抵抗率 및 導電率은 單結晶 半導體에서와 같이

$$\text{抵抗率 } \rho \text{ 는 } \rho = \rho_0 \exp\left(\frac{\Delta E}{kT}\right)$$

$$\text{導電率 } \sigma \text{ 은 } \sigma = \sigma_0 \exp\left(\frac{-\Delta E}{kT}\right)$$

인 관계가 성립된다. 이 식에서 ρ_0, σ_0 는 常數이고 k 는 볼츠만常數, T 는 絕對溫度[°K]이다. 유리化된 시료는 상당한 온도범위에서 $\rho = \rho_0 \exp\left(\frac{\Delta E}{kT}\right)$ 인 관계가 성립함을 알 수 있다. 組成이 유리化 領域을 벗어나면 活性化 에너지 ΔE 는 非常히 적고 저항도 적게된다. 單結晶 半導體는 禁制帶가 있으나 유리 半導體에서는 禁制帶에 해당하는 것은 없다고 볼 수 있다. 즉, 禁制帶는 結晶이 주기적으로 질서 정연한 배열을 하고 있기 때문에 나타난다고 본다. 結晶內에 周期性이 없으며 무질서한 배열이 되어있는 유리半導體에서는 E_g 가 없다고 볼 수 있다.

(3) 스위칭現象

유리半導體化한 AsTe, AsTeGa는 抵抗率이 室溫에서 각각 $1.0 \times 10^6 \Omega\text{-cm}$ 및 $5 \times 10^6 \Omega\text{cm}$ 임을 저항율 측정에서 조사하였다. 두께를 0.35mm로 하고 가로×세로를 3mm×3mm로 만들고 한면에 Au를 蒸着한후 그림 6과 같이 Au를 蒸着한 면을 텅스텐 針으로 접촉하고 다른 면은 銅綿을 연결한 金屬片(銅)위에 놓은후 100Ω인 저항과 직렬로 연결한 다음 60CPS인 교류전압을 걸면 低電壓에서는 거의 전류가 흐르지 않는다. 두께가 0.35mm 가로×세로 3mm×3mm인 스위칭素子에서는 전압이 10volt 이하인 경우에는 전류가 극소($1\mu\text{A}$ ~에

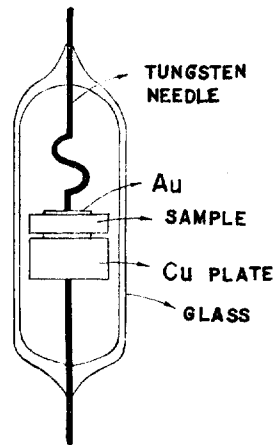


그림 6. 스위칭 소자

Fig 6. Switching diode.

서 $30\mu\text{A}$ 정도)하게 흐르는 거의 不通狀態가되나 10volt 이상에서는 전류가 급격히 증가하여 120mA 가 흐르는 導通狀態가된다. 즉, 스위칭 상태가 되었다고 할 수 있다. 스위칭現象을 조사하는 회로는 그림 7과 같고 이

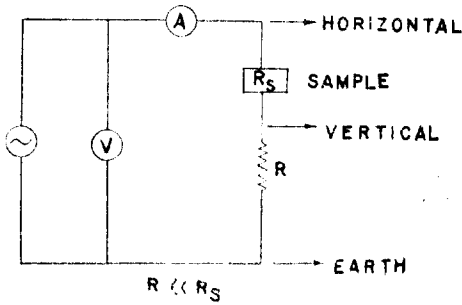
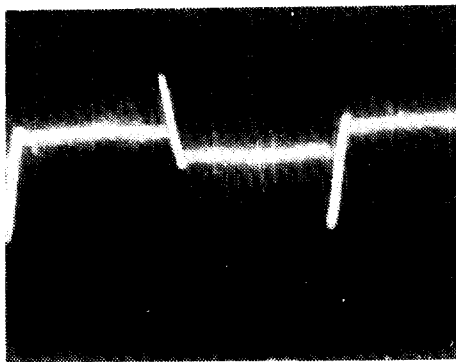
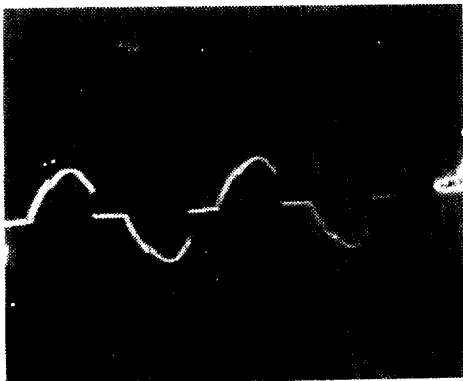


그림 7. 스위칭현상 시험회로
Fig 7. Circuit for test of switching phenomena.



(a)



(b)

그림 8. 스위칭이 생겼을때의 (a)전압, (b)전류
Fig 8 . a) voltage, b) current after switching.

회로에서 전압, 전류의 波形을 오시로스코프로 보면 그림 8과 같이 됨을 관찰할 수 있다. 또한 전압대 전류특성을 보면 그림 9와 같이 된다.

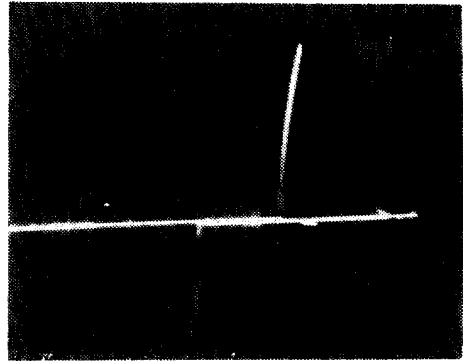


그림 9. 스위칭때의 전류—전압특성곡선
Fig 9. I-V-characteristic curve after switching.

이 그림에서 임계전압이 되면 導通狀態狀(switching on 狀態)가 되어 전류가 급격히 증가하고 素子の 저항은 거의 0이 되어 공급전압은 전부 적열저항에 걸리게 된다. 여기서 임계전압은 素子の 試料 두께에 따라 다르다. 다음으로 이 素子에 矩形波 펄스 전압을 가하여 그림 10과 같은 회로에서 스위칭 現象을 조사한 결과는 그림 11과 같다.

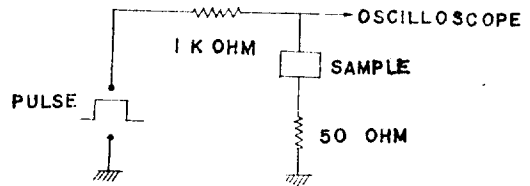


그림 10. 지연시간 도통시간을 관찰키 위한 회로
Fig 10. Circuit for test of delay time and switch on time.

이 그림 11에서 지연시간은 스위칭 시간보다 길고 不通狀態에서 導通現態로 옮겨지는 導通時間은 거의 $1\mu\text{sec}$ 정도이고 지연시간은 $5\mu\text{sec}$ 이다. 지연시간은 供給電壓을 증가할때 指數函數的으로 감소하나 반대로 공급전압이 임계치보다 적으면 스위칭現象이 생기지 않는다. 이와 같은 스위칭現象의 원인은 고찰하면 局在準位에 이동된 전자가 전체에 의하여 이온화되어 傳導帶에 勵起되어 電極部分에 날카로운 쇼키티(schockety layer) 장벽이 이루어지고 전극인 금속에서 장벽을 통하여 터

널(tunnel effect) 효과에 의한 電子正孔이 주입되므로 서 전자의 사태(avalanche)現象으로 생긴다고 볼 수 있다. 스위칭現象이 생기면 많은 전류가 흐르므로 줄(Joule)熱이 발생한다. 이 熱은 $\int_0^t VIdt$ 로서 이 熱에 의하여 온도가 상승하고 구조가 변한다. 이때 供給電壓이 충분히 크면 高溫導通電流에 의하여 필라멘트가 형성되고 이 필라멘트가 용해 된다.

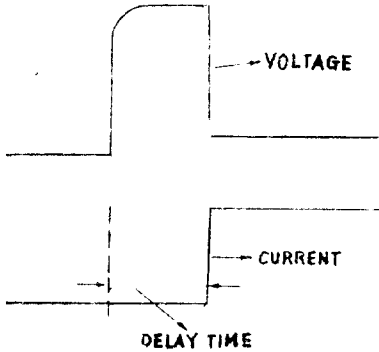


그림 11. 구형파에 의한 스위칭 응답

Fig 11. Switching response for puke square wave

3. 결 론

스위칭素子에 60CPS인 交流電壓을 공급할때 素子의 스위칭 특성은 두께 0.35mm 가로×세로 3mm×3mm인 素子때 10volt 이하에서 전류는 거의 흐르지 않으나 10volt 이상이 되면 전류는 120mA로 급격히 상승한다. 계속하여 전압을 올리면 이에 따라 전류도 증가하나 전압에 정비례하여 증가하지는 않는다. 임계전압은 試料의 두께에 따라 다르다. 두께를 얇게하면 임계전압은 낮아진다.

矩形波 펄스를 가할 때 스위칭특성 즉 지연시간은 스위칭시간보다 길고 펄스의 전압크기에 따라 지수함수적으로 감소한다.

참 고 문 헌

- 1) S. R. Ovshinsky Phys. Rev. Lettes 21. 1450 1968
- 2) A. D Pearson and C. E. Miller Appl. Phys Letter 14, 280 1969
- 3) H. J. Stocher Appl Phys Letters 15 55 1969
- 4) R. W. Haisty and. H. Krebs. J. Non-Crystalline Solids 1399 1969