

計數型 電壓計를 위한 A / D 變換器

(A / D Converter for Digital Voltmeter)

盧 弘 炳* · 姜 貞 淮** · 李 瓊 夏***
 (Lo, Hong Jo) (Kang, Jung Soo) (Lee, Kwan Ha)

要 約

量產化를前提로한 計數型計測器로서 4자리表示, 精度 $\pm 0.1\%$ 真值 ± 1 digit 以内, 入力 impedance 1000 MΩ 以上(1.500 V範囲), 測定範囲 1mV~1,000 V 4段切換, 自動零點較正으로 抵抗 및 直流電流 測定機能도 갖춘 Digital Voltmeter를目標로 이에 적합한 A/D 變換器를追究하였다.

이結果 A/D 變換器에서 일어나는 積分 slope의 直線性에 미치는 要因을 解析하여 매우 간단한 回路構成으로도 効果적인 性能을 보장 할 수 있음을 확인하였다.

Abstract

An analog to digital converter which is applicable to mass production of digital multimeter is developed. The solid state digital instrument has accuracy $\pm 0.1\%$ of reading ± 1 digit over 1 mV to 1000 volts with high input impedance and automatic function.

All possibility to affect the distortion of A/D converter is studied. As a result, useful linearity with high temperature stability of integrating waveforms is achieved by the very simplified circuit configuration to assure the proposed accuracy under various ambient condition.

1. 序 論

Digital 技術의 快速한 發展에 의하여 計測分野에서도 從來의 analog 表示에서 digital 表示로 移行하는 것이 昨今의 추세이다. digital 計器는 analog 計器를 使用하였을 때 흔히 일어나는 人爲的 誤差要因이 없고 極히 高精度의 測定을 期할 수 있다는 點에서 研究室 뿐만 아니라 特히 產業界가 要求하는 簡便한 操作으로 熟練을 要하지 않고 누구나 迅速正確하게 測定 할 수 있는 計測器로서 適合하다.

Analog 量의 digital 化를 為한 代表의 A/D

converter 方式에는 比較方式(Ramp type)과 積分方式을 들수 있으나 信號以外의 誘導 特히 商用 電源에서 오는 誘導 等에 強한 後者の 方式이 널리 採擇되고 있다. 積分方式이라해도 Hewlett Packard¹⁾ 및 Non-Linear system에서 開發한 電壓一周波數變換方式과 Fairchild에서 發表한 Dual slope 方式²⁾ 그리고 最近 日本 Yokogawa에서 發表한 歸還形 pulse 幅 變調計數方式³⁾ 등으로 回路構成 및 精度面에서 各具 獨特한 長短點을 볼수 있으나 뷔보다도 A/D 變換器를 構成하는 積分器의 非直線性과 comparator의 不感帶電壓의 影響을 없애고 基準電源의 安定을 期하는것이 主課題가 될 것이다.

本研究는 測定機能이 多樣한 實用的인 4 digit digital multimeter로서 精度 및 信賴性의 向上

* 正會員 KIST 計測信賴度研究室長 ** 同室研究員

*** 正會員 中央電氣株, 技術理事

接受日字 : 1971年 10月 8日

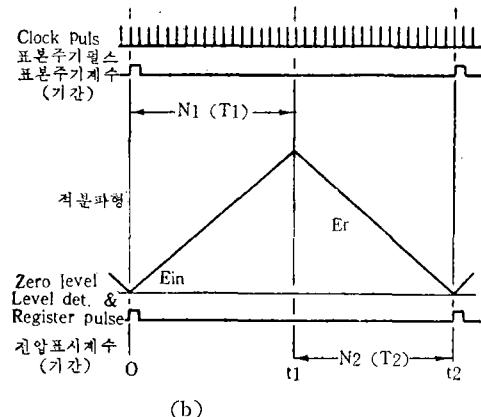
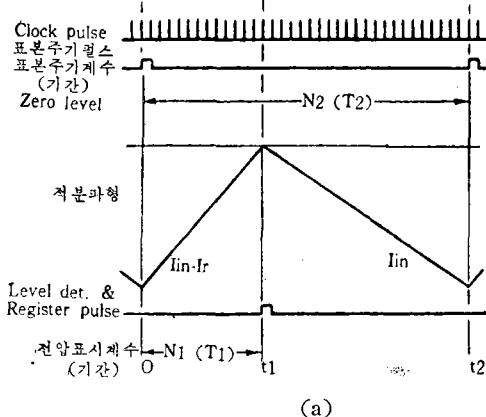


그림 1. Dual slope 積分方式의 時間關係

과 測定操作의 簡便化, 經濟性 및 小型輕量化를 期한다는 開發目標로 이에 適合한 最適 A/D 變換方式을 追究한 것이다. Multimeter 는 電子裝置로서는 매우 작은 規模이지만 計測器가 갖추어야 할 性能上의 嚴한 要件때문에 實用化 測定器로 發展시키는 데에는 許多한 問題들을 內包하고 있다. 이 研究成果는 곧 市場化될 製品을 通하여 客觀的인 評價가 내려질 것이다.

2. Dual slope 積分方式

現用되고 있는 計數型 電壓計의 A/D 變換器로서 回路構成이 比較的 簡單한 dual slope 積分方式을 염밀히 區分하면 그림 1과 같은 두가지方式을 볼 수 있다.

그림 1의 (a)에서는 全測定周期 T_2 가 일정하고 入力電壓에 對한 積分時間(t_2-t_1)은 一定하지 않으나 (b)에서는 入力電壓에 對한 積分期間 T_1 이 一定하다. 이러한 點에서 (b)의 境遇 積分期間 T_1 을 電源周波數 周期와 整數倍를 指할 수 있으므로 hum에 依한 影響, 即 series mode noise 를 僅少하게 할 수 있으나 (a)에서는 이 點에서 入力電壓에 對한 積分時間이 電源周波數의 周期와 無關係 하기 때문에 hum의 影響을 完全除去하기는 어렵다. 그러나 (a)方式은 回路를 簡略화할 수 있는 長點이 있기 때문에 4 digit를 위한 最高精度(0.1% 真值 ±1 digit)를 滿足할 수 있는 回路條件를 찾는다면 所期의 目標는 達成된다고 볼 수 있다.

3. A/D 變換器의 構成과 動作原理

콘텐서에 恒常 一定한 定電流를 흘려준다면 그 端子電壓은 時間比例的으로 變化할 것이다. 지금 A/D 變換器를 그림 2와 같이 入力測定電壓 E_{in} 에 正比例하는 定電流 I_{in} 通路를 마련하는 한편理想的인 定電流 I_r を 위한 基準電源回路를 構成해준다. 그림 1(a)의 時間關係와 같이 時刻 t_1 을 期하여 基準電流 I_r を 차단하면 入力電壓에 依하여 定해지는 通路 R_L 을 通하여 電流 i_d を 放電한다. 따라서 積分容量 C 的 端子電壓 E_2 는 t_2-t_1 時間中

$$E_2 = \frac{1}{C} \int_{t_1}^{t_2} i_d dt = \frac{I_{in}}{C} (t_2 - t_1) \quad \dots \dots \dots (1)$$

로 表示된다. 即 i_d 는 時間에 無關한 一定值 I_{in} 이기 때문이다. 時刻 t_2 는 標本周期펄스에 依하여 定해지며 한 測定周期(T_2)를 나타내는 時間으로 새로운 測定周期에 對하여 始發點이 된다. 따라서 이 t_2 를 期하여 基準電流 I_r 가 連結되면 積分容量 C 에 流하는 充電電流 i_c 는 定電流 I_{in} 이므로 t_1 時間에 이르는 C 的 端子電壓 E_1 은

$$E_1 = \frac{1}{C} \int_0^{t_1} i_c dt = \frac{1}{C} (I_{in} - I_r) t_1 \quad \dots \dots \dots (2)$$

로 表示된다. t_1 은 level 檢出에 依하여 定해지며 結果的으로 zero level 을 基準으로 할 때 $E_1 + E_2 = 0$ 이므로 式 (1), (2)에서 다음式이 成立한다.

$$E_2 = -E_1, \therefore I_r \cdot t_1 = I_{in} \cdot t_2 \quad \dots \dots \dots (3)$$

여기서 期間 T_1 및 T_2 는 周波數 f ی clock pulse

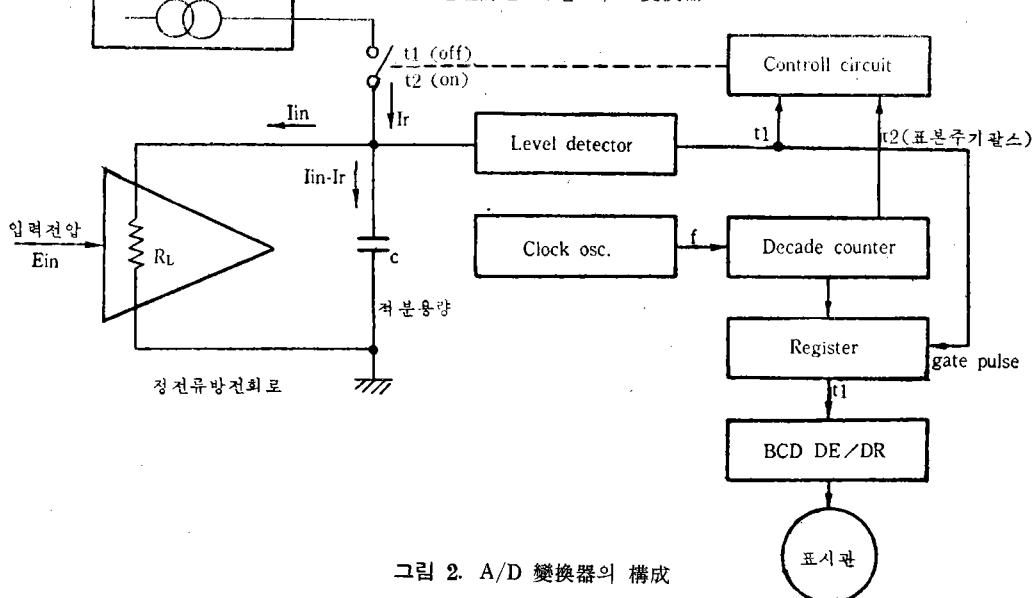


그림 2. A/D 變換器의 構成

의 計數 N_1 및 N_2 에 의하여 $T_1 = \frac{N_1}{f}$, $T_2 = \frac{N_2}{f}$
이므로 이를 式 (3)에 代入하면

가 되며 I_r 및 N_2 가 安定한 이상 N_1 은 곧 入力電壓에 關한 情報를 나타낸다. 式 (4)에서 積分分容量 C 및 clock 發振周波數 f 가 消去 되었으므로 N_1 및 N_2 に 關한 計數誤差가 없고 安定한 基準電流 I_r 및 入力電壓 E_{in} に 正確히 對應하는 定電流 I_{in} 을 얻는다면 N_1 은 充分한 精度를 滿足 시켜 준다.

4. 定電流放電回路의 直線性

그림 2에서 入力電壓 E_{in} 은 적당한 直流增幅器를 거쳐온 被測定電壓을 代表하는 量이며 回路內의 hum 및 雜音電壓 等이 중첩될 수는 있으나 drift 가 없는 安定한 直流電壓으로 볼수 있다. 그러나 電壓計의 測定機能上 하나의 特定電壓만을 測定對象으로 限定할 수 없으므로 주어진 測定範圍內의 모든 電壓對象에 걸쳐 直線性이 保障되어야 한다. 이것은 곧 測定器의 高精度化를 위하여 必要한 條件이기도 하다.

定電流放電回路의 解析上 emitter 接合에 順 bias, collector 接合에 逆 bias인 正常 NPN 接合 transistor의 動作原理⁽⁴⁾⁽⁵⁾⁽⁶⁾를 살펴보자. 여기서 emitter 및 collector 領域의 不純物濃度는 base

領域보다 充分히 큰 것으로 한다면 emitter 領域의 電子는 emitter 接合面을 通하여 base 領域에 注入된다. 이 電子의 一部는 base 領域에서 正孔과 再結合하여 消滅하지만 大部分은 emitter 및 collector 接合面間에 있는 base 領域의 電界를 無視할 수 있으므로 延散만으로도 collector 接合面에 到達한다. 이 電子流는 base-collector 間의 逆bias로 接合面에 近接하면 加速電界에 들어가 collector로 끌려간다. 이때 再結合으로 없어진 正孔을 補充하기 위한 base 電流가 흐르지만 이것은 collector 電流에 比하여 極히 작은 것이다. 따라서 collector 電流 I_c 는 거의 emitter 電流 I_e 와 같다고 볼수 있다. 이것은 collector 電位가 base 電位보다 낮지 않는限 계속 成立한다. 따라서 本質的으로 collector 電流值는 collector-base 間 電壓의 大小와 거의 無關하다는 結論이 導入된다.

지금 emitter 電流 I_e 의 α 倍가 collector 電流 라면 $I_c = \alpha I_e$ 라는 關係가 있지만 collector 接合은 逆 bias 이므로 하나의 diode 로서 emitter 電流가 zero 일때도 collector-base 間에 逆電流 即 collector 遮斷電流 I_{cbo} 가 흐르므로 全 collector 電流 I_c 는 α 를 電流增幅率 이라 할때

로 表現된다.

그림 3은前述한 transistor動作을 emitter follower에 依한 實際回路로 展開한 것이다. 우선

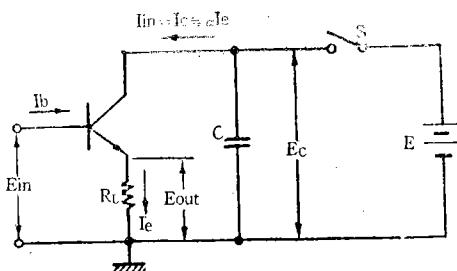


그림 3. Emitter follower에 依한 定電流放電回路

S를 open 하기 以前의 狀態를 본다면 이 transistor 가 active region에 있을 때 負荷 R_L 에는 出力電壓 E_{out} 가 入力電壓 E_{in} 과 同相으로 電壓增幅度 A 가 다음 式으로 計算되는 電壓增幅器가 된다.

$A \doteq 1/(1+h_{ib}/R_L) \doteq 1-h_{ib}/R_L$ (6)
여기서 h_{ib} 는 base 接地의 collector 側에 接續한 負荷抵抗을 zero로 하였을 때의 入力抵抗으로 數 10Ω 程度이며 負荷 R_L 의 値는 數 $k\Omega$ 程度이므로 A 는 거의 1에 가까운 $E_{in} \doteq E_{out}$ 가 된다. 따라서 emitter 電流 I_e 는 다음式과 같이 入力 E_{in} 에 對應함을 나타내고 E_{in} 이 變하지 않는限 結局 積分容量 C 로부터의 放電電流 I_{in} 은 emitter follower의 collector 電流 I_c 와 同時に 이것은 곧 入力 E_{in} 에 比例하는 定電流 임을 알수 있다.

$$I_e = E_{out}/R_L \doteq A \cdot E_{in}/R_L$$
(7)

$\therefore I_e \doteq (\alpha \cdot E_{in}/R_L) - I_{cbo} \doteq I_{in}$ (8)
即式(8)에서 α , R_L , I_{cbo} 가 一定하다면 다음式이 成立한다.

$$I_{in}/E_{in} \doteq \text{constant}$$
(9)

이것은前述한바와 같이 S를 open 하였을 때 E_c 가 變하여도 成立하기 때문에 入力電壓 E_{in} 에 比例하는 定電流 I_{in} 으로 C 兩端의 端子電壓 E_c 는 充電電源電位 $E(t=0)$ 를 起點으로 $E_c = I_{in}t/C$ 인 直線 sweep 波形이 된다. 實際로는 slope誤差를 줄이기로 collector 接合 bias 電壓의 逆轉으로 因한 事故를 막기 위하여 最大入力 $E_{in}=2V$ 에 對하여 E_c 範圍를 8~15 V로 制限하였다.

이 sweep 波形의 直線性에 미치는 要因들을 細部的으로 考察하면 다음과 같다.

1) Collector 遮斷電流 I_{cbo}

式 (5, 8)의 I_{cbo} 는 通常 最大規格電壓보다 낮은 電壓에서는 電壓에 無關한 一定值(代表值 1 nA)

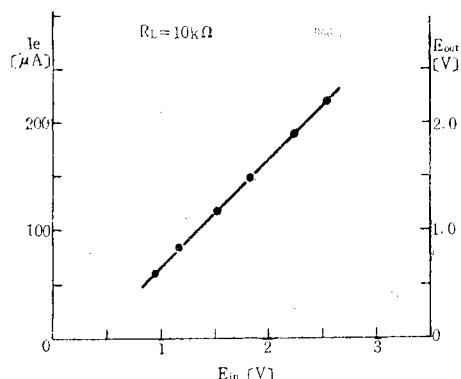
이므로 I_{cbo} 自體는 直線性에 影響을 줄 수 없다. 다만 温度依存性이 크고 $25^{\circ}\text{C} \pm 10^{\circ}\text{C}$ 에 對한 變化幅을 보면 最大 10倍程度(10 nA)의 變化를 나타내고 있으나 그림 3에서 負荷 $R_L=10k\Omega$ 일 때 最大入力 2V에 對應한 collector 電流 $I_c(200\mu\text{A})$ 에 미치는 誤差는 -50 ppm임을 意味하나 同一周圍溫度에서는 constant이므로 直線性에는 아무런 影響을 주지 않고 다만 積分波의 slope shift에서 오는 精度上의 誤差(最大 50 ppm)를 招來한다.

2) 負荷抵抗 R_L

負荷抵抗으로 因한 誤差要因은 周圍溫度 및 自體發熱에 依한 温度變化를 생각할 수 있다. 後者는 負荷輕減效果에 依한 温度上升을 막기 위하여 通常 定格 $1/4\text{W}$ 의 8倍인 定格 2W 炭素皮膜抵抗器를 使用하였다. 한편 炭素皮膜抵抗器의 温度係數는 -300 ppm이며 周圍溫度變化 20°C 幅에 最大入力 2V 일 때 誤差는 不過 6×10^{-9} 에 지나지 않으므로 이것 亦是 無視할 수 있는 值이다.

3) Emitter 接合電壓 V_{BE}

前述한 바와같이 電壓增幅度 A 는 emitter follower의 特징상 거의 1에 가깝고 實際回路의 適用面에서도 큰 意味는 없다. 그 理由는 適當한 直流增幅器를 거쳐온 入力은 直流電壓이며 正常狀態에서는 emitter follower의 base 電流를 定하는 bias에 지나지 않기 때문이다. 그림 4는 入力 E_{in} 의 變化에 對한 emitter 電壓 및 電流의 變化를 나타낸 것이며 直線的 임을 알수 있다. 그리고 emitter 接合電壓 V_{BE} 의 温度係數는 그림 7

그림 4. $E_{in}-I_e$ 變化特性

의曲線(2) 또는(3)과같이約 $-2\text{mV}/^{\circ}\text{C}$ 로溫度變化幅 20°C 에對하여 40mV 의變化를볼수있다. 이것은emitter電流가 $4\mu\text{A}$ ($200\mu\text{A}$ 기준)인 2% 의增加를意味하므로積分slope의誤差로크게作用한다. 따라서實際回路에서는그림3의負荷 R_L 의接地間にNPN트랜지스터와同一系列의그림7의曲線(1)과같은溫度係數를갖는diode를挿入하여溫度變化에對한補償을期하였다.

4) 電流增幅率 α

이定電流放回路의直線性에영향을줄수있는가장큰誤差要因은直流collector-emitter電流利得을나타내는 α 라하겠다. 그理由는collector電流 I_c 의變化가곧 α 에變動을招來하고이것이다시collector電流變化로反映되기때문이다.勿論이 α 는溫度依存性도있으나collector電流 $- \beta$ (emitter接地電流利得)曲線은溫度上昇時平行의으로 β 가增加하는傾向이므로直線性에는영향을줄수없고그誤差範圍도最大 -0.035% 以內였다.

Silicon트랜지스터에서emitter電流 I_e 가작거나크거나할때 β 가저하한다고알려져있다. 지금直流collector-emitter電流利得이 α 라하면直流collector-base電流利得 β 間의關係는다음式으로주어진다.

$$\beta = I_c/I_b = I_c/(I_e - I_c) = \frac{\alpha}{1-\alpha} \quad \dots\dots\dots(10)$$

이表現은 α 가1에가까워지면分母는매우작아지고 β 가急增함을 의미한다.萬一emitter및collector電流가같다면 α 는1이며base電流는零이될수있으나現實的으로트랜지스터에서는

몇가지機構⁶⁾에依하여base電流가發生하고 α 를1以下로低下시친다. 이것은 β 가커지면 α 가거의一定한值(約0.99)로定着한다는것을意味한다. 따라서實驗을通하여 β 값이큰트랜지스터를活用함으로써直線性을현저하게改善할수있음을確認하였다.

5. 基準電源回路의直線性^{5) 6) 7)}

一般的으로base接地트랜지스터回路에서collector-base間電壓 V_{cb} 가極히작을때를除外하고emitter電流 I_e 를一定하게유지하였을때collector電流 I_c 가거의定電流에가까워진다는것을알고있다. 이것은回路構成도매우簡單하기때문에sweep波形의直線性만許容値으로維持할수있다면積分容量 C 의充電을爲한基準定電流源으로매우有用한回路이다. 그림5(a)와같은base接地回路에서base-emitter間에定電流 V_{EE} 를印加하면emitter接合電流 V_{BE} 가變하지않는限collector電流 I_c 는 $t=0$ 에서 S 를open하였을때

$$I_c = h_{FB}I_E \approx -\alpha I_E = \alpha(V_{EE} - V_{BE})/R_e \quad \dots\dots\dots(11)$$

인定電流로積分容量 C 를充電할것이다.

積分波形의直線性을解析하기위하여그림5(b)의 h -parameter로表示한等價回路를吟味해보자. 지금sweep電壓 V_s 를求하기위하여트랜지스터가導電할수있는最低emitter電壓을 V_r 라하면實効input信號 V_i 는 $V_i = V_{EE} - V_r \equiv V_i$ 이므로그림5(b)에Kirchhoff法則을적용하여

$$V_i = i_e(R_e + h_{ib}) + h_{rb} \cdot V_s = V_i \quad \dots\dots\dots(12)$$

$$i_c = i_e h_{fb} + h_{ob} \cdot V_s = -C \frac{dV_s}{dt} \quad \dots\dots\dots(13)$$

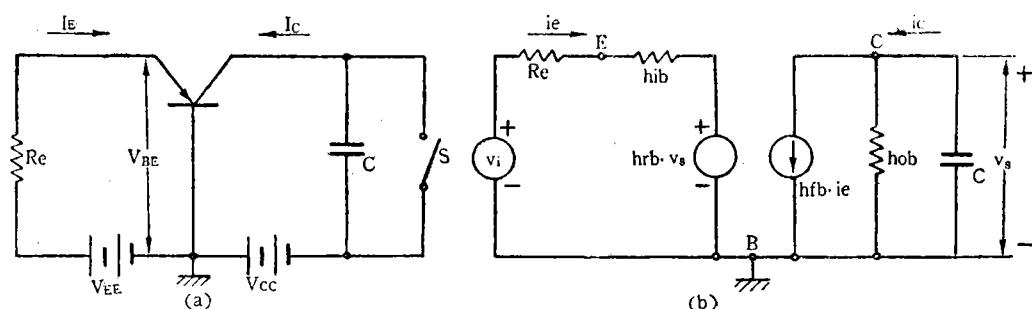


그림 5. Base 接地 트랜지스터 回路

와 같이 된다. 따라서 $t=0$ 일 때 $V_s=0$ 인 초기條件에서 $t=0$ 以後의 C 兩端에 나타나는 過渡的出力波形 V_s 는 다음式으로 주어진다.

$$V_s = E_i(1 - e^{-\frac{t}{\tau}}) \quad \dots \dots \dots (14)$$

여기서 $E_i = \alpha \tau V_i / C(R_e + h_{ib})$, $\alpha = -h_{fb}$, $\tau = C / (h_{ob} + \frac{\alpha h_{ib}}{R_e + h_{ib}})$ 이다. 그림 6과 같이 $t=0$ 에서의 V_s 波에 對한 接線 V'_s 는

$$V'_s = E_i \frac{t}{\tau} \quad \dots \dots \dots (15)$$

로 주어진다.

지금 $t=0$ 에서 時間이 얼마 經過하지 않은 時刻 t_1 即 $t_1/\tau \ll 1$ 이라하고 式 (14)를 展開하면

$$V'_s = E_i \frac{t}{\tau} = \frac{1}{C} \cdot \frac{\alpha V_i}{(R_e + h_{ib})} t \quad \dots \dots \dots (19)$$

는 $t=0$ 직후의 collector 電流 i_c 가 emitter 電流인 $i_e = V_i / (R_e + h_{ib})$ 의 α 倍임을 말해주고 萬一積分容量 C 에 흐르는 電流가 定電流를 維持한다면

$$V'_s = \frac{1}{C} (\alpha i_e) t \quad \dots \dots \dots (20)$$

로 式 (19)와 一致한다. 그러나 具體的으로 본다면 電流增幅率 α 는 collector 電流值에 따라多少 變하고 있으므로 式 (16)에서 第2項만이 直線性誤差를 招來한다고는 할 수 없으나 計數誤差 ±1 digit 를 除外하고 其他 誤差 ±0.1% 以內를 目標로 한 本 A/D 變換器에서는 實驗的으로前述한 誤差要因에 對하여 充分한 餘裕 ($t_1 = 66.6 \text{ m sec}$, 最大 0.05%)가 있음을 確認하였다.

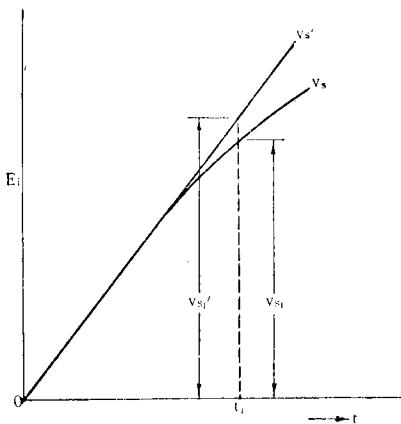


그림 6. V_s 波의 直線性

$$\begin{aligned} V_{s1} &= E_i [1 - \{1 - \frac{t_1}{\tau} + \frac{1}{2} \left(\frac{t_1}{\tau}\right)^2 - \dots\}] \\ &\approx \frac{E_i}{\tau} t_1 \left(1 - \frac{t_1}{2\tau}\right) \end{aligned} \quad \dots \dots \dots (16)$$

또한 時刻 t_1 에 對한 式 (15)의 V'_s 는

$$V'_{s1} = E_i \frac{t_1}{\tau} \quad \dots \dots \dots (17)$$

이므로 V'_s 波에 對한 誤差 ϵ 는

$$\epsilon = (V'_{s1} - V_{s1}) / V'_{s1} = \frac{1}{2} \frac{t_1}{\tau} \quad \dots \dots \dots (18)$$

이 된다. 따라서 式 (16)의 第2項은 바로 誤差分 을 意味하고 第1項은 式 (15, 17)로 表現되는 直線波 V'_s 를 나타낸다. 여기서 V'_s 을 檢討해보면

6. 基準電源回路의 溫度特性

前章에서 考察한 基準電源回路에 對한 解析은 어디까지나 入力回路의 emitter 電流 i_e 가 一定하다는 前提에서 나온 것이다. A/D 變換器의 性能을 左右하는 要因으로서는 前述한 바와 같이 여러 가지를 생각할 수 있으나 그 中에서도 性能의 限界를 定하는 가장 決定的인 要因은 基準電源의 安定度라 하겠다.

그림 5(a)에서 트랜지스터의 emitter 接合面이 갖이는 温度特性은 負溫度係數로 約 $-2 \text{mV}/^\circ\text{C}$ 이나 base-emitter 間 定電壓源 V_{EE} 代身 Zener diode를 使用하였을 때 電流條件에 따라 나르기는 하나 通常 正溫度係數이므로 이것은 emitter 電流變化를 더 加重시키는 結果를 招來한다. 따라서 이러한 트랜지스터의 emitter 接合 및 Zener diode의 温度特性을 補償할 適切한 對策이 必然의으로 일어난다.

이들 温度特性을 實驗的으로 볼 때 PNP 트랜지스터에 關한 것이 그림 7의 曲線 (2) 및 (3)이다. 여기서 留意할 것은 emitter 電流條件을 같이 하여도 emitter 接地電流增幅率 β 에 따라 特性이 다르다는 事實이다. Zener diode에 對한 温度特性은 그림 8의 曲線群(1)과 같다.

따라서 定電流放電路 및 基準電源回路를 組合한 實際 A/D 變換器를 그림 9와 같이 構成하고

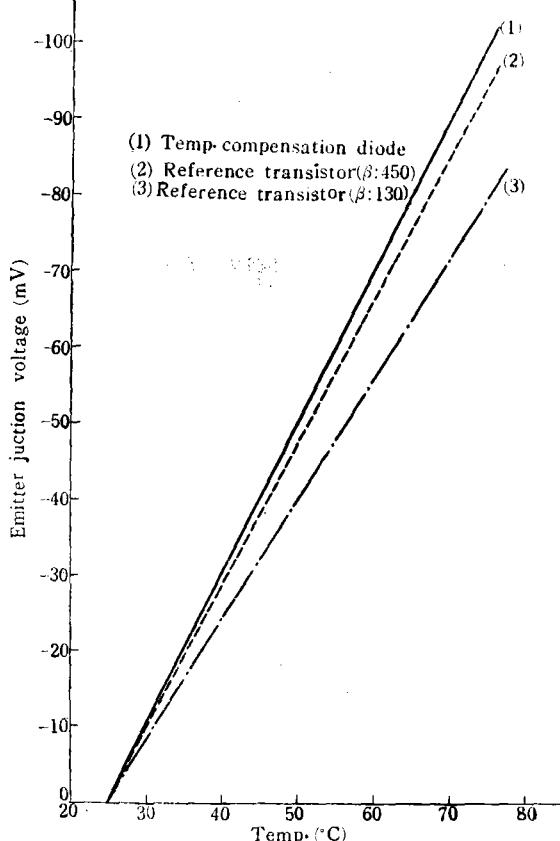


그림 7. 基準電源用 트랜지스터 및 温度補償 diode의 温度特性.

基準電源用 트랜지스터 Q_2 的 emitter 接合 Zener diode에 對한 温度補償을 各各 D_2 및 D_1 [그림 7의 曲線 (1)]으로 實施하였다. 그러나 그림 7에서 보는 바와 같이 曲線 (1)로 表示한 温度係數가 比較的一定한 温度補償用 diode에 對하여 그렇지 못한 트랜지스터間에는 若干의 未補償分이 남는다. 한편 温度補償을 實施한 Zener diode를 보면 그림 8의 曲線群 (2)와 같이 亦是 不均一한 分布를 보이고 있다. 따라서 實際 이들을 適用할 때는 그림 7의 曲線 (1)에 對한 (2) 또는 (3)間의 温度傾斜와 그림 8의 曲線群 (2)에서 温度軸에 對하여 갖는 温度特性을 同一하게 하였을 때 滿足할만한 結果를 얻었다. 이로 因하여 素子選定上의 制約를 크게 緩化할 수 있었다.

한편 同一 周圍溫度下에서 Zener diode 自體가 갖이는 安定性은 그림 10과 같이 매우 不均一하고 長期間의 aging을 通하여 安定域에 들어간다. 約 5個月에 걸친 實驗結果를 보면 적어도 2000時

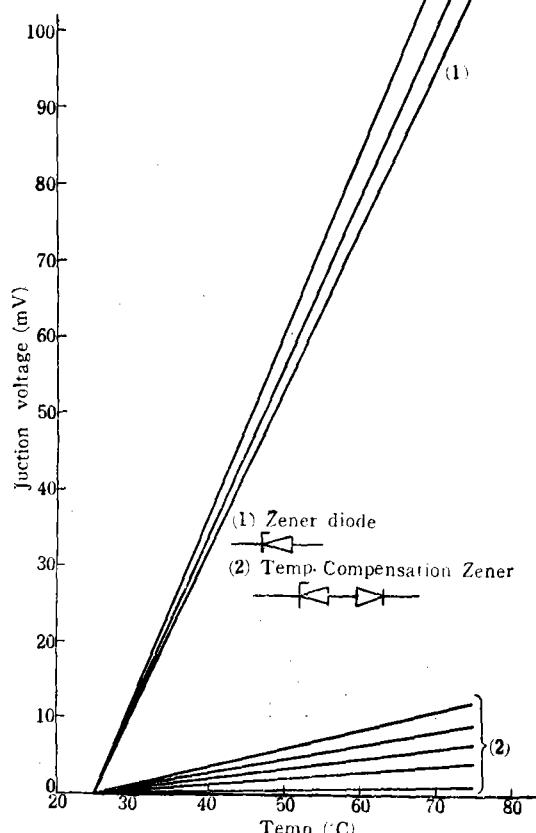


그림 8. 一般 Zener 및 温度補償 Zener diode의 温度特性.

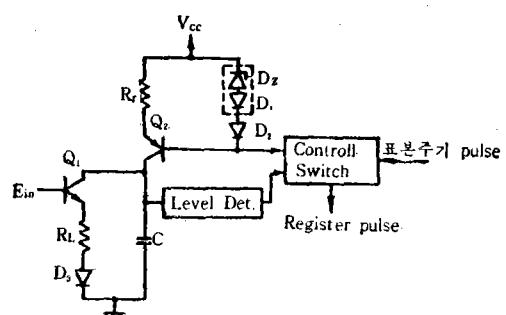


그림 9. 實際 A/D 變換器의 構成

間 以上을 넘어야만 安定해지고 個個마다 3個月當 偏差가 10 ppm, 100 ppm 및 200 ppm 程度의 세 가지 群으로 分類할 수 있었다. 精度 0.1%를維持하기 위한 安定度의 限界는 約 50 ppm 임을 實驗的으로 確認하였다. 實用面에서 본다면 定期的인 較正을 通하여 이러한 誤差는 解消될 것이다.

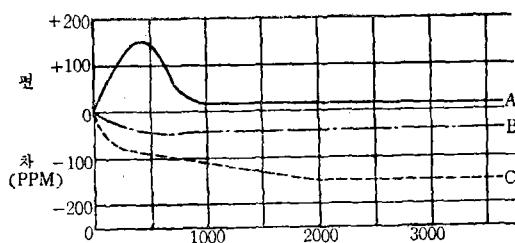


그림 10. Zener diode의 經時變化

7. 総合特性

그림 9(그림 2 參照)와 같은 A/D 變換器의 回路構成으로 用어진 主要 総合特性을 보면 다음과 같다.

1) 溫度特性

그림 11은 溫度 $10^{\circ}\text{C} \sim 50^{\circ}\text{C}$ 變化에 對한 溫度 特性이다. 前記 溫度範圍外에서는 各素子(RC 部分)의 溫度特性으로 보이는 甚한 變化를 볼 수 있다.

2) 短時間安定度

그림 12는 電源印加後의 短期安定度를 觀察한 것이며 不安定要因은 半導體素子內의 溫度上昇에

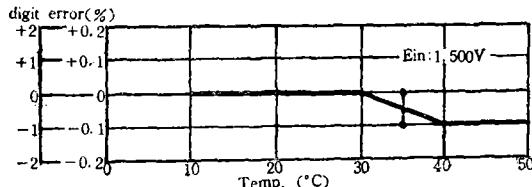


그림 11. 溫度特性

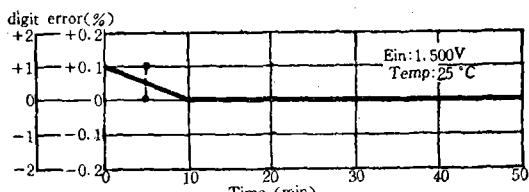


그림 12. 短時間安定度

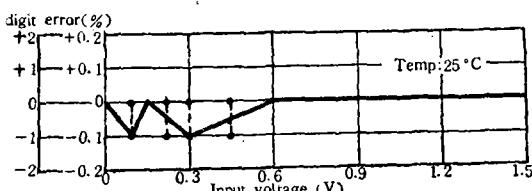
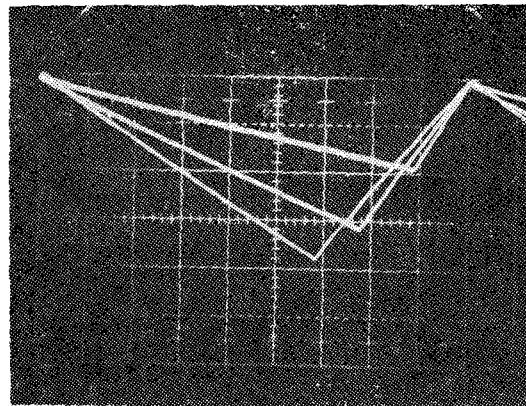
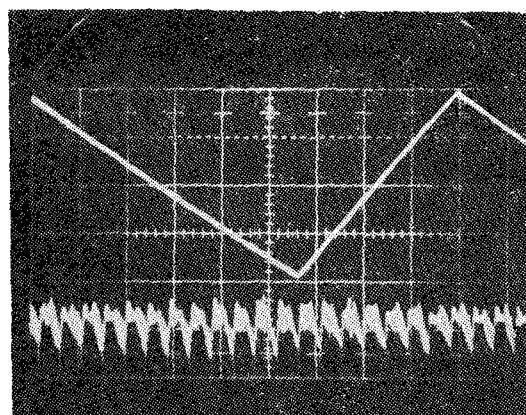


그림 13. 直線性

사진 1. A/D 變換器의 積分波形
(上 : 0.5V) (中 : 1.0V) (下 : 1.5V)사진 2. 雜音入力(눈금 : 5mV/cm)에 對한
積分波形

基因하고 있으나 大體로 10分後에는 安定域에 들어갔다.

3) 直線性

그림 13은 周圍溫度 25°C 에 對한 本 A/D 變換器의 直線性에 關한 것이며 가장 注目할 만한 特性이다. 또한 溫度 15°C 와 40°C 에서 實施한 實驗結果도 ± 1 digit 以內였다.

사진 1은 直流增幅器를 通하여 測定電壓을 印加한 後 A/D 變換器의 積分容量 端子에서 觀察한 積分波形이다. 사진中 積分波形 上, 中, 下는 各各 測定電壓 0.5 V , 1.0 V 및 1.5 V 에 對應한 것이다. 畫面의 制限으로 直線性에 對한 分解能은 볼 수 없으나 X 軸 8 cm 에 나타난 레벨檢出點에 對하여 各積分波의 下端이 整數倍임을 알 수 있다.

4) 雜音除去特性

사진 2는 A/D 變換器 입력에 1.5V 直流電壓과 중첩한 雜音 입력을 加했을 때 얻어진 積分波形이다. 實際로 impulse 的인 雜音에 對하여는 아무런 影響을 볼 수 없으며 同相電壓除去特性도 直流入力電壓과 같은 크기의 發振器信號源을 印加하고 0~500Hz 까지 可變한 結果 計數指示變化는 1 digit 以內였다.

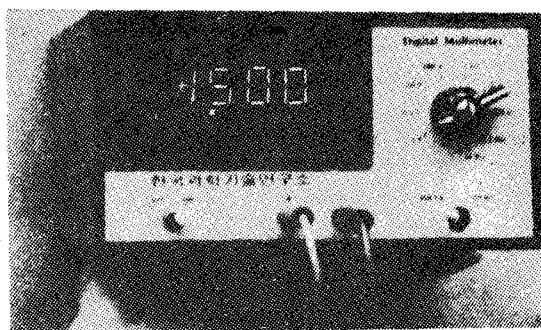


사진 3. 本 A/D 變換器를 適用한 DVM 試作品

8. 結論

直流電壓, 抵抗 및 直流電流測定 機能을 갖춘 $3\frac{1}{2}$ digit(10進 3자리, 2進 1자리) 計數管表示, 精度 0.1% 真值 ±1 digit, 入力 임피던스 1000 M Ω (1.5V 測定範圍, 其他 範圍 10 M Ω), 直流電壓範圍 1 mV~1000 V 4段切換인 全半導體化 計數型電壓計에 適用할 수 있는 A/D 變換器를 開發하였다. A/D 變換器의 直線性에 미칠 수 있는 모든 要因을 解析하여 매우 簡單한 回路構成

으로도 實用上 充分하다는 自信을 얻어 第1次試作品 2臺를 system 과 回路點檢에 使用하는 한편 第2次試作品 5臺를 特性試驗, 安定性 및 信賴性評價에 供하였다.

謝意

本研究에 臨하여 試料調達의 便宜를 提供해 주신 SEMIKOR 金善濟課長과 諸般支援을 아끼지 않았던 中央電氣株, 金聖在社長님께 深深한 謝意를 表합니다.

参考文獻

- 1) R. A. Anderson: A New Digital Voltmeter Having High Rejection of Hum and Noise. HP Journal 13-6(1962).
- 2) Stephen K. Amman: Noise proofing a Digital voltmeter with off the shelf Microelectronics, Electronics, (Nov. 16, 1964)
- 3) Sugiyama: Integrating Digital Voltmeter, Yokogawa Technical Report vol. 11, No. 5 (1967).
- 4) 黒部貞一: 半導體回路, p 8 朝倉書店(1968).
- 5) 宇宙新太郎: 半導體 エレクトロニクス, p172, 丸善株 (1970).
- 6) R. M. Warner, J. N. Fordemwalt: Integrated Circuits Design Principles and Fabrication, p91, Motorola Inc. (1965).
- 7) Millman, Taub: Pulse, Digital and Switching waveforms, McGraw-Hill, p535, (1965).