

高速計數回路에 있어서의 터널다이오드의 應用

金 惠 鎮*

1. 序 論

1957년에 江崎氏에 의하여 發明된¹⁾ 터널다이오드는 各方面의 回路設計者들의 많은 關心을 끌어들여 왔으며 오늘날 線型回路分野에 있어서는 많은 應用回路가 開發되어 널리 實用化되고 있다.

한편 計數回路分野에 있어서도 터널다이오드가 처음 發表되었을 때에는 그의 독특한 高速스위칭特性 때문에 많은 사람들이 앞을 다투어 高速計數回路를 터널다이오드를 이용하여 設計하려고 시도하여 왔으며 그 결과 實驗段階에서는 在來의 트랜지스터回路보다 훨씬 스위칭速度가 빠른 準安定, 單安定 및 雙安定 멀티바이브레이터를 위시하여 AND, OR, NOT, NAND, NOR 回路 등의 論理回路와 加算回路, 半加算回路, 記憶回路, A-D 變換回路 등의 試作過程을 거쳤고, 또 이들의 성능도 만족할 만한 것이라고 발표된 것만 해도 각각 여러 종류에 이르고 있다.

그러나 유감스럽게도 터널다이오드에 의한 計數回路의 設計는 트랜지스터回路보다 그 條件이 까다로우며 許容公差가 적을뿐더러 터널다이오드가 2端子素子라는 결점 때문에 이를 2-port 回路網에 사용할 경우에는 入力과 出力이 同一한 點에 나타난다는 등 不便이 許多하게 尙存하므로 오늘날 電子計算機에 이것이 이용되고 있다는 얘기를 아직 듣지 못하고 있는 實情이며 앞으로도 계속 應用回路開發의 餘地가 많이 남아 있다고 생각되어 그동안 여러사람들에 의하여 試圖되었던 方法들을 紹介함으로써 앞으로 이 分野의 研究에 관심을 갖는 분들에게 多少나마 參考가 되길 희망

한다.

터널다이오드는 幅이 대단히 좁은 半導體接合 사이에서의 多數캐리어에 의한 量子力學的 터널 効果에 기인하여 特有한 負抵抗特性을 나타내며 이 터널効果는 理論上 거의 光速에 가까운 빠른 速度로 일어날 수 있으나 실제에는 接合靜電容量 直列抵抗 및 直列인덕턴스 등의 영향을 받아 현재 까지 實驗적으로 확인된 바로는 約 0.1nS 정도의 스위칭時間을 얻었던 例가 있으며 앞으로 보다 더 개량된 것이 나오면 그보다 훨씬 더 빨라질 것으로 예상된다.

터널다이오드는 普通다이오드 보다도 훨씬 더 많은 不純物을 도우핑하기 때문에 少數캐리어의 壽命時間의 영향을 받지 않으므로 넓은 溫度範圍 내에서도 安定하게 사용될 수 있고 放射能이 多少 강한 環境內에서도 큰 지장없이 사용될 수 있다.

한편 터널다이오드의 결점은 첫째로 利得이 負抵抗特性에서만 얻어지고 둘째로 端子가 2個뿐으로 이들을 入出力端子로 써야하는 不便과 셋째로 出力電壓이 대략 1V 미만이라는 사실이다.

2. 멀티바이브레이터

單安定멀티바이브레이터回路의 1例^{2) 3)}를 그림 1에 圖示하였고 그림 2는 特性曲線의 正抵抗部分(낮은 電壓側)과 負荷直線이 交叉되어 있는 바이어스狀態를 보이고 있다. 그림 1에서 V 는 바이어스電壓이고 正電壓펄스 v_i 는 멀티바이브레이터를 트리거하기 위한 것이다.

처음에는 動作點은 交叉點 $O(v=V_0, i=I_0)$ 에 머물러 있다. 이 回路를 트리거하려면 負荷直線

*高麗大學校 理工大學 電子工學科 正會員

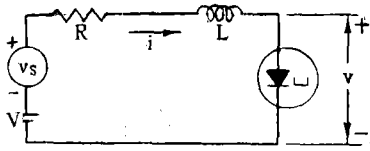


그림 1. 單安定멀티바이브레이터 회로

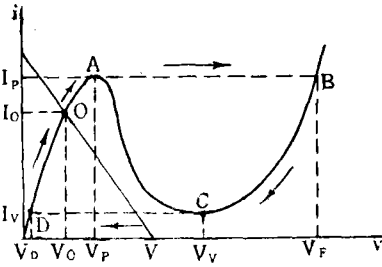


그림 2. 負荷直線 및 動作經路

을 순간적으로 위쪽으로 이동시킴으로써 動作點이 피이크點 A를 넘어가게 하기 위하여 v_c 로부터 正의 펄스를 공급하는데 이 때 펄스幅은 코일 L내에서의 電流가 I_0 에서 I_p 로 변하는데에 필요한 충분한 時間 t_p 동안 유지하여 준다. 이렇게하여 動作點이 O에서 A로 이동하고 A점을 넘은 다음에는 回路 자체로서 B點으로 뛰었다가 화살

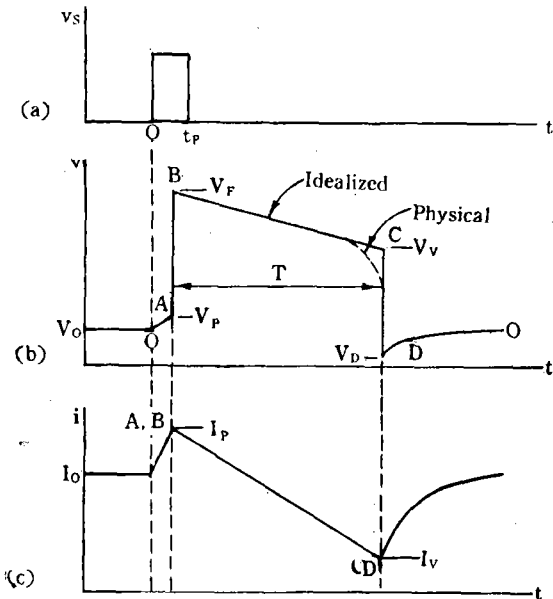


그림 3. 單安定멀티바이브레이터의 出力電壓 및 電流波形

표로 표시한 경로를 따라 이동한 뒤(O→A→B→C→D→O) 다시 原位置 O로 되돌아 오며 이때 터널다이오드兩端의 電壓 및 電流波形은 그림 3과 같다.

이 波形은 理想化된 것이지만 실제로도 이와 대략 비슷하다. 그림 3에서 出力電壓펄스의 幅 T는 特性曲線의 部分的 直線化에 의하여 近似的으로 구할 수 있으며 그 값은 回路定數에 의하여 다음과 같이 표시된다.²⁾

$$T = \frac{L}{R_T} \ln \frac{V_Y + I_P R_T}{V_Y + I_V R_T}$$

여기서 $R_T = R + R_2$

R_2 = 特性曲線의 높은 電壓側 正抵抗部
分の 抵抗

I_P = 피이크電流

I_V = 배리電流

$V_Y = V' - V$

V = 바이어스電源의 電壓

V' = 特性曲線의 높은 側 正抵抗部(直線으로 近似化한 것)의 延長이 橫軸과 만나는 點의 電壓.

單安定멀티바이브레이터의 또 다른 形態는 그림 4와같이 負荷直線이 높은 側 正抵抗部와 교차하도록 바이어스를 걸어주는 것인데 이때에는 安定狀態의 動作點에서의 電壓이 높고 電流가 작은 것이 먼저 回路과 다르고 트리거 信號는 負펄스라야하며 나타나는 出力펄스 또한 負펄스로 되는 點만이 앞의 경우와 다르다.

어떠한 形態의 멀티바이브레이터이던지 出力電壓의 크기는 Ge 터널다이오드의 경우는 약 0.5V 이고 GaAs 터널다이오드는 약 1V 정도로서 트랜지스터回路에 비하여 어느것이나 다 작다.

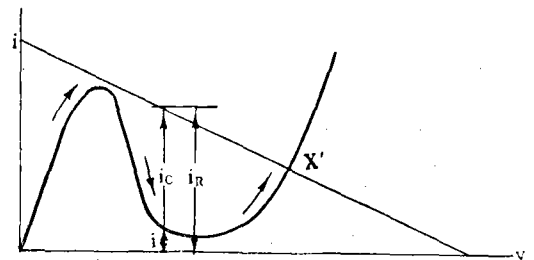


그림 4. 單安定멀티바이브레이터의 다른 바이어스 方法

다음에 準安定멀티바이브레이터회로는 그림 5와 같이 負荷直線이 負抵抗部에서 交叉하고 있는데 이 交叉點은 不安定한 動作點이므로 그림 5의 點 O에서 點 A로 이동한 다음 化살표로 표시한 經路를 따라 계속 이동하게 되므로 電流 및 出力 電壓波形은 그림 6과 같이 된다.

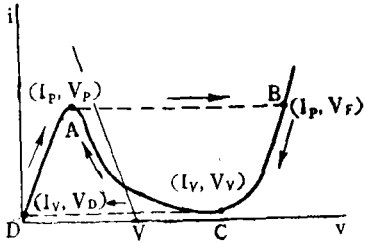


그림 5. 準安定 멀티바이브레이터의 負荷直線

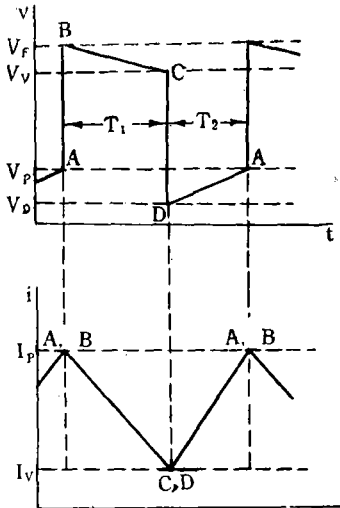


그림 6. 準安定 멀티바이브레이터의 出力電壓 및 電流波形

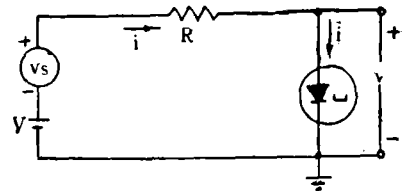
이때 T_1 은 單安定 멀티바이브레이터의 경우와 마찬가지로 구할 수 있고 T_2 는 다음 式으로 구해진다.²⁾

$$T_2 = \frac{L}{R'_T} \ln \frac{V - I_V R'_T}{V - I_P R'_T}$$

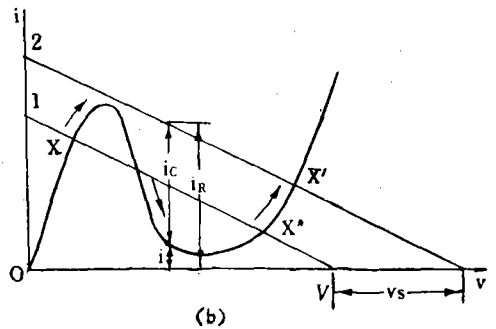
여기서 $R'_T = R + R_1$ 이며 R 은 負荷抵抗 이고 R_1 은 特性曲線의 낮은 電壓側 正抵抗特性部の 正抵抗值 이며, L 은 負荷와 直列로 삽입한 인덕턴스이다.

다음 計數回路에서 가장 많이 사용되는 雙安定 멀티바이브레이터 (以下 flip-flop 이라 칭함) 회로는 지금까지 많은 回路들이 개발되어 발표되었

음에도 불구하고 實用化가 가장 少되어 있는 분야이다. 그 중 몇가지를 열거하여 그 特性을 비교하여 보기로 한다. 가장 간단한 單-터널다이오드 flip-flop 回路^{2) 4)}와 그의 負荷直線의 特性曲線과의 관계를 그림 7에 圖示하였다. 이 때에는 負荷直線은 T. D. (Tunnel-Diode) 特性曲線의 3點에서 交叉한다. 그중 X, X'' 의 2點은 兩 正抵抗 特性部에 1點은 負抵抗特性部에 交叉하고 있어 前者는 安定된 動作點 이고 後者는 不安定 動作點 이다. 지금 回路의 動作點이 X 點에 있을 때



(a)
a) flip-flop 回路



(b)
b) 特性曲線과 負荷直線

그림 7. 單일 T. D. flip-flop 과 負荷直線

에는 負荷直線을 位置2 까지 올려주는데에 충분한 正펄스를 가해주면 動作點이 化살표를 따라 X'' 로 이동하므로 flip-flop의 상태가 바뀐다. 이 새로운 動作點도 安定한 점이므로 트리거펄스가 지나간 뒤에도 flip-flop은 계속 같은 상태에 머물러 있게 된다.

이 回路는 간단하기는 하나 上昇時間이 느리므로 單安定멀티바이브레이터의 경우와 마찬가지로 負荷抵抗과 直列로 작은 인덕터를 삽입하는 형태로 발전하였다.^{2) 5) 6) 7)} 이 경우의 動作點의 移動 經路는 그림 8의 化살표와 같이 된다. 이 回路의 上昇時間은 動作點이 點(I_P, V_P)에서 點(I_P, V_F)

로 비약하는 時間이며 計算結果에 의하면 Ge T. D.의 경우는 $t_r \approx C/2I_p$ 이고 $GaAs$ T. D.의 경우는 $t_r \approx C/I_p$ 로 표시된다.

여기서 C 는 T. D.의 接合容量 및 모든 並列容量의 合成值이다. 그러나 單一-T. D. flip-flop 低電壓狀態에서 高電壓狀態로(電流는 大電流狀態에서 小電流狀態로) 트리거 할 때에는 반드시 正펄스를, 또 逆方向으로 트리거 할 때에는 負펄스를 사용해야 한다는 缺點이 있어 實用化가 곤란하다.

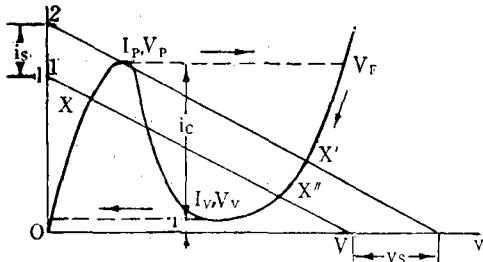


그림 8. R-L 負荷 Flip-Flop 回路의 動作經路

다른 한가지 方法은 東京大學 Goto 教授⁸⁾ 및 그의 구룹에 의하여 開發된 回路로서 소위 Goto-pair 라고 알려진 回路인데 그림 9에 圖示한 바와 같다.

이 回路는 2個의 T. D.와 2個의 소오스 電壓을 直列로 (a)와 같이 接속하여 이루어진다. 이 소오스 電壓은 각각 獨立된 別個의 것이 아니고 한 가지 電壓을 한 쪽은 그대로(+e), 다른 한 쪽은 位相反轉한 狀態(-e)로 供給하는 것이다. 入力 및 出力은 다 같이 T. D.의 接續點과 接地間에 존재한다. 그림 (a)에서 出力電壓은 V_j 로 표시하였다. 任意의 時間에 있어서의 V_j 의 값은 각각의 T. D.의 特性曲線의 交叉點에 의하여 결정되며 特性曲線의 相對的位置는 소오스電壓의 크기나 兩T. D.의 接續點 즉 入出力端子에 外部에서 供給하는 制御電流의 크기 및 方向에 따라 결정된다. 소오스電壓과 制御電流 I_i 가 0일때의 특

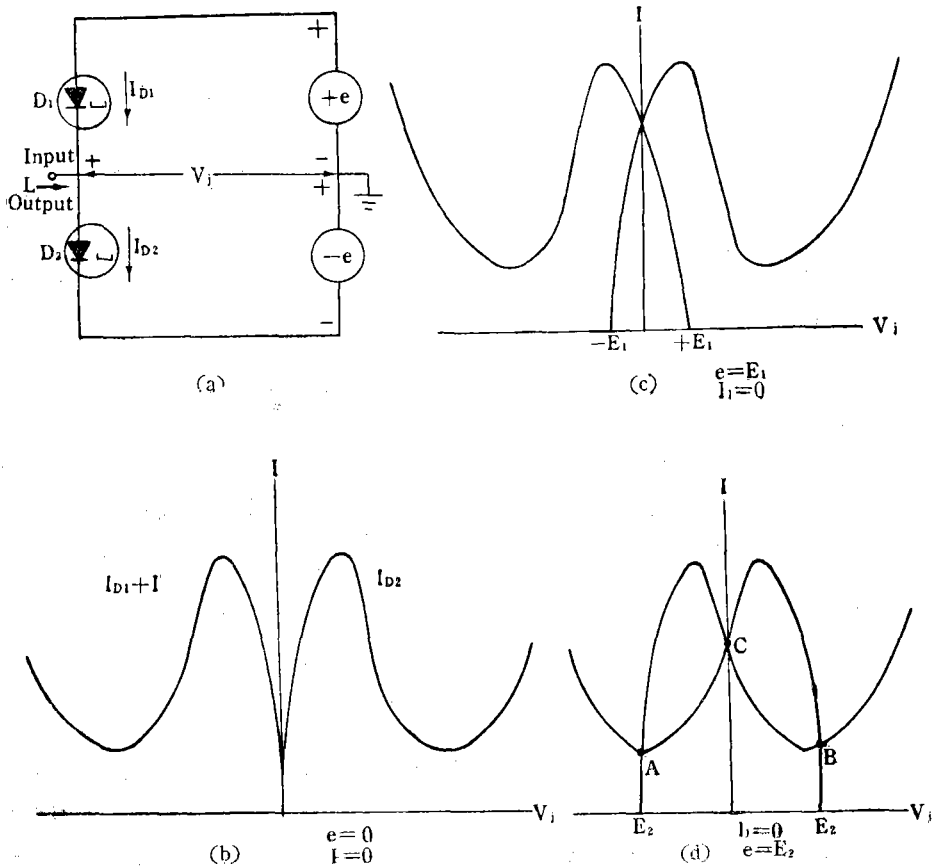


그림 9. Goto-pair 回路

性曲線의 位置는 그림의 (b)와 같고 소오스電壓 $e = \pm E_1 < V_p$ 가 印加되었을 때는 (c), 또 소오스電壓을 증가시켜 $e = \pm E_2 > V_p$ 가 되게 하면 (d)와 같이 이동하여 兩特性曲線은 A, B, C 3點에서 교차하는데 A, B는 安定한 動作點이고 C는 不安定하다. 따라서 A, B 2點이 각각 2進數의 1 또는 0을 나타낸다. 이 回路의 狀態逆轉은 소오스電壓이 T. D.의 피이크電壓 V_p 와 같아지기 直前과 V_p 와 같을 동안에 작은 制御電流를 入出力端子에 흘려 넣어주던가 또는 이로부터 흘러나오게 하던가 함에 따라 A, B 點중에서 어느 한 狀態로 결정된다. 즉 制御電流가 端子로 흘러 들어가게 할 때에는 最終動作點은 B로 되고, 반대로 흘러 나오게 할 때에는 動作點은 A로 가서 安定된 狀態에 각각 머물러 있게 된다. 이 Goto-pair는 記憶裝置의 高速記憶素子, 計數回路, 또는 論理回路 등에도 널리 이용될 수 있으나 실제로 사용되는 2개의 T. D. 特性이 똑 같지 않으면 不確實한 動作을 할 가능성이 있다.

2個의 直列 T. D.를 사용하는 또 한가지 方法은 Chow^{9) 10)}에 의한 回路로서 그림 10에 圖示한 바와 같다. 이 回路는 非同期型計數回路에 특히 적합하며 入力端子와 出力端子와의 分離가 가능하고 出力信號는 各 T. D.兩端에서 서로 相補的으로 얻을 수 있는 單一入力の 相補型 flip-flop 이다.

그림 10 (a)는 실제의 flip-flop 回路와 트리거 方式을 설명하기 위한 스위치를 포함하고 있고 (b)는 特性曲線上에 各 T. D. D_1 및 D_2 의 安定된 狀態에서의 電壓, 電流를 표시한다. 지금 直列로 된 2 T. D.兩端에 $2V_p$ 보다는 높고 $2V_v$ 보다 낮은 電壓이 印加되었다고 하면 平衡狀態에서 兩 T. D.가 함께 V_p 의 左側에 있게 되거나, 兩 T. D.가 다 함께 V_v 의 右側에 있게 될 수는 없다. 그러나 어느 한 T. D.는 低電壓領域에 머물고 다른 한 T. D.는 高電壓領域에 머물러 있을 수는 있다.

이러한 回路는 2個의 T. D.가 動作點을 外部의 트리거信號에 의하여 相互交換할 수 있으므로 2個의 安定點을 갖는다. 그림 10 (a)는 어떤 特定動作狀態를 보여주기 위해서 回路定數의 값과 電

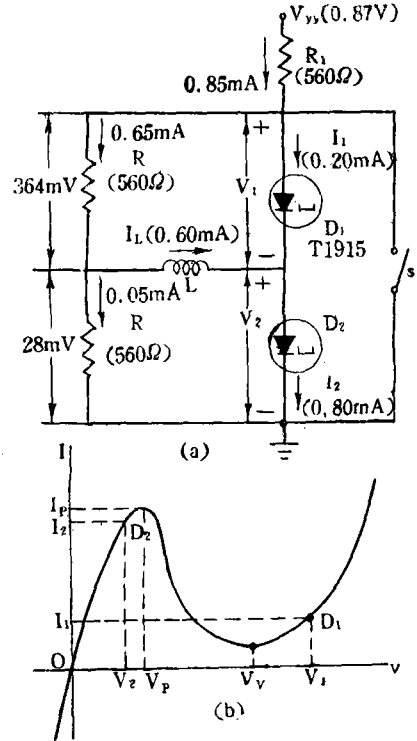


그림 10. Chow의 非同期 相補形 Flip-Flop

壓, 電流값을 표시하고 있다. 지금 이 回路狀態에서는 D_1 이 작은 電流 I_1 , 높은 電壓 V_1 , D_2 가 큰 電流 I_2 , 낮은 電壓 V_2 가 되어 있다. 인덕터 L은 平衡狀態에서는 아무 영향도 주지 않으나 트리거作用을 확실하게 하기 위해서 필요하다. 抵抗 R_1 은 電源電壓選擇의 自由를 주고 또 右쪽 T. D.의 陽極에 트리거信號를 印加할 경우 信號가 電源을 통하여 接地되는 것을 방지한다.

트리거信號대신에 스위치 S를 순간적으로 닫으면 스위치가 닫힌 직후 그러나 인덕터電流는 많은 變化를 미쳐 하지 않은 狀態의 回路와 動作點은 그림 11 (a), (b)와 같다.

(a)에서 2개의 T. D.兩端이 端絡되어 있으므로 $V_1' + V_2' = 0$ 이 되어야 하며 이 條件이 만족되기 위해서는 (b)에 보인바와같이 한개의 T. D.는 順方向, 다른 하나의 T. D.는 逆方向으로 바이어스 되어야 하고 따라서 電流도 각각 서로 反對方向이 되어야 한다.

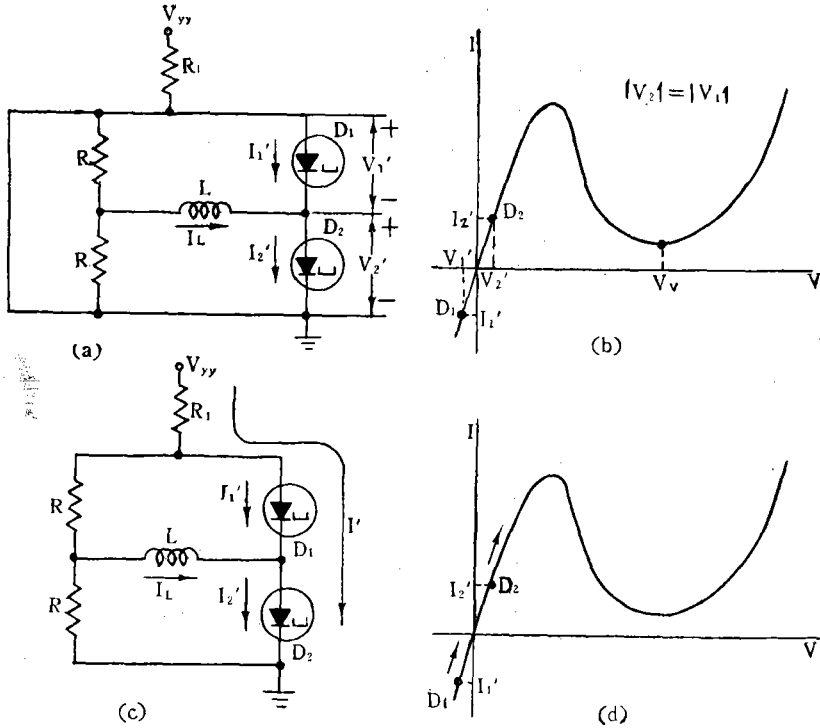


그림 11. Chow의 Flip-Flop의 트리거作用

그런데 인덕터電流가 갑자기 변화하지 못하므로 $I_L = I_2 - I_1 = I_2' - I_1'$ 가 성립된다. 처음에 $I_2 > I_1$ 이였으므로 I_L 이 일정하려면 I_2' 가 I_1' 보다 더 큰 값을 가져야 한다. 따라서 (b)에 圖示한바와 마찬가지로 逆바이어스되는 것은 D_2 가 아니고 D_1 이다. 즉 I_1' 는 負電流가 된다. 이때 스위치作用에 의해서 D_2 의 動作點은 V_2 에서 V_2' 로 약간 감소하였을 뿐이나, D_1 은 높은 電壓인 V_1 에서 負電壓인 V_1' 까지 상당히 큰 變化를 한 것이다. 스위치를 열면 狀態는 (c), (d)에 圖示한 것처럼 된다. 이때에는 T.D.의 電流 I_1' 및 I_2' 에 I' 가 電源 V_{YY} 에 의해서 抵抗 R_1 을 통하여 가중된다. 처음에는 이 電流는 漂遊容量 및 T.D.의 接合靜電容量으로 흘러 들어가나 이들 容量이 充電됨에 따라 電流는 T.D. 쪽으로 옮겨지며 T.D.의 動作點들은 電流가 증가하는 쪽으로 그림 (d)와 같이 옮겨 간다. 이 그림에서 D_2 가 D_1 보다 먼저 피이크點에 도달될 것이라는 것을 알 수 있다.

D_2 가 피이크點에 도달하면 순간적으로 高電壓 正抵抗領域으로 비약하여 그림 10 (b)와 같은 安

定點에 이르러 安定狀態로 되며 이로써 이 flip-flop은 狀態를 反轉한 結果가 된다. 즉 T.D. D_1 과 D_2 는 자기 그들의 動作點을 교환한 것이다. 여기서 flip-flop의 狀態反轉을 위하여 스위치를 순간적으로 닫았으나 실제에는 負펄스로 트리거시킬 수 있다.

이 flip-flop 回路를 이용한 2段 計數回路를 그림 12에 보이고 있다. 이 回路는 $\frac{1}{4}$ 分周回路에 해당된다. 이 計數回路는 첫段出力信號에 의하여 둘째段을 트리거하게 되어 있는데 單一 T.D. flip-flop과는 달리 單一極性의 트리거電壓에 의

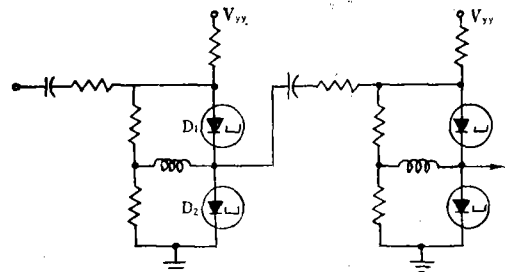
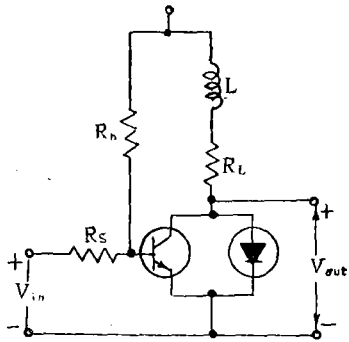


그림 12. 2段 計數回路

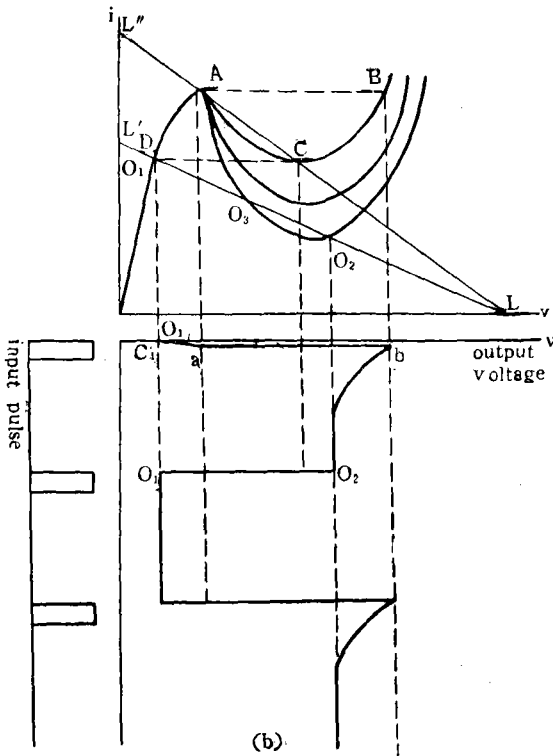
해서 연속적인 트리거가 가능하다.

電源電壓 變動에 대하여 좀 민감한 것이 결점 이므로 實際回路에는 各段 사이에 트랜지스터를 삽입하지 않으면 안된다.

以上 말한 바와같이 Chow의 flip-flop은 單一極性의 信號에 의하여 連續트리거를 할 수 있는 점이 在來의 單一-T.D. flip-flop에 비하여 우수한 점이나 安定된 動作을 시키기 위해서는 段間에 트랜지스터回路를 삽입하여야 하므로 너무 많은



(a)



(b)

그림 13. T.D.-Tr. Hybrid Couple 에 flip-flop 回路

能動 및 受動素子를 필요로 하여 不經濟的이다. 이 回路와 같이 單一極性트리거가 가능하고 回路素子도 이보다 적게 드는 回路가 T.D. 1個와 트랜지스터 1個를 그림 13(a)와 같이 並列로 접속하여서 된 소위 T.D.-Transistor Hybrid Couple을 사용한 flip-flop 回路이다. 11) 12)

이 Hybrid Couple은 T.D.와 트랜지스터의 結合으로 그 綜合特性은 두 素子의 個別的인 特性이 合成된 그림과 14같이 새로운 特性을 얻게 된다. T.D. 단독으로 사용할 때에는 일단 메이커에 의하여 T.D.가 제조되면 그 電壓-電流特性은 絶대로 外部에서 變化시킬 수 없었던 것을 트랜지스터와 結合시키므로써 베이스電流의 調整에 의하여 負抵抗特性을 포함한 全體의 特性을 制御할 수 있다는 利點을 가지고 있을 뿐만 아니라 그림에서 보는 바와 같이 2種의 素子が 結合되어 入力端子와 出力端子가 완전히 분리된 하나의 3端子 負抵抗素子和 같이 사용될 수 있으므로 중

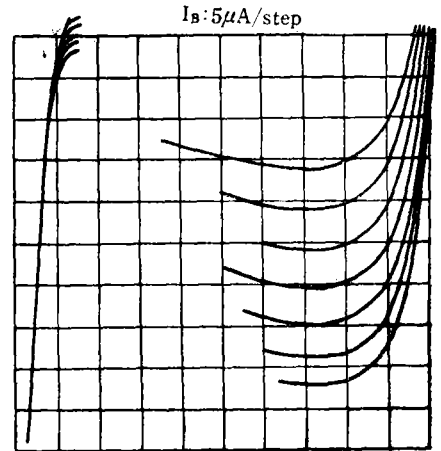


그림 14. T.D.-T.R. Hybrid Couple의 綜合特性

래의 모든 T.D. 回路에서 2端素子인 T.D.로 2-port 回路網을 형성할 때에 나타나는 모든 불편을 제거할 수 있게 되므로써 T.D.의 活用度를 높일 수 있다. 이 Hybrid Couple에 의한 flip-flop 動作을 그림 13(b)에 의하여 설명하면 다음과 같다.

베이스入力電流가 흐르지 않을때의 Couple의 靜特性은 3個의 特性曲線中 最下의 위치에 있는 것으로 표시되며 이 때의 負荷直線은 그림에서와

같이 3點 O_1, O_2, O_3 에서 特性曲線과 교차하며 動作點 O_1 및 O_2 는 安定된 點이고 O_3 는 負抵抗特性部와의 交叉點으로서 不安定한 動作點이다. 처음에 回路의 動作點이 O_1 에 있을 때 正펄스가 베이스에 印加되면 動作點이 特性曲線을 따라 O_1 에서 A까지 移動된 후 피크值 A點을 벗어나게 되므로 A에서 B로 스위칭이 일어난다. 그후 入力펄스가 없으면 特性曲線은 原位置(最下位置)로 돌아오므로 flip-flop은 動作點 O_2 에 남아있게 되어 狀態의 反轉이 이루어진 것이다. 이 때 두 번째 正펄스가 베이스端子에 가해지면 入力펄스 時間동안 特性曲線과 負荷直線은 위로 轉移한다. 그러던 動作點은 valley 點에서 負抵抗特性쪽으로 들어가는 位置 C에 있으므로 앞에서 기술했던 單-T. D.의 準安定멀티바이브레이터의 경우와 마찬가지로 動作點은 點線을 따라 C에서 D로 비약한다. 여기서는 時間이 경과함에 따라 安定點 O_1 에 접근하는데 이 때의 時定數는 $L/(R+R_1)$ 에 의하여 결정되고 일단 O_1 에 도달하면 그대로 安定된 狀態를 유지한다. 이 flip-flop 回路는 여러段을 縱續接續함에 의하여 2進 計數回路를 만들 수 있으며 바이어스방법을 바꾸어 交叉點을 하나로 하면 單安定또는 準安定 멀티바이브레이터로 설계할 수 있다.

3. 論理 回路

그림 15의 單-T. D. 單安定 멀티바이브레이터는 AND 回路 또는 OR 回路로 사용할 수^{10) 13) 14)} 있다. 즉 그림 15와같이 低電壓 正抵抗特性部에 安定動作點을 갖도록 바이어스를 걸어준 單安定 멀티바이브레이터 回路에 各各 數個식의 入力 및 出力端子를 접속하여 AND 回路 또는 OR 回路를 구성하는데 두 回路의 外見상의 差異는 없고 다만 그림 (b)에 표시한 負荷直線이 入力信號가 없을 때의 位置에서 狀態反轉을 일으킬 位置로 옮겨지는데 필요한 電流差 Δi 만큼의 入力電流을 어느 單一入力電流에 의해서도 供給可能하도록하면 어느 入力端子에 "1"의 入力이 들어와도 "1"出力이 얻어지므로 OR 回路로 動作하고,

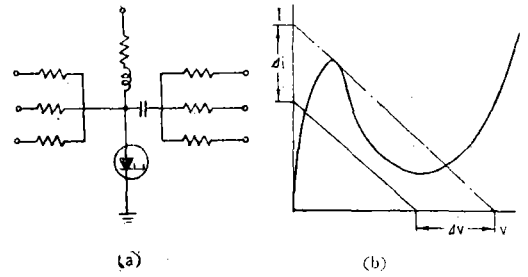


그림 15. 單-T. D. 論理回路

또한편 全體入力端子가 동시에 "1"일때에만 Δi 를 초과하도록 各 入力電流值를 조정하면 AND 回路로 동작한다.

이 論理回路는 간단하기는 하나 入出力端子가 共通이므로 多段論理回路를 구성하려면 段間에 트랜지스터 또는 백 다이오드를 삽입하여 段間을 분리하여 주어야 한다.

또 다른 形態의 論理回路는 Goto-pair 를 이용한 回路로서 그림 16과 같다. 이 回路에서는 入力信號는 電壓信號이며 다른 Goto-pair 의 出力으로부터 공급될 수도 있다. 入力電流의 方向은

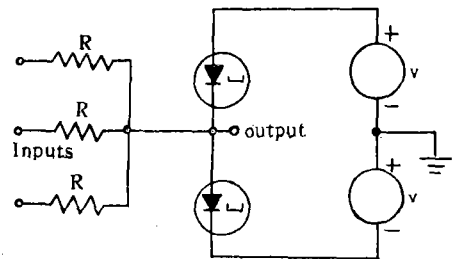


그림 16. Goto-pair Majority 論理回路

入力信號中 多數의 極性에 의하여 결정되므로 이 回路의 最終狀態를 入力信號의 多數의 方向으로 결정되도록하면 Majority 論理回路가 된다. 이 回路는 入力抵抗值의 적당한 선택에 의하여 OR 回路, AND 回路 또는 Majority 回路, M個中N 論理回路등으로 동작시킬 수 있다.

在來式 T. D. 論理回路들은 대체로 電流電壓變動的의 許容範圍가 극히 좁아서 誤動作을 일으킬 우려가 크므로 實用이 곤란하였으며 특히 종래

제안되었던 回路構成으로서는 入力端子數가 3個 이상의 高速多重 Coincidence 回路(또는 AND gate)로 구성할 경우 回路動作의 여유가 더욱 좁아지므로 入力端子의 數가 제한된다. 최근에 발표된 3個의 T.D.와 3個의 Schottky Barrier Diode를 이용한 새로운 AND 回路¹⁵⁾는 위의 缺點들을 많이 개량한 回路로서 그림 17에 圖示한 바와 같다.

參 考 文 獻

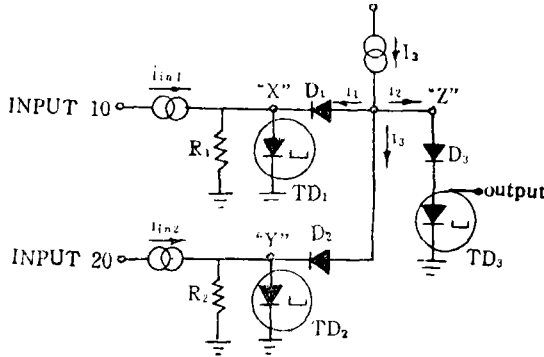


그림 17. 並列 다이오드 AND 回路

이 回路의 動作原理는 回路에 入力펄스가 들어 오지 않는 상태에서는 바이어스 電流 I_B 는 S.B. diode D_1, D_2, D_3 를 통하여 흐른다. 가령 input 1 에만 入力 pulse가 가해졌다면 T.D. 1은 스위칭되어 T.D. 1 兩端間의 電壓은 上昇하고 D_1 에 逆바이어스 電壓이 걸리게 된다. 따라서 D_1 을 흐르던 電流는 차단되고 바이어스 電流 I_B 는 D_2, D_3 를 통하여 흐르게 된다.

入力 1, 入力 2에 동시에 펄스가 가해지면 D_1, D_2 를 통하여 흐르던 電流는 차단되고 쏘바이어스 電流 I_B 가 D_3 를 통하여 흐르게 된다. 이 回路가 Coincidence 回路 또는 AND gate로서 동작하기 위한 바이어스 電流의 許容範圍는 $I_P < I_B < 2I_P$ 의 넓은 값을 가지며 이 바이어스 電流範圍는 入力펄스 振幅에 관계하지 않는다. 그리고 1개의 入力펄스가 들어왔을 때와 2개의 入力펄스가 동시에 들어왔을 때의 T.D. 3에 가해지는 電流의 比는 1:4로 一定하며 그 각각의 경우의 電流의 크기는 入力 pulse 振幅에는 무관하고 바이어스 電流 I_B 에 의존하도록 設計되어 있는 것이 특징이다.

- 1) Esaki, L "New Phenomenon in Narrow Ge p-n Junctions" Physical Rev. Vol. 109, p. 603(1958)
- 2) Millman, J. & Taub, H; Pulse, Digital and Switching Waveforms, McGraw-Hill Book Co., N. Y. 1965.
- 3) Flowerday, T.W. & Mckibbin, D. D. "Tunnel-Diode One-Shot and Triggered Oscillator" IRE Proc. Vol. 49, No. 8, p. 1315 August, 1961.
- 4) Sims, R.C., et al "A Survey of Tunnel-Diode Digital Techniques" Proc. of IRE, Vol. 49, No. 1, pp. 136-146, January, 1961.
- 5) Kaenel, R. A. "One Tunnel-Diode Flip-Flop" Proc. of IRE (Corresp) Vol. 49, No. 2, p. 622, March, 1961.
- 6) Banzhaf, J. H., Katzenstein, H. S., "One Tunnel-Diode Flip-Flop" Proc. of IRE(Corresp) Vol. 50, No.2, p. 212, February, 1962.
- 7) Guckel, H. "One-Tunnel-Diode Flip-Flop HF Behavior" Proc. of IRE (Corresp). Vol. 49, No. 11, pp. 1685-1686, November, 1961.
- 8) Goto, E., et al "Esaki diode high-speed logical circuits" IRE Trans. on Electronic Computers, Vol. EC-9, pp.25-29, March. 1960.
- 9) Chow, W. F. "Tunnel-Diode Digital Circuitry," Presented at International Solid-State Circuits Conference, Philadelphia, Pa, February 10-12, 1960.
- 10) Chow, W.F. "Tunnel-Diode Digital Circuitry," IRE Trans. on Electronic Computers, Vol. EC-9, No. 3, pp. 295-301, September, 1960.
- 11) Kim, D.J. "Control of Negative-resistance Characteristics in the Tunnel-Diode-Transistor Hybrid Couple," Proc. IEEE(Letter), Vol. 58, No. 9, pp. 1401-1402, September, 1970.
- 12) Kim, D.J. "Tunnel-Diode-Transistor Hybrid Couple in Digital Circuits," Proc. of Seoul International Conference of Electrical and Electronics Engineering, pp. 509-523 September 2-4, 1970.
- 13) Radio Corporation of America, Tunnel Diode Manual, Somerville, N.J., 1963.
- 14) Bergman, R. H., "Tunnel Diode Logic Circuits."

IRE Trans. on Electronic Computers, Vol. EC-9,
pp. 430-438, December, 1960.

Circuit," IEEE Trans. on Nuclear Science Vol.
NS-17, No. 2, pp. 7-17, April, 1970.

15) Lim, I. C. "Parallel Tunnel Diode Coincidence
