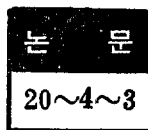


이산(離散) 시스템에서의 피이드백 제어기의 해석적 설계



Analytic Design of Feedback Controller for Discrete Systems

고 명 삼*
(Myoung Sam Ko)

[ABSTRACT]

This paper deals with the analytic structure of feedback controller for linear time invariant discrete systems.

On the way of developing the deadbeat controller, some necessary conditions for control policy have been derived. In the case of time delay, it was proved that the q periods delay in the control causes q periods delay in the point at which deadbeat response occurs.

Theorems and conclusions are illustrated with some simple nontrivial numerical examples and signal state tracking application problems.

1. 서 론

지난 10년간 상태공간 해석법에 의한 제어 시스템분야의 이론은 급진적으로 발전하였으며 [1]—[5], 이러한 학문적 경향은 전자 계산기가 실제 제어 시스템의 한 소자로서 도입 됨으로써 더욱 더 가속되었다. 뿐만 아니라 피제어 시스템의 대형화에 따른 목적함수의 최소 또는 최대를 위한 제어 정책의 수립과 최적 제어 및 이를 위한 제어기의 해석적 연구는 제어의 제어이론에서 찾아볼 수 없는 새로운 분야를 탄생케 하였다. 특히 전자 계산기가 주어진 시스템의 한 소자를 이루는 경우, 그 시스템 내에서의 신호의 흐름은 이산적이 되는 것이 일반적이고, 이를 이산 시스템이라고 한다. 이런 시스템에 관한 고전적인 해석 즉, 주파수 응답법, 근체적법 또는 안전도 개선을 위한 보상기의 도입 및 설계 등에 관한 결과는 주로 단일 입력—단일 출력 이산 시스템에 관계된 것이 그 특징이다 [6]—[8].

본 논문에서는 선형시불변 이산 제어 시스템의 최단 시간 제어 정책을 수립 후, 최단시간 피이드백 제어기의 해석적인 구조에 관해 논하며, 시간 지연이 있는 시스템을 위한 최단시간 제어기를 고찰함으로써 전자

와 후자의 차이점도 아울러 비교 검토한다.

2. 정의와 문제 설정

n-차원 실상태공간에서의 선형시불변 이산시스템에 관한 상태방정식은 다음과 같이 주어진다[9].

$$x(k+1) = A x(k) + B u(k) \tag{1}$$

$$y(k) = C x(k) + D u(k) \tag{2}$$

단, $x(k+1)$ 은 $(n \times 1)$ matrix, $y(k)$ 는 $(m \times 1)$ matrix, $u(k)$ 는 $(r \times 1)$ matrix로써, 각각 상태벡터, 출력벡터 및 제어(입력) 벡터를 의미하며, A, B, C 및 D는 실수의 상수 matrix로써, 식 (1)과 (2)를 만족하는 차원을 갖는 계수행렬이며, 주어진 시스템의 각 요소들의 parameter에 의하여 결정된다.

식 (1)과 (2)는 극히 일반적인 상태방정식이며, $u(k)$ 가 단일량 즉, u 로 주어지는 경우에 단 논하기로 한다.

앞으로 기술할 이론적 전개에 필요한 몇가지 정의와 가정을 열거한 후, 문제설정을 제기한다.

정의-1: 최단시간제어란 주어진 임의의 초기상태에 놓여진 시스템의 상태(state)를 원점으로 최단시간 내에 복귀시키는 제어를 의미한다.

정의-2: 만일 임의의 초기상태 $x(0)$ 가 유한인 제어 sequence에 의하여 $x(mT; x(0), u(k)) = 0$ 로 이동되

*정회원 : 서울공대 전기공학과 조교수

는 경우, 이 초기상태 $x(0)$ 는 제어 가능하다고 하며, 특히 모든 초기상태가 제어 가능시 해당 이산 시스템은 완전 제어가 가능하다고 한다.

정의-3: 만일 임의의 초기상태 $x(0)$ 를 출력량의 유한 sequence y_1, y_2, \dots, y_n 의 측정으로 결정할 수 있는 경우 이 초기상태 $x(0)$ 는 관측 가능하다고 하며, n 는 $x(0)$ 에 따라 변화한다. 특히 모든 초기 상태가 관측할 수 있는 경우, 해당 시스템은 완전 관측 가능하다고 한다.

가정: 여기서 다룰 선형 시불변(時不變) 이산 제어 시스템은 완전제어성과 완전관측성 [1]이 성립하며, 식 (1)에서 주어진 계수행렬 A 는 정칙행렬(nonsingular matrix)이다.

문제 설정:

- (1) 최단시간 피이드백 제어정책의 수립과 제어기의 해석적 구조와 설계.
- (2) 시간지연을 수반하는 시스템에서의 최단시간 제어기의 해석적 구조.

3. 제어정책의 수립과 제어기의 해석학적 구조와 설계

(1) 최단시간 피이드백 제어정책과 제어기의 해석적 구조와 설계

단일 입력 이산 시스템의 상태방정식인

$$x(k+1) = Ax(k) + bu(k) \quad (3)$$

에서, 만일 임의의 정수 $k=m$ 에서 주어진 초기상태 $x(0)$ 가 원점 즉, $x(m)=0$ 으로 복귀했다고 가정하면, 이때의 상태방정식은

$$x(m) = A^m x(0) + \sum_{i=0}^{m-1} A^{(i+1)} b u(i)$$

로 주어진다. 지금

$$d(i) \triangleq A^{-(i+1)} b \quad (4)$$

라 하면

$$x(m) = A^m [x(0) + \sum_{i=0}^{m-1} d(i) u(i)] \quad (5)$$

가 된다.

A 를 정칙이라 가정하였으므로, $x(m)=0$ 인 조건을 고려하여 다음과 같은 초기상태 관계식이 얻어진다.

$$x(0) = -\sum_{i=0}^{m-1} d(i) u(i) \quad (6)$$

한편 주어진 시스템은 완전제어성이 성립하므로, $d(i)$ 들의 집합, 즉

$$\{d(0), d(1), \dots, d(n-1)\}$$

은 n 차원 상태 공간을 span할 것이다. 따라서 집합 $\{d(i)\}$ 는 주어진 n 차원 상태공간에서의 기저(basis)가 된다. 따라서 식 (6)은 $m \geq n$ 인 모든 m 에 대해서 성립한다. 한편 최단시간 응답을 이룩하기 위하여는

$m=n$ 즉,

$$\begin{aligned} x(0) &= -\sum_{i=0}^{n-1} d(i) u(i) \\ &= -[d(0) : d(1) : \dots : d(n-1)] \begin{bmatrix} u(0) \\ u(1) \\ \vdots \\ u(n-1) \end{bmatrix} \\ &= -D u \end{aligned} \quad (7)$$

단, $D \triangleq [d(0) : d(1) : \dots : d(n-1)]$

그런데, D 는 n 차원 상태공간의 기저를 이루는 벡터로 구성되므로, 그 계수(rank)는 n , 따라서 역행렬 D^{-1} 가 존재한다. 지금 최단시간 제어입력 sequence를 구하기 위하여 D^{-1} 를 (7)식의 양좌측에 곱하여 정리하면

$$u = -D^{-1} x(0) \quad (8)$$

가 된다. 식 (8)은 곧 피이드백을 고려하지 않았을 때의 최단시간 제어정책을 의미한다. 한편 피이드백 제어기의 경우를 고찰하기 위하여 우선 피이드백 제어기에서의 제어입력과 상태벡터를 다음과 같이 표시한다.

$$u(k) = f(x(k)) \quad (9)$$

왜냐하면 피이드백 제어기에서의 제어입력 $u(k)$ 은 항상 동일 시각에서의 상태변수들의 함수로 주어지기 때문이다.

식 (9)로 주어진 피이드백 제어기로 최단시간제어를 성취하기 위한 조건을 구한다.

즉 식 (7)과 (9)가 $i=0$ 에서 공히 성립하기 위하여는 $u(0)$ 는 $x(0)$ 에만 관계되어야 함이 명확하다. 따라서 최단시간제어를 위한 선형제어기의 상태변수와 제어입력과의 관계식은

$$u(k) = \langle \alpha, x(k) \rangle \quad (10)$$

로 주어질 것이다. 단 $\langle \cdot, \cdot \rangle$ 는 n 차원 상태공간에서의 내적(積)을 표시하며, α 는 D^{-1} 의 첫 행(行)의 각 요소에 부부호를 부친 ($n \times 1$) 행렬이다.

식 (7)을 (10)에 대입하여 정리하면

$$u(0) = \sum_{i=0}^{n-1} \langle \alpha, d(i) \rangle u(i) \quad (11)$$

가 된다. 그런데 피이드백 제어기에서는 $u(0)$ 가 $i \geq 1$ 인 모든 $u(i)$ 의 영향을 받지 않아야 하므로, 식 (11)은

$$\langle \alpha, d(0) \rangle = -1 \quad (12)$$

$$\langle \alpha, d(i) \rangle = 0 \quad \forall i=1, \dots, n-1 \quad (13)$$

인 두 조건을 만족하여야 한다. 즉 식(12)와 (13)이 성립하는 경우, 식 (10)은 피이드백 제어기의 제어정책을 의미하며, 이러한 제어정책을 구현하는 장치가 곧 선형시불변 이산 시스템의 피이드백 제어기가 될 것이다. 따라서 다음과 같은 정리를 내릴 수 있다.

정리 1: 선형시불변 이산 시스템

$$x(k+1) = Ax(k) + bu(k)$$

의 피드백 제어기의 최단제어정책은

$$u(k) = \langle \alpha, x(k) \rangle$$

로 주어지며, $\langle \alpha, d(0) \rangle = -1$,

$$\langle \alpha, d(i) \rangle = 0 \quad \forall i=1, \dots, n-1$$

인 조건을 만족하여야 한다.

정리 2: $u(k) = \langle \alpha, x(k) \rangle$ 인 제어 정책으로 결정되는 최단시간 피드백 제어기에서는 항상

$A+b \rangle \langle x \leq Q$ 가 행렬 H 에 유사(similar)하다

$$H = D^{-1}QD$$

인 관계식이 성립한다.

단,

$$H = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & \dots & \dots & \dots & 0 \end{bmatrix} \text{ 이고}$$

$\rangle \langle$ 는 다이아드(dyad)를 의미함.

증명:

식 (3)과 식 (10)에 의하여

$$x(k+1) = [A+b] \langle \alpha \rangle x(k)$$

따라서

$$Qd(0) = A[I+d(0)] \langle \alpha \rangle d(0) = A[d(0)-d(0)] = 0 \quad (14)$$

한편

$$Qd(i) = A[I+d(0)] \langle \alpha \rangle d(i) = Ad(i) \quad A \ i=1, 2, \dots, n-1 = AA^{-(i+1)}b = A^{-i}b = d(i-1) \quad (15)$$

식 (14)와 (15)에 의하여

$$\begin{aligned} QD &= Q[d(0) : d(1) : \dots : d(n-1)] \\ &= [0 : d(0) : d(1) : \dots : d(n-2)] \\ &= DH \\ \text{즉, } QD &= DM \\ \therefore H &= D^{-1}QD \end{aligned} \quad (16)$$

즉 Q 는 H 에 similar하다.

보기-1

$$x(k+1) = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \frac{1}{2} & 0 \\ 0 & 0 & \frac{1}{3} \end{bmatrix} x(k) + \begin{bmatrix} \frac{1}{2} \\ \frac{1}{3} \end{bmatrix} u(k) \quad (17)$$

인 상태방정식으로 주어지는 시스템의 최단시간 제어기의 구조를 구한다. 단,

$$x(0) = \begin{bmatrix} 1 \\ 2 \\ 3 \end{bmatrix}$$

식 (17)에서

$$A^{-1} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 2 & 0 \\ 0 & 0 & 3 \end{bmatrix}, \quad b = \begin{bmatrix} \frac{1}{2} \\ \frac{1}{3} \end{bmatrix}$$

따라서 (4)에 의하여

$$d(0) = A^{-1}b = \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix}$$

$$d(1) = A^{-1}d(0) = \begin{bmatrix} 1 \\ 2 \\ 3 \end{bmatrix}$$

$$d(2) = A^{-1}d(1) = \begin{bmatrix} 1 \\ 4 \\ 9 \end{bmatrix}$$

$$\therefore D = [d(0) : d(1) : d(2)] = \begin{bmatrix} 1 & 1 & 1 \\ 1 & 2 & 4 \\ 1 & 3 & 9 \end{bmatrix}$$

$$\therefore D^{-1} = \begin{bmatrix} 3 & -3 & 1 \\ -\frac{5}{2} & 4 & -\frac{3}{2} \\ \frac{1}{2} & -1 & \frac{1}{2} \end{bmatrix}$$

$$\therefore \alpha = \begin{bmatrix} -3 \\ 3 \\ -1 \end{bmatrix}$$

제어정책인 식 (10)을 만족하기 위한 조건식 (12)와 (13)에 의하여

$$\langle \alpha, d(0) \rangle = -1, \quad \langle \alpha, d(1) \rangle = 0, \quad \langle \alpha, d(2) \rangle = 0$$

가 만족하여야 한다. 한편 초기 조건 $x(0) = \begin{bmatrix} 1 \\ 2 \\ 3 \end{bmatrix}$ 과 제어정책인 식 (10)에서

$$u(0) = \langle \alpha, x(0) \rangle = [-3 \ 3 \ -1] \begin{bmatrix} 1 \\ 2 \\ 3 \end{bmatrix} = 0$$

$$\therefore x(1) = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \frac{1}{2} & 0 \\ 0 & 0 & \frac{1}{3} \end{bmatrix} x(0) + \begin{bmatrix} \frac{1}{2} \\ \frac{1}{3} \end{bmatrix} u(0) = \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix}$$

$$\text{한편 } u(1) = \langle \alpha, x(1) \rangle = [-3, 3, -1] \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} = -1$$

$$\therefore x(2) = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \frac{1}{2} & 0 \\ 0 & 0 & \frac{1}{3} \end{bmatrix} x(1) + \begin{bmatrix} \frac{1}{2} \\ \frac{1}{3} \end{bmatrix} u(1)$$

$$= \begin{bmatrix} 1 \\ \frac{1}{2} \end{bmatrix} - \begin{bmatrix} 1 \\ \frac{1}{2} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix}$$

즉 제어정책은 $u(0) = 0, u(1) = -1$ 으로 구성됨을 알 수 있다.

(2) 시간 지연을 수반하는 시스템에서의 최단시간 제어기의 해석적 구조.

식 (3)으로 주어지는 시스템에서의 제어입력 $u(k)$

가 주어진 $x(k)$ 에 대하여 동일 시각에 계산되지 않고 시간 지연이 있는 경우에는 최단시간 제어정책인 식 (10)을 직접 실현할 수가 없다. 따라서 우리가 할 수 있는 제어기에 관한 최상의 수학적 모형은

$$u(k) = f(x(k-1) + \delta_k(u_{k-1}, u_{k-2}, \dots, x(k-2), x(k-3), \dots)) \quad (18)$$

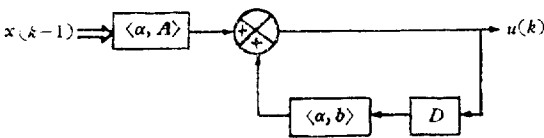
가 될 것이다. 여기서 δ_k 는 t_k 이전의 치에 종속된 임의의 미지함수이다. 한편 오차를 수반하지 않은 최단시간 제어정책은 식 (10)으로 주어져야 하므로, 식 (10)과 식 (18)이 동시에 만족하기 위하여는 식 (10)의 $x(k)$ 를 $x(k)$ 의 추측상대벡터인 $x_e(k)$ 로 치환하면 된다. $x_e(k)$ 는 식 (3)에서

$$x_e(k) = A x(k-1) + b u(k-1) \quad (19)$$

가 된다. 왜냐하면 식 (3)은 확정 시스템에 대해서는 항등적으로 성립하기 때문에 식 (19)의 $x_e(k)$ 는 $x(k)$ 의 정확한 추측기(estimator)라 볼 수 있다. 따라서 식 (10)과 식 (19)에 의하여

$$\begin{aligned} u(k) &= \langle \alpha, x(k) \rangle \\ &= \langle \alpha, A x(k-1) + b u(k-1) \rangle \\ &= \langle \alpha, A x(k-1) \rangle + \langle \alpha, b u(k-1) \rangle \end{aligned} \quad (20)$$

식 (20)은 시간지연이 있는 선형시불변 이산 제어시스템의 최단시간제어를 위한 제어정책이며 이를 불럭선도로 표시한 것이 그림 1이다.



단, D 는 지연요소임.

그림 1. 1주기의 시간지연을 갖은 제어기의 계통도
Fig. 1 Schematic representation of the controller with one period delay

식 (20)의 결과를

$$u(k+1) = Ax(k) + b u(k-q) \quad (21)$$

인 경우와 같이 시스템의 응답과 제어입력 사이에 q 주기의 시간지연이 있는 제어기로 일반화 시켰을 때의 최단시간 제어기의 제어정책과 그 구조는 기납법적으로 다음과 같이 유도할 수 있으며 그림 2는 이 경우의 계통도이다.

1주기의 시간 지연이 있는 시스템의 최단시간 제어기의 제어정책은 식 (20)과 같이 주어지므로 2주기 시간지연 시스템에 대한 제어 정책은

$$\begin{aligned} u(k) &= \langle \alpha, x_e(k) \rangle \\ &= \langle \alpha, A x(k-1) \rangle + \langle \alpha, b u(k-1) \rangle \\ &= \langle \alpha, A[A x(k-2) + b u(k-2)] \rangle \end{aligned}$$

$$\begin{aligned} &+ \langle \alpha, b u(k-1) \rangle \\ &= \langle \alpha, A^2 x(k-2) \rangle + \langle \alpha, A b u(k-2) \rangle \\ &+ \langle \alpha, b u(k-1) \rangle \end{aligned}$$

한편 3주기 시간지연 시스템에 대해서는

$$\begin{aligned} u(k) &= \langle \alpha, A^2[Ax(k-3) + bu(k-3)] \rangle \\ &+ \langle \alpha, A b u(k-2) \rangle + \langle \alpha, b u(k-1) \rangle \\ &= \langle \alpha, A^3 x(k-3) \rangle + \langle \alpha, A^2 b u(k-3) \rangle \\ &+ \langle \alpha, A b u(k-2) \rangle + \langle \alpha, b u(k-1) \rangle \end{aligned}$$

따라서 q 주기의 시간지연을 있는 시스템의 최단시간 제어기의 제어정책은 위 식들의 귀납법적인 계산과정을 거쳐 식 (22)로, 그리고 이를 위한 제어기의 계통도는 그림 2와 같이 주어질 것이다.

$$\begin{aligned} u(k) &= \langle \alpha, A^q x(k-q) \rangle + \langle \alpha, A^{q-1} b u(k-q) \rangle \\ &+ \dots + \langle \alpha, b u(k-1) \rangle \end{aligned} \quad (22)$$

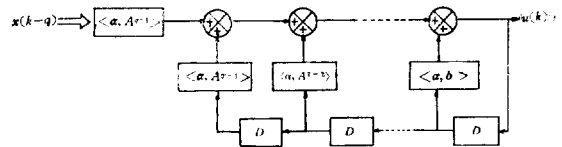


그림 2. q 주기의 시간 지연을 갖은 제어기의 계통도
Fig. 2 Schematic representation of the controller with q periods delay

보기-2

$$x(k+1) = \begin{bmatrix} \frac{1}{2} & 0 \\ 0 & \frac{1}{4} \end{bmatrix} x(k) + \begin{bmatrix} \frac{1}{2} \\ \frac{1}{4} \end{bmatrix} u(k),$$

$$\text{단, } x(0) = \begin{bmatrix} 3 \\ 2 \end{bmatrix}, u(0) = 0$$

인 상태방정식으로 주어지는 시스템이 1주기 시간지연을 갖는 경우의 제어기의 제어정책을 구하며 시간지연이 없는 경우와 비교 검토하기로 한다.

보기 1에서와 같은 방법으로 α 를 구하면,

$$\alpha = \begin{bmatrix} -2 \\ 1 \end{bmatrix} \text{으로 주어지므로, 식 (20)에 의하여}$$

$$u(k) = [-2 \ 1] \begin{bmatrix} \frac{1}{2} & 0 \\ 0 & \frac{1}{4} \end{bmatrix} x(k-1) + [-2 \ 1]$$

$$\begin{bmatrix} \frac{1}{2} \\ \frac{1}{4} \end{bmatrix} u(k-1)$$

$$= [-1 \ \frac{1}{4}] x(k-1) - \frac{3}{4} u(k-1)$$

식 (3)에 의하여

$$x(1) = \begin{bmatrix} \frac{1}{2} & 0 \\ 0 & \frac{1}{4} \end{bmatrix} \begin{bmatrix} 3 \\ 2 \end{bmatrix} + \begin{bmatrix} \frac{1}{2} \\ \frac{1}{4} \end{bmatrix} (0) = \begin{bmatrix} \frac{3}{2} \\ \frac{1}{2} \end{bmatrix}$$

$$\therefore u(1) = \left[-1 \quad \frac{1}{4} \right] \begin{bmatrix} 3 \\ 2 \end{bmatrix} - \frac{3}{4}(0) = -\frac{5}{2}$$

마찬가지 방법으로

$$x(2) = \begin{bmatrix} -\frac{1}{2} \\ -\frac{1}{2} \end{bmatrix}, \quad u(2) = \frac{1}{2}$$

및

$$x(3) = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad u(3) = 0 \quad (23)$$

식 (23)은 1주기 시간지연이 있는 경우의 최단시간 제어는 3샘플(sample) 주기에서 성취됨을 의미한다. 한편 이 보기에서 주어진 시스템을 시간지연이 없다고 가정하여 보기-1에서와 같은 방법으로 최단시간 제어를 구하면 2샘플 주기에서 성취됨을 알 수 있다. 따라서 이 보기는 제어입력에서의 1주기 시간지연은 최단시간 제어가 이루어지는 시점이 1샘플 주기 만큼 늦어짐을 나타낸다.

4. 응용

위에서 얻은 결과를 신호 추적 문제에 대한 적용 가능성을 검토 후 그 보기를 들기로 한다.

신호의 상태를 추적할 시스템은 전과 같이

$$x(k+1) = A x(k) + b u(k) \quad (24)$$

로 하고, 피추적 신호상태 벡터를 $\mathcal{E}(k)$, $k=0, 1, 2, \dots$, n , 로 표시한다. 이때 신호추적 오차상태 벡터 $e(k)$ 는

$$e(k) = S(k) - \mathcal{E}(k) \quad (25)$$

와 같이 정의한다. 만일 신호추적 최단시간제어가 $k=m$ 에서 이뤄졌다면 $k > m$ 인 모든 k 에 대해서

$$e(m) = 0 \text{ 즉,}$$

$$e(m) = e(m+1) = \dots = 0$$

가 성립할 것이다. 한편 주어진 문제설정이 확정적 시스템을 대상으로 하였기에 신호상태방정식 역시 확정적 수학적형으로 다음과 같이 가정한다.

$$S(k+1) = A_1 S(k) \quad (26)$$

(1) $A_1 = A$ 인 경우 :

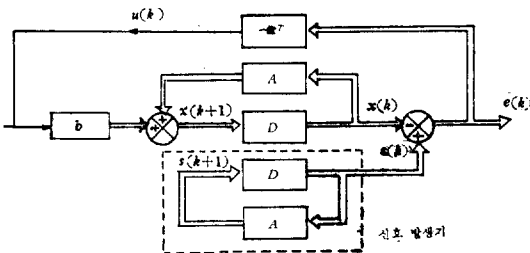


그림 3. 신호상태 벡터추적제어기의 계통도

Fig. 3 Schematic representation of the tracking controller.

식 (24)와 (26)에 의하여

$$e(k+1) = A e(k) - b u(k) \dots \dots \dots (27)$$

식 (27)은 식 (3)과 동일 형식이므로 최단시간 제어 정책은 식 (10)과 같이

$$u(k) = -\langle \alpha, e(k) \rangle \dots \dots \dots (28)$$

으로 주어질 것이며, 신호상태추적제어기의 계통도는 그림 3과 같다.

(2) $A_1 \neq A$ 인 경우 :

만일 최단시간제어가 $k=m$ 에서 가능하다고 가정하면 $e(m) = e(m+1) = 0$

$$\text{따라서 } e(m+1) = A_1 S(m) - A x(m)$$

$$b u(m) = 0 \dots \dots \dots (29)$$

$$\therefore (A_1 - A)S(m) = b u(m) \dots \dots \dots (30)$$

식 (30)은 임의의 모든 $S(m)$ 에 대해서 성립할 수 없으므로 최단제어가 불가능함을 알 수 있다.

보기-3 : $A_1 = A$ 인 경우

보기-2의 시스템에서 $x(0) = \begin{bmatrix} 5 \\ 1 \end{bmatrix}$, $S(0) = \begin{bmatrix} 1 \\ 2 \end{bmatrix}$ 로 가정하던 $e(0) = \begin{bmatrix} -4 \\ 1 \end{bmatrix}$, $u(0) = -9$ 가 되어 $x(1) = \begin{bmatrix} -2 \\ 2 \end{bmatrix}$

한편 $S(1) = \begin{bmatrix} 1 \\ 2 \end{bmatrix}$, $e(1) = \begin{bmatrix} 5 \\ 2 \end{bmatrix}$ 가 되어 $u(1) = \frac{5}{2}$

따라서

$$x(2) = A x(1) + b u(1) = \begin{bmatrix} \frac{1}{4} \\ \frac{1}{8} \end{bmatrix}$$

$$\text{한편 } S(2) = A S(1) = \begin{bmatrix} 1 \\ 8 \end{bmatrix}$$

$$\therefore e(2) = x(2) - S(2) = 0$$

즉 2 sample 주기에서 최단제어가 성립되었음을 알 수 있다.

5. 결론

선형 시불변 이산 제어 시스템의 최단시간제어를 위한 피드백 제어기의 제어정책을 $u(k) = \langle \alpha, x(k) \rangle$ 와 같이 밝혔고, 항상 Q 는 H 에 유사함을 증명하였다. 한편 시간지연을 갖는 제어기의 최단시간제어정책은 지연시간과 동일 샘플주기의 지연을 가져옴을 예증하였다. 본 논문에서는 단일제어입력인 경우에만 국한시켰으나, 만일 다중제어입력 즉, (1)식으로주어지는 경우의 최단시간제어를 위한 제어기의 해석적 구조와 설계 및 제어정책의 수립은 앞으로의 연구과제로 볼 수 있겠다.

참고 문헌

[1] Kalman, R.E.: On the General Theory of Co-

- ntrol Systems, Proc. First Inten. Congr. Automatic Control, Moscow, 1960, Butterworth & Co. London, (1961)
- [2] _____ : Canonical structure of Linear Dynamical Systems, Proc. Natl. Acad. Sci. U.S., Vol 48, no.4, pp 596—600, (1962)
- [3] Zadeh, L.A., and C.A. Desoer: Linear Systems Theory, McGraw-Hill Book Company, New York, (1963)
- [4] Athans Fabs: Optimal Control, McGraw Hill (1967)
- [5] Kuh, E.S., and R.A. Rohrer; The State-Variable Approach to Network Analysis. Proc. IEEE, Vol 53, No.7 pp 672-686, (1965)
- [6] Freeman, H., Discrete-Time Systems, Wiley, New York, (1965)
- [7] Tou, J.T.: Digital and Sampled-Data Control Systems, McGraw-Hill, New York, (1959)
- [8] Kalman, R.E., and J.E. Bertram: A Unified Approach to the Theory of Sampling Systems, J. Franklin Inst., Vol. 267, pp 405—436, (1956)
- [9] Timoth and Bona: State Space Analysis, Chapt. 8, MaGraw-Hill (1968)