

技術解説-1

半導體 IC 記憶裝置

金 洪 龍*

序 論

記憶裝置는 大別하여 內部記憶裝置와 外部記憶裝置로 分類할수 있다. 內部記憶裝置는 主記憶裝置라고도 한다. 內部記憶裝置는 Cycle time 이 짧아야 하고 記憶場所의 선택이 自由로워야 하고 工業的 大量生産이 可能하여야 하고 cost 가 적어야 한다. 컴퓨터가 발명된 初期에는 磁氣드럼을 利用한 기억장치가 많았으나, 現在는 거의 全部가 磁氣코어를 사용하고 있다. 기억장치의 原理에 따라 安定된 두개의 상태를 取할수 있는, 現象을 갖는 것이면 기억소자로서 사용할수 있는 것이다.

磁氣코어를 사용한 기억장치의 코어매트릭스는 매트릭스를 구성하는데 상당한 努力이 필요하고 cost 가 크고, 形狀도 現在 가장 적은 10mil 보다 더 적게 할수 없고 메모리 사이클도 0.8~1μs 가 限度로 되어 있다. 이러한 여러가지 理由는 새로운 記憶裝置가 研究開發되고 있다. 그 중에서도 대표적인 것으로는 크게 나누어 다섯가지가 있다. 즉 磁性메모리, LSI 메모리, 極低溫메모리 그리고 光 및 超音波 메모리 등이다. 그러나 이들 가운데에서도 주목을 끄는 것은 磁性메모리와 LSI 메모리 이다.

磁性메모리 가운데에도 磁性薄膜과 厚膜메모리가 있고 最近 특히 관심을 끌게된 Bubbl domain 裝置가 있다.

LSI 메모리는 半導體의 集積化 技術의 開發에 따라 半導體회로의 記憶素子を LSI 로 구성한 것이다.

半導體의 集積化는 1960 年代에 들어서서 그 方向이 명확해 졌다. 즉, 그 形式이 高密度組立方式, 半導體集積回路, 薄膜, 및 厚膜을 사용한

混成集積回路로 分類할수 있게 되었다.

集積回路가 디지털장치에 實用화된 것은 1963~1964 年이 있고 混成集積回路(Hybrid IC)에서 점차 半導體集積回路(Monolithic Semiconductor Integrated Circuit)가 主流로 되었다. 이때부터 IC 가 단순히 超小形化라는 單一目標보다도 集積化技術에 따라 얻을 수 있는 經濟性, 信賴性, 그리고 사용하기 쉬운점 등이 명백해져 各方面에서 開發에 注力하게 되었다.

오늘날에 와서는 集積回路의 主流가 모노리틱으로 移行되고 있으나, 薄膜 및 厚膜을 사용한 混成集積回路도 널리 應用되고 있다. 디지털 技術의 應用方面에 있어서는 1965 年 경부터 그때까지 單位機能回路 이었던것이 보다 高次의 구성으로 擴大되고 大集積化(LSI)로서 研究開發되었다.

電子計算機構成要素 가운데서 集積化로 移行된 論理회로와 더불어 最近에는 기억장치의 IC化가 LSI 의 進歩에 따라 實用化되고 cost, 性能 그리고 새로운 用途에 대한 開發이 활발하다.

現在 모노리틱 기억방식에는, 보통 트랜지스터의 原理와 같은 bipolar 트랜지스터를 사용한 방식과 MOS 트랜지스터를 사용한 방식으로 大別되는데 그외에도 앞서 말한것의 混成에 의한 것, Ferrite 와 組合하여 그 周邊회로를 IC 化한 것 등이 있다.

bipolar 기억 방식과 MOS 기억 방식에는 각기 一長一短이 있으나 일반적으로 전자는 高速小容量의 目的으로, 후자는 動作速度가 bipolar 보다 떨어지나 bit 密度를 크게 할 수 있고 그 구성이 容易하여 大容量의 目的에 적합하고 最近에는 점차 大容量, 열가의 것이 나타나고 있다.

1. 모노리틱 記憶裝置

모노리틱 기억회로의 基本素子は flip-flop 으로

*崇實大學 電子計算所長, 電子計算學科 主任教授

구성되며 論理回路와 다른 점은 단지 flip flop 을多數 모아 놓은 것이 아니고 이러한것을 사용하여 記憶이라는 기능 단위로 구성되었다는 점이다. 즉 외부로부터는 制御信號과 入力정보가 주어지고, 素子에 情報를 記入하고 외부에 대해서는 出力정보를 읽고 信號로 하는 機能을 가져야 한다.

모노리틱 기억소자의 일반적인 특징은

- (1) 정보의 read-write에 요하는 access time 및 cycle time 이 고속이다.
 - (2) 기억에 요하는 電力이 적다.
 - (3) 論理構成에 따라 특 수 목적에 사용 할 수 있다. 예를 들면 아소시에티브 메모리 등.
 - (4) 기억 밀도가 크다.
 - (5) 장치, bit 당 cost 를 적게 할 수 있다.
- 등을 열거할 수 있다.

한편 문제점으로는 기억소자가 Volatile storage 이라는 것과 情報를 保有中은 연속하여 電力이 필요하다는 점이다.

그림 1 (a)에는 1 bit 의 read, write 기능을 갖춘 모노리틱 기억소자와, (b)에 기억 매트릭스의 論理구성을 표시 하였다.

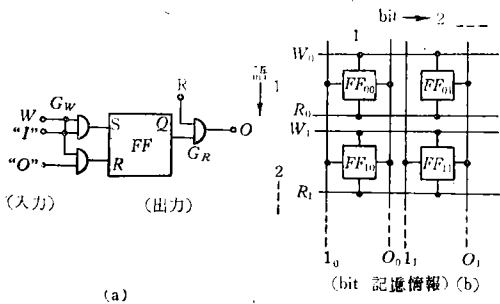


그림 1. (a) 모노리틱기억소자 (b) 기억 매트릭스의 論理構成

그림에서 FF 는 flip flop, \$G_w\$는 write 用개이트 \$G_r\$는 read 用 개이트를 표시한다. 入力에서 情報의 "1" 또는 "0"이 도입되어 개이트 W 에 write 신호를 주면 FF 는 入力情報에 따라 set 또는 reset 된다. 다음으로 read 신호가 개이트 R 에 주어지면, 개이트 \$G_r\$에서 FF 의 set 상태에 따르는 信號가 나타난다.

정보의 read 는 非파괴방식 (NDRO) 이고 따라

서 再記入의 필요가 없고 cycle 시간을 현저히 빠르게 할 수 있다.

2. 모노리틱 記憶裝置의 應用

計算機시스템에 있어서 기억장치의 구성은 現在, 단일 구성은 드물고 多層方式(Memory Module Bank System)이 일반적으로 사용된다.

그중 現在, 모노리틱 기억장치가 적용되는 層은 (1) 論理 resistor, (2) Scratch pad 또는 resistor 記憶, 制御기억, (3) 특수기능기억, 그리고 최근에는 (4) 주기억장치의 일부도 이것으로 대체되려는 경향이 있다.

이상에서 말한바와 같이 종래 사용된 ferrite 磁心, 薄膜등 주기억장치의 主流이었던 방식이 大部分 이 모노리틱 기억방식으로 대체될 것으로 豫想된다.

모노리틱 기억방식에서 특히 주목되는 것은 특수기능인 아소시에티브 메모리, 시후트 레지스터 방식등으로 종래의 磁性體記憶으로 이 論理回路를 實現시키자면 상당한 특수 구성이 필요하였는데 集積回路를 사용한 기억방식에서는 本質적으로 일반적 論理回路와 同一 레벨에 있어서 그 기능의 실현에 대한 自由度가 크다는 것이다.

또한 아소시에티브 기억의 應用은 어드레스 변환, 기억의 할당등에 관한 표의 檢索등, 時分割方式과 應用分野가 크다. 그리고 결점으로는 희발성이어서 기억내용을 잃어버릴 우려가있고 이점에서는 超傳導記憶方式이 특히 大容量에서는 有利할것으로 보인다.

시후트 레지스터는 Push down store 등 兩方向 시후트回路가 사용되고 이에 의하여 計算速度를 현저히 빠르게 할 수 있다.

固定記憶장치에 대한 응용은 現在 비교적 기억용량이 적은 것에 사용되고 있는데 製作이 容易하고 高速動作등 기억장치에 대한 응용은 일찍부터 實現되고 있다. 그 예로는 decoder, code 變換등이 있고 점차 그 容量을 증대 하고 있다.

3. 集積回路 種類

모노리틱 기억소자에 사용되는 集積回路方式

에는 전에 있던 일반 트랜지스터 다이오드를 IC 化한 방식인 bipolar 回路, 즉 DTL, TTL, CML 등 많은 回路方式이 開發되었다.

이 방식은 動作속도가 특히 우수하고 低임피던스 이어서 機器內的 배선에 적합하여 高速 目的으로 많이 사용된다.

MOST 를 사용한 MOS 기억방식은, 제조공정이 간단하고 優良品率이 높고 bipolar IC 보다 1 chip 上的 回路數를 크게 할 수 있어서 機能當의 가격이 낮아진다.

단 동작 속도가 낮고 임피던스가 높아서 그 사용법에 難點이 있어서 個別 IC 로서는 發展을 보지 못하였다. 그런데 LSI 로 되어 1 chip 上的 回路數를 증가하게되어 MOS 의 利點이 나타나 특히 LSI 기억장치는 驅動回路, read 回路에 트랜지스터를 사용하므로 低임피던스의 外部回路와도 접속이 용이하고, 최근에는 배선을 짧게 할 수 있어서 中速度의 bipolar 와 맞먹는 MOS 기억장치도 제작하게 되었다.

또한 MOS 回路는 소비전력이 적어서 LSI 기억 방식에 적합하고 가장 유망한 기억방식이다.

한편으로 bipolar LSI 도 최근의 研究 開發로 集積 密度가 점차 증가하여 MOS 에 匹敵하지 않는 기억 장치가 나타났다.

그외에 SOS (silicon on sapphire)라 불리우는 것으로 sapphire 를 실리콘單結晶과 接合시킨 방식이 開發되어 있다. 이 방식은 bipolar, MOS 에 자유로히 사용할 수 있다.

모노리틱 기억방식과는 다르나 종래의 Ferrite 코어 기억장치의 周邊回路에 모노리틱을 사용한 방식이 開發되어 있다.

4. 半導體 記憶裝置

MOST 또는 bipolar 를 사용한 기억회로는 現在 표준 크기로서 100 밀 角의 chip 가 많이 사용되는데 이것은 점차 150 밀 角 또는 그 이상의 크기로 바뀌어지고 있다. 그리하여 MOS 는 가격이 적어지고 점차 기억밀도를 증가하고 있다. 反面 bipolar 는 優良品率을 높힐 必要가 있고 보다 적당한 回路의 設計開發이 요청되고 있다.

現在 bipolar 기억방식은 고속, 小容量의 目的

에 應用되고, 大容量기억장치는 MOS 가 독점할 경향이 있다.

모노리틱 기억장치의 응용에 있어서 Read only 기억장치가 다수 발표되어 있는데 이것은 sequence 制御用, 코드變換, character Generator, lookup table 또는 프로그램 스트래이지에 사용되고 있다. 이 Read only 만을 하는 기억장치는 原理의으로도 간단하고 MOS 를 사용한 것으로서 사이클 타임은 100ns 정도 이다.

예를 들면 America Micro-System Inc 와 General Instrument 社에서 2,048 비트의 기억 소자를 84 × 106 밀 칩상에 꾸미고, 소비전력 約 130mw., 동작속도 2MHz (사이클 타임 500ns)의 MOS 論理方式이 발표되고 있다. 한편, 텍사스(TI)社에서는 bipolar 方式으로 512 비트, 사이클 타임 30 ns 가 상품화되고 있다.

兩方向시프트 래지스터는 풋슈다운 기억 방식에 사용되며 America Micro-System 에서 66 비트 래지스터가 單一 칩상에 꾸며진 것이 발표되고 있다. 또한 40비트, 213 비트가 對로 된 것이 제작되고 있다. 이 경우도 MOS 는 대규모의 것이 有利하나 래지스터는 高速動作이 요구되므로 現在는 bipolar 를 사용할 필요가 있다.

모노리틱 랜덤 액세스 기억장치는 現在, 小容量, 高速動作이라는 점에서 Scratch part 기억장치로서, 푸로셋서와 大容量의 랜덤 액세스 기억장치 (코어 메모리) 사이의 變換로 사용된다.

예를 들면 필코社에서는 64 비트, 사이클 타임 300ns 의 MOS 方式, 모트로라社에서는 256 비트의 MOS 가 발표되고 있다. bipolar 方式에 있어서는 트랜지스트론社가 16 비트의 Scratch-pad 를 발표하였는데, TTL 方式의 一致選擇方式을 사용하고 있다. 또한 모트로라社에서 16 비트의 TTL 方式으로 사이클 타임 50ns, 소비전력 250mW의 것이 발표되고 있다.

위에 말한것은 전부 기억소자와, 그의 周邊回路·선택회로가 同一 칩상에 꾸며져 있다. 메모리 回路를 포함하지 않는 것으로는 Fairchild 社의 16 語-4 비트(64 비트)의 Scratch-pad 기억장치로서 액세스 타임이 30ns 의 것이 있다. IBM 시스템 360/85 에 장치된 變換 기억장치는 bipolar

方式이다.

現在の MOS 비트密度는 bipolar 方式의 약 20 배정도가 되리라 예상되며, bipolar 方式에서는 1 칩상에 기술적인 면에서 100 비트가 限界가 아닌가 한다. 이점을 고려하여 現在の MOS 는 1709 年에 1000 비트 정도를 200 밀角의 칩상에 제작 하는것이 가장 경제적이라 본다. 이경우의 액세스 타임은 20ns 정도가 목표로 되어 있다.

한편으로, MOS 와 bipolar 를 組合한 方式도 구상되어 P-channel MOS 칩을 기억소자로 사용하고 그 周邊回路가 되는 Read 증폭기 및 구동 회로를 bipolar 로하여 兩者의 하이브리드 構成으로 하는 方式도 有利한 方向이다.

또한 P-channel MOS 는 제작이 용이하고, 소비전력이 적고 優良品率이 높고 高密度로 할 수 있어서 가장 有望한 方式이다. 이에 대하여 P-Channel 과 N-channel 을 사용한 Complementary MOS 는 그 製造공정이 P-channel 만의 경우 약 25 스텝인데 비하여 倍의 50 스텝 걸린다. 그리고 bipolar 方式에서는 150 스텝이다.

이상과 같이 MOS 는 記憶素子로서 有利한 點이 많고 그 중에서도 P-channel MOS 가 가장 尤望하다.

要約을 한다면 MOS 는 bipolar 에 비하여 밀접하게 팩킹할 수 있고, 기억밀도를 크게 할 수 있다. 또한 전력 소비가 적고 發熱이 적다. P-Channel MOS 는 製造공정이 간단하다. 磁心記憶裝置에 비하면 동작속도, 기억밀도가 크고 소비전력이 적고 Read 신호가 크고 Noise 가 적다. 濕度에 있어서도 우수하게 設計된 MOS 回路는 磁心코어 보다 양호하다.

또한 優良品率은 製造과정의 기술적 경험이 크게 좌우하므로 앞으로 크게 向上될것으로 본다.

끝으로 모노리틱 기억장치는 특수용도로서 아소시에티브 기억, 또는 Content Addressable 기억 등 기억과 論理動作의 두기능을 겸해있어 磁心 기억장치를 능가한다. 단 기억내용이 휘발성이여서 一次 電源의 사고등이 치명적이다.

이 점에서 超傳導方式은 有利한 特性을 갖고 있다고 할 수 있다. 또한 아소시에티브 기억방식으로한 경우 LSI 가운데에 不良한 비트가 있어도 쏠어레이를 패기 할것 없고 容量만 減少시키면된다는 利點이 있다.

5. Bipolar 半導體記憶方式

Bipolar 트랜지스터를 사용한 IC 기억방식은 많

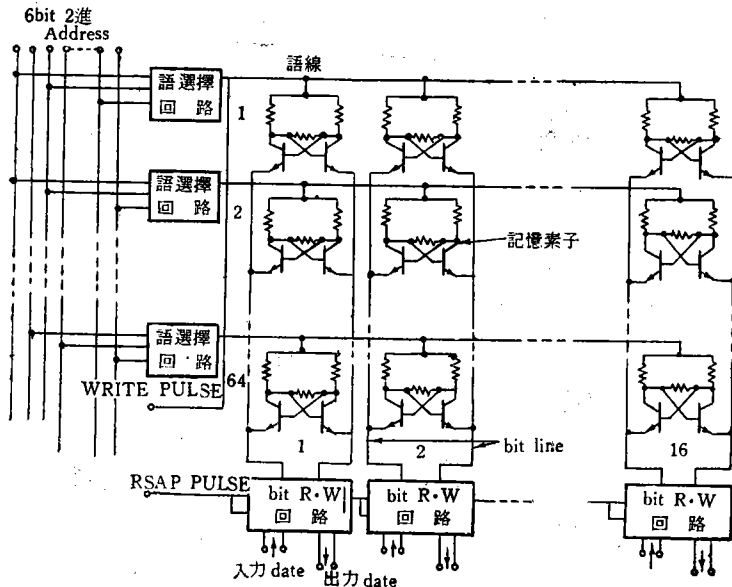


그림 2. bipolar 기억장치 회로도

이 발표되어 있다. 여기서는 그語 16 비트語의 예를 소개한다.

기억소자는 直結形의 Flip-flop가 基本이 되고 30×38 밀 칩 16 개로 나누어 集積化하고 있다. 즉, 1 비트, 64 語의 칩 16 개를 組合하여 語選擇方式으로 구성하였다. 또한 이 기억방식에 아무런 변화를 주지않고 連想기억방식으로 사용할 수 있게 되어 있다. 기억정보의 Read는 非破壞 Read (NDRO) 방식으로 Read, Write 사이클 시간은 100ns 이다.

그림 2는 bipolar 기억장치의 회로이다. 情報의 write는 各語單位로 이루어지고, 실제에 있어서 그림에서 語線에 거는 電位를 낮추어 Flip-flop을 off로 한다. 이 때 "1"을 記入하는 비트 위치에는, pair로 된 그 장소의 비트 선에 미소 신호를 가한다. 그 상태에서 語線의 電位를 원래의 상태로 하면 各語의 flip-flop은 write 정보에 따라 셋트된다.

정보의 Read는 선택된 語線의 電位를 2.0V 정도 높혀 약 6.0V로 한다. 그러던 보통 2.5mA의 전류변화가 각 기억정보에 따라 비트 對線의 그 어느것에 나타나므로 이것을 Read하면 된다. 連想記憶으로 하는 경우, 入力情報와의 비교를 취하기 위하여 적당한 비트線에 펄스를 가하면 語線에 펄스가 나타나지 않는 語가 入力情報와의 一致를 나타낸다.

한개의 기억소자 (Flip-Flop)의 소비전류는 약 0.5mA 이고, 1,024 셀의 소비전력은 약 1W 정도이다. 트랜지스터로는 표준 확산형에 피타시얼 이고 비임리이드를 사용한다.

그림 3 (a)의 語선택회로는 6 비트의 2進 어드레스를 decode 할 수 있고 이에따라 선정된 語에 Read 또는 write 구동전류 및 保持電流를 加한다. 비트 驅動과 detection 回路를 그림 3 (b)에 표시한다.

6. MOS 半導體 Random Access 記憶方式

現在 가장 주목되고 있는 MOS 半導體 IC에 관하여 言及하기로 한다.

칩의 크기는 1 語 4 비트 16 語, 즉 64 비트가

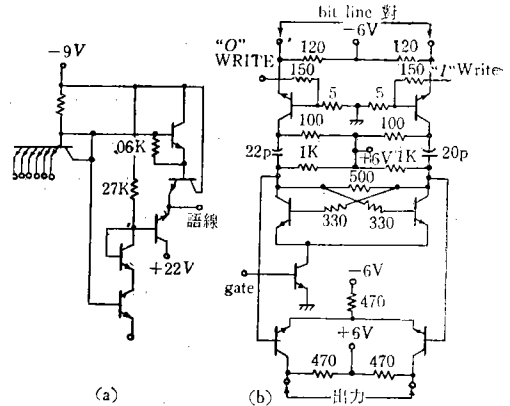


그림 3. (a) 語선택회로 (b) 비트驅動 및 회로 그림 3 (a) (b)

收容되고 여기에 語選擇用 decode 回路가 있고 4 비트의 入力으로 16 語를 선택할 수 있도록 구성 되어 있다. 全回路는 447 개의 MOS 트랜지스터와 4 개의 擴散抵抵으로 되어있다.

Read 방식은 非破壞方式으로 비트를 並列로 한다. 電源은 15V 한종류로서 消費電力은 60~120mW 이다. 칩의 크기는 115×145 밀 이고, 12 리이드의 TO-5 header가 사용되고 있다. 필요에 따라 이 칩을 並列로 接續하여 큰 Random access 기억장치로 할수 있다. 그림 4에 P形 MOS 트랜지스터의 모형을 표시 하였다. 그림 5에는 MOST 回路의 記號와 端子表示를 하였다.

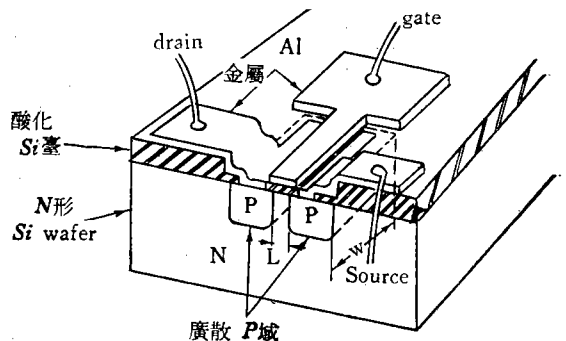


그림 4. P形 MOS 트랜지스터의 모형도

6-1. MOST의 論理構成

MOST는 高入力임피던스로서 各 트랜지스터 間에 특별한 接連이 필요없다. 따라서 素子는 設計時 융통성이 있어서 論理回路에 적합하다.

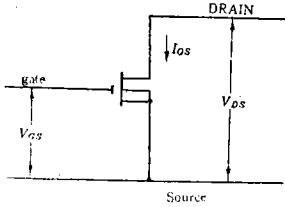


그림 5. MOST 회로의 기호와 端子表示

그림 6 은 간단한 MOST 論理 回路이다. (a) 은 트랜지스터 NOR 이며 여기에 스텝 입력 電壓을 가하면 이때의 turn on 에 시간 t_{on} 은 다음式으로 주어진다.

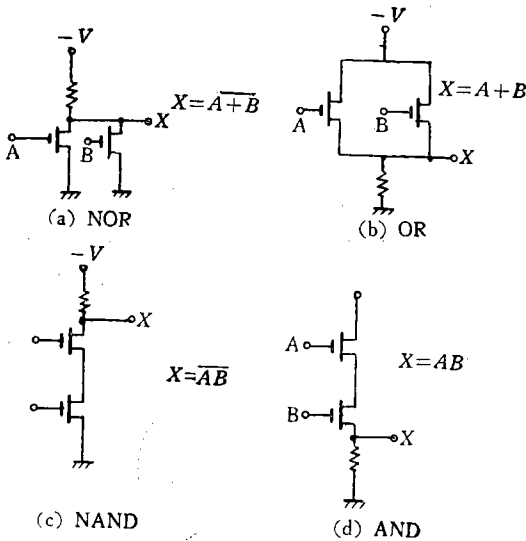


그림 6. MOST 論理回路

$$t_{on} = \frac{4V_{DS}C_{total}}{I_{DS}}$$

여기서 $4V_{DS}=15V$, $C_{total}=10pF$, $I_{DS}=4mA$,

$$\text{따라서 } t_{on} = \frac{15 \times 10 \times 10^{-12}}{4 \times 10^{-3}} = 37.5ns$$

off 의 시간은 RC 時定數로 制限되어 90% 까지의 시간은 대략 다음 式으로 주어진다.

$$t_{off} = 2.3R_2 C_{total}$$

負荷抵抗의 最少値는 MOST 의 동작특성으로부터 구해지는데 이 예에서는 $10K\Omega$ 이다.

$$\text{따라서 } t_{off} = 2.3 \times 10 \times 10^4 \times 10^{-12} = 230ns$$

단 실제 장치에 있어서 MOST 동작속도는 약간 늦는다.

그림 6 (b)는 "Source Follower"라 불리우는 回路로서 emitter follower 와 유사하다. 단 off set 의 전압이 약 5V 높다. 따라서 실제 사용시 제한을 받는다.

그림 6 (c)는 MOST 를 直列結合한 NAND 합수이다. on 의 경우는 각트랜지스터의 임피던스의 합이되므로 그數에 比例하여 증가한다. 따라서 飽和電流値는 트랜지스터의 數에 反比例하여 減少한다. NAND 의 on, off 시간은 NOR 보다 커지는 結점이 있다.

그림 6 (d)는 直列 AND 게이트로서, off set 電壓은 OR 게이트 보다 크고, 동작속도가 늦다. 간단한 論理回路의 例로서 $X = \overline{AB+C}$ 를 MOST 의 NOR 回路로 實現하면 그림 7 에 표시하는바와 같이 4 개의 게이트에 의하여 구성 되고 실제

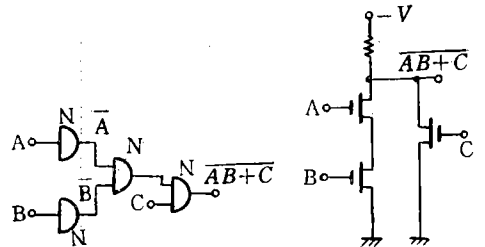


그림 7. MOST NOR 회로

의 回路는 세줄의 MOST 와 한개의 부하 저항으로 구성된다. 이 부하저항의 값은 $10K\Omega$ 또는 그 보다 큰것이 필요한데, 만일에 여기에 擴散形 抵抗을 사용하려면 $100\Omega/square$ 정도 이어서 그다지 有利하지 않다.

따라서 IC 어레이 中에서는 同一한 MOST 素子로 負荷抵抗에 사용하는 方法이 있다. 그림 8 에 負荷抵抗에 MOST 를 사용한 例를 두개 표시하였다.

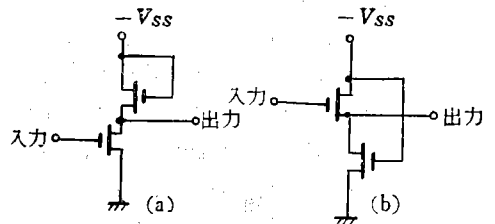


그림 8. 負荷抵抗에 MOST 를 사용한 例

6.2 記憶素子回路

그림 9에 MOST 기억 칩의 부록크線圖를 표시 한다. 또한 그림 10에 基本이되는 記憶셀의 回路를 표시한다.

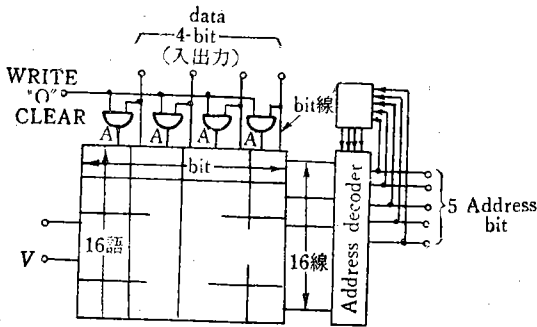


그림 9. MOST 기억 칩의 부록크線圖

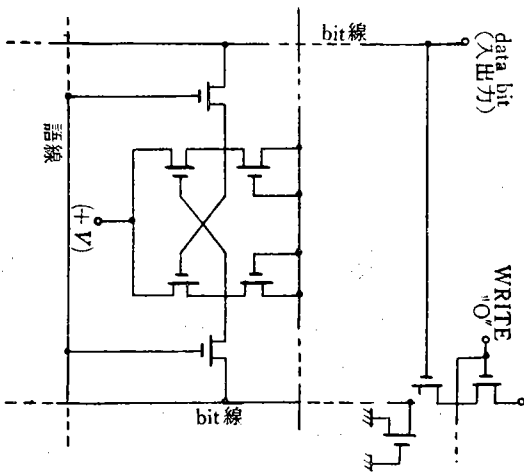


그림 10. 기억 셀의 회로

4×16 비트의 기억소자는 flip-flop가 基本이코 여기에 두개의 低 Conductance MOST 부하저항으로서 사용되고 있다.

負荷에 사용하고 있는 素子는 다른 트랜지스터의 약 1/40의 導電性을 갖고 있다. -15V에서 40nA가 흐르는. 따라서 셀 한개당 소비전력은 약 0.6mW 정도가 된다. 이 회로의 누설전류는 nA 정도이므로 40nA이라도 누설의 數倍 크다. 또한 칩은 125°C의 高溫에서도 충분히 安定動作하는 것이 確認되었다.

그림에서 入出力側에 사용되고 있는 두개의 트랜지스터는 直結形의 게이트로서 語線과 비트線

間에서 AND 구성으로 되어 있고 write에 사용된다. 또같이 語線과 flip flop間에서는 Read 동작을 한다. 보통 兩비트線은 接地電位가 되어있고 語線은 正의 電位가 걸려 있다. 따라서 flip flop은 비트선에서 분리된 상태로 되어 있다. 情報의 Read는 선택된 語線을 負로하고 두개의 出力用트랜지스터 on으로 하며 실행한다.

write는 負의 電壓을 write "0" 단자에 가하고 동시에 正의 電壓을 "데이터 비트" 단자에 가하면 "1"의 write를 실행한다. "0"의 write는 左側 비트線을 接地電位로 하면 右側의 비트線상에 있는 트랜지스터는 on이 되고 이線은 正이된다. 그리하여 선택된 語線상의 flip flop에 "0"가記入된다. 즉 선택된 語線을 接地電位로 하고 이때의 入出力트랜지스터를 入力情報에 따라 flip flop의 아노오드에 접속 (on으로 한다) 하므로서 달성한다.

16語의 語線에서 그중 한줄을 선택하는 어드레스 디코더 回路는 표준 투리이形 매트릭스로서 그림 11에 표시하였다. 이 투리이形 디코더 回路에 필요한 素子數는 다음 式으로 주어진다.

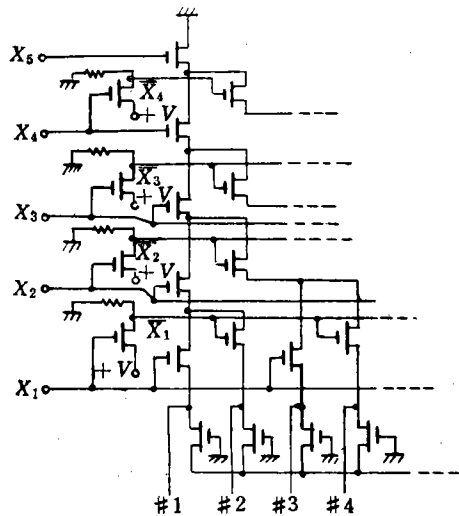


그림 11. 어드레스 디코더 回路

$$X = 2(2^n - 1)$$

X는 디코더에 사용되는 트랜지스터의 總數, n는 디코더 되는 어드레스 비트數 (여기서는 5), 따라서 X=31이 된다.

16語의 기억장치에 사용되는 트랜지스터 총수는 80 개 정도이다. MOS 기억소자는 多重構成으로하여 大容量의 것도 용이하게 만들 수 있다. 그림 12 에 16개의 칩을 겹치고 256語로 하는 방법을 표시하였다.

7. Sapphire 相反形 MOS (SOS) 記憶方式

相反形 MOS 는 低消費電力, 動作特性的 許容 및 高速性이 우수하나 N 채널 트랜지스터와 P 채널 트랜지스터間的 絶緣성이 실리콘結晶에서는 낮아서 문제가 되고있다. 이를 대신하여 나온것이 Sapphire 結晶을 사용한 方式으로 다음에 설명한다.

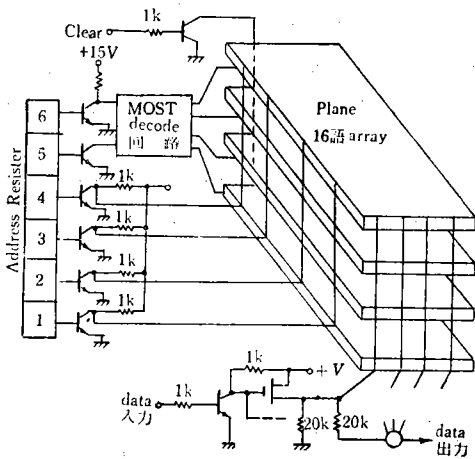


그림 12. MOS 기억소자의 多重構成

그림 13 (a)는 N 채널 MOS 및 P 채널 MOS 를, Sapphire 單結晶上에 構成한 구조를 모형 표시 한것이다. 같은 구상이 内部 絶緣의 실리콘 導體에도 사용되며 그림 13 (b)에 표시하였다. 여기에 사용된 P 채널 트랜지스터는 “deep depletion” 形式, N 채널 트랜지스터는 보통의 NPN 接合形이다.

그림 14 에 相反形 MOS 셀의 配線을 표시한다. 情報의 write 는 正의 펄스를 “WRITE” 단자에 가하고, 이에 의하여 flip flop 의 feed back 回路가 open 상태가 된다. “digit/sense” 단자에 write 정보를 가하고 “C”에서 셀에 도입한다. 어느 지

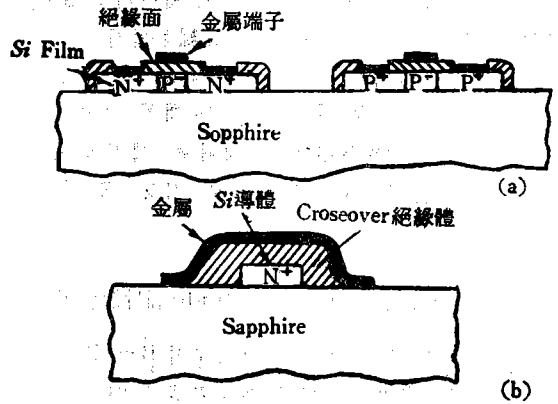


그림 13. Sapphire 結晶을 사용한 MOS 트랜지스터

연시간 후 “B”와 “C”의 電位가 同一하게 되어 “WRITE” 線이 0 으로 되고 이에 따라 feed back 回路는 다시 닫혀지고 flip flop 에 정보가 축적 된다.

정보의 Read 는 非破壞方式이고, 이것은 正의 펄스를 “READ” 단자에 걸고 그때의 “DIGIT/SENSE” 단자 전류를 체크하며 실행한다. 즉, 기억정보는 點 “B”의 전위에 의하여 달리 나타난다.

全셀은 20×25 밀 以下의 크기로 4 개의 칩을 코로스바로 結合하여 構成한다.

WRITE 時의 지연시간은 10V 를 사용하였을때 12ns 以下이고, 이것은 전압을 올리면 적어진다. 비트 當 전류는 1~10nA 이고 全소비전력은 全 當 10~10mW 이며 장차 더욱 적어 길것이 豫想 된다. 또한 지연시간도 5ns 까지 주릴 수 있다.

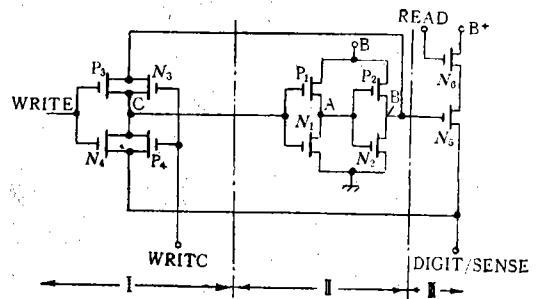


그림 14. 相反形 MOS 셀 配線圖

소비전력은 비트당 1mW以下가 되리라고 한다. 動作溫度는 $25^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 로 高溫下에서는 지연 시간이 25% 정도 증가 한다. 또한 예를 들은 MOS는 80×80 밀 칩으로서, 14개의 리이드 단자를 갖는 平板狀容量에 구성되고 이것을 結合하여 큰 Scratch pad 기억장치로 사용 할 수 있다.

8. Charge Transfer Diode 記憶素子

새로운 간단한 電子의 메모리로서 Bell Tel Lab에서 開發한것이다. 적은 메모리셀은 鎳 半도체 (Schottky) 다이오드로 구성 된다. 이 다이오드는 擴散에 의한 Pn 接合다이오드와 直列로 접속된 비교적 큰 가아드링을 갖고있다. 각기 접속된 셀은 15平方밀의 면적을 갖고며 각 메모리 아래이에 통하고 있다. 셀은 X,Y 구조를 갖고 있으며 X는 금속 비임, Y는 실리콘바아를 사용하여 만든다. 이셀은 정보를 大量 또는 小量 차아지 (1or0)된 형태로 逆바이어스된 Schottky 다이오드에 기억하기 위해 사용할 수 있다. 차아지는 정해진 비율로 감소 하며, 셀當(비트當) 十億分の 1 와트 전력으로 1/20 초 마다 보충된다. 이 設計는 "Charge transfer dioed memory"라고 불리우며 現在 사용되고 있는 실리콘 技術을 사용하고 있고, 제조 코스트도 낮아질것으로 본다.

그 이유는 구조가 간단하고 실리콘 칩위의 기억 소자밀도가 높기 때문이다. 실리콘 기술은 鎳 半도체 (Schottky) 다이오드와 擴散에 의한 Pn 다이오드와 同時에 集積化할 수 있다. Pn 接合 다이오드는 基本的으로 정보의 접수, 또는 메모리 셀로부터의 정보 삭제에 사용된다. 이 셀은 큰 센스信號, 약 1V가 얻어진다.

이 장치는 現在의 半導體 메모리 모듈보다 극히 적은 전력으로 충분하고, 高速 待機計算에 사용되는 微氣메모리 보다 코스트가 적고 高速이다.

半導體回路는 다른 電子시스템과 共存할 수 있고 정보 기억의 요구를 바꿀 수 있고 또한 동작의 信賴性이 높다.

이 回路의 低電力에 관한 요구는 다이오드를 차아지 하기 위하여 셀當 10 億分の 1 와트이 여서 小型의 高速시스템임과 동시에 大型의 計算機메모리에도 有效하게 사용할 수 있다. 大型計算機設備는 現在 電話局에서 必要하며 小型메모리 시스템은 加入者回線交換裝置에 필요하다 Bell Labs에서 開發한 이 새로운 半導體 메모리 디바이스는 多量の 回線메이더, 電話番號, 기타 情報의 記憶, 처리의 가능성을 가지며 電話局에서 보다 많은 수의 電話를 취급할 수 있을 것이다.

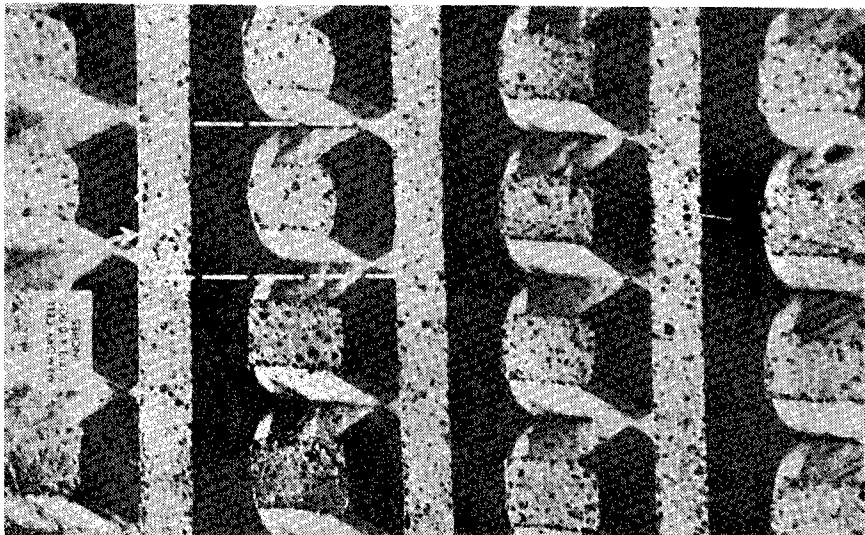


그림 15. 小形 메모리셀의 현미경 사진

정보기억요구의 變換을 信賴性있게 간단히 할 수 있어서 이 새로운 디바이스는 現在의 Random access, 磁氣 메모리 디바이스보다 코스트가 적어질 것이다.

小型 메모리 셀은 보통 현미경으로는 細部까

지 보이지 않는다 그림 15는 전자 현미경으로 본 것이다. 각 셀은 0.003×0.05 인치이며 1 비트의 정보를 취급한다. 사진에 보이는 먼지와 같은 것은 光의 波長의 기리를 나타 낸다.