

論 文 紹 介

高 速 時 間 分 析 回 路

林 寅 七*

本文은 筆者의 “高速時間分析回路”에 關한 研究論文(早稻田大學)에서 數編을 가려서 紹介한다

(1) Parallel Tunnel Diode Coincidence 回路

發表處 : IEEE Trans. Vol. NS-17, No. 2, pp.7~17, April. 1970

從來 Coincidence 回路는 眞空管 혹은 트랜지스터를 사용해왔으나, 高速化의 要求에 따라 Tunnel Diode 를 使用한 Coincidence 回路가 1961年에 出現하였다. 이와같이 Tunnel Diode 를 使用함으로써 高速動作이 可能하게되고, 分解時間을 ns 程度까지의 적은 값으로 設定할수 있으며 또 일정한 出力 Pulse 振幅을 얻을수 있다는點, 그외에 入力感度の 向上, 소모電力의 감소等 여러가지 長點을 가진다. 이에따라 Whetstone 과 Kounosu (美, 1962年), Dunaitsev(蘇, 1964年) 等에 依하여 Tunnel Diode 單安定回路를 利用한 Coincidence 回路가 提案되어있다. 이 原理에 依한 現在까지의 Tunnel Diode coincidence 回路는 위에 記述한 바와 같은 高速動作等많은 長點을 가지고 있으나 單安定回路에 入力電流를 線形加算하는 방식이므로 入力 Pulse 振幅과 바이아스電流를 妥協하여 設定하여야한다. 따라서, 電源電壓變動의 許容範圍 및 入力信號電流의 許容範圍가 極히 좁아서 誤動作을 일으킬 우려가 큰데서 實用化가 매우 困難하였다. 特히 從來提案되어있는 回路構成 原理로서는 入力端子數가 3個以上の 高速多重 coincidence 回路(論理回路로서 使用할 경우는 ANDgate)를 構成할경우 回路動作의 餘裕度가 더욱 좁아지므로 入力端子의 數가 制限된다.

本 論文은 위에論한 coincidence 回路의 高速化에 있어서의 諸問題에 對한 解決을 目標로하고 새로운 回路構成方式을 提案하여 그 回路動作에 對한 解析과 特性에 關해서 論한다.

여기에 提案한 回路는 그림 1 과 같이 3個의 Tunnel Diode 와 3個의 Schottky Barrier Diode 로서 構成된다. 回路에 入力 Pulse 가 들어오지 않는 狀態에서는 바이아스電流 I_B 는 S.B. Diode D_1, D_2, D_3 를 通하여 흐른다. 가령 input 1 에만 入力 pulse 가 加해졌다면 TD_1 은 스위칭되어 TD_1 兩端間의 電壓은 上昇하고 D_1 에 逆바이아스電壓이 걸리게된다. 따라서 D_1 을 흐르던 電流는 遮斷되고 바이아스電流 I_B 는 D_2, D_3 를 通하여 흐르게 된다. input 1, input 2 에 同時에 Pulse 가 加해지면 D_1, D_2 를 通하여 흐르던 電流는 遮斷되고 全바이아스電流 I_B 가 D_3 를 通하여 흐르게된다. 이 回路가 coincidence 回路로서 動作하기 위한 바이아스電流의 許容範圍는 $I_p < I_B < 2I_p$ (但, I_p 는 TD 의 peak 電流值)의 넓은 값을 갖으며 이 바이아스電流範圍는 入力 pulse 振幅에 關係하지 않

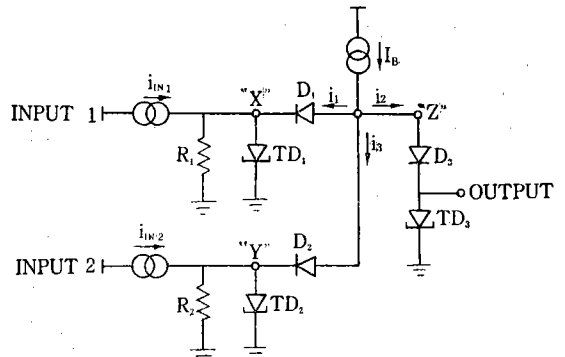


그림 1

* 漢陽大學校 電子工學科 (Dept. of Electronics Engineering Hanyang University)

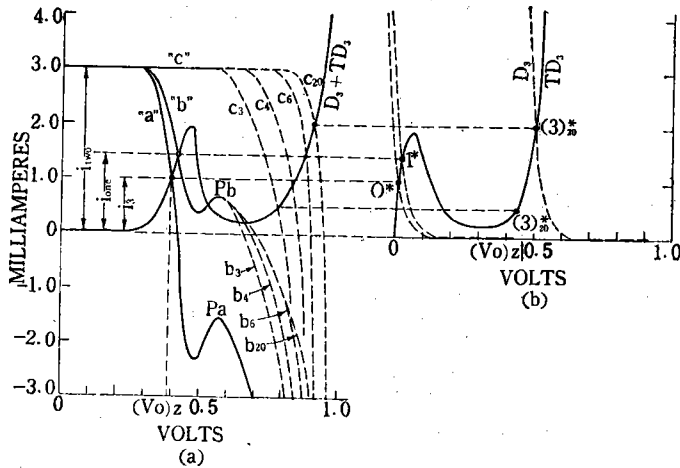


그림 2

는다. 그리고 1개의 入力 pulse가 들어왔을때와 두개의 入力 pulse가 同時에 들어왔을때의 TD_3 에 加해지는 電流의 比는 1:4로 一定하며(從來의 回路는 兩入力 pulse가 同一振幅을 가질경우 1:2의 비로되며, 同一振幅이 아닐경우는 그값이 振幅에 따라 變함) 그 各各의 경우의 電流의 量은 入力 pulse 振幅에는 無關하고 바이아스 電流 I_B 에 依存하도록 設計되어있다. (特許出願國: 日本, 特許權所有: 日本다케 다理研工業株式會社)

(2) 高速多重同時回路

發表處: 日本電子通信學會誌
第 53-C 卷 2 號 pp. 96-102,
1970年 2月

새로운 方式의 高速 multiple coincidence 回路를 提案하여 入力端子設定에 있어서의 그數의 制限을 解決하고 回路動作餘裕度를 2重 coincidence 回路와 同一하게 했다.

回路는 그림 3과 같이 構成되며 全入力端子에 pulse가 加해질경우에만 出力端의 Tunnel Diode에 全바이아스 電流 I_B 가 흘러서 出力 pulse가 얻어진다. 同時入力 pulse가 n 個일때와 $n-1$ 個일때와의 出力端의 Tunnel Diode TD_{n+1} 에 加해지는 電流의 比는 $2n/(n-1)$ 로써, 從來의 入力 電流를 加算하는 方式의 2배이다. 回路動作이 可能한 바이아스 電流의 範圍는

$$I_P < I_B < I_P \left[\frac{(R_D + R_E) + \left(R_D + \frac{R_E R}{R_E + R} \right)}{\left(R_D + \frac{R_E R}{R_E + R} \right)} \right]$$

로 된다. 但, R_D 는 Diode의 順方向抵抗, R_E 는 Tunnel Diode 特性의 第一領域의 抵抗, I_P 는 Tunnel Diode 特性의 peak 電流值이다.

n 個의 入力端子中에서 P 個가 入力 pulse를 받으면 D_{n+1} 또는 TD_{n+1} 에 흐르는 電流(i_{n+1}) P 는

$$(i_{n+1})_P = I_B \left[\frac{\left(R_D + \frac{R_E R}{R_E + R} \right)}{(n-P)(R_D + R_E) + \left(R_D + \frac{R_E R}{R_E + R} \right)} \right]$$

但, $P \leq n$

이고, $P = n-1$ 의경우는

$$(i_{n+1})_{P=n-1} = I_B/2$$

但, $R \gg R_E$

$P = n$ 일 경우는

$$(i_{n+1})_{P=n} = I_B$$

로 되어서 그 差는 n 의 값에 關係없이 $I_B/2$ 로 된다.

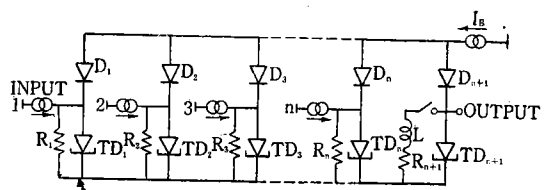


그림 3

그림 3의 D_{n+1} 과 TD_{n+1} 과의 직렬合成特成曲線에 對한 非線形負荷曲線을 생각하여 回路動作을 解析하고 回路를 構成하는 各素子の 값과 回路動作과의 關係를 明示했다.

(3) 高速時間：波高變換裝置

發表處：早稻田大學大學院 Ph.D論文集“高速時間分析回路에 關한 研究” 第3章 pp.38~54, 1969年

IC 特性試驗裝置, 陽電子壽命測定等に 使用되는 時間測定裝置의 構成을 爲한 高速時間：波高 converter 에 關하여 論한다.

Tunnel Diode 를 使用하여 (1) 두개의 整形된 入力 pulse 가 時間적으로 겹쳐지는 幅과 같은 時間幅의 出力 pulse 를 만들고, 그出力幅을 電壓振幅으로 變換하는 原理와, (2) 遲延된 start pulse 와 矩形波로 整形된 stop pulse 가 겹쳐지는 때로부터 두개의 pulse 가 모두 끝날때까지의 時間과 同一한 時間幅을 가진 出力 pulse 를 만들어서 그 出力幅을 電壓振幅으로 變換하는 原理의 回路를 構成했다. (3) 時間：波高變換이 서로 逆比例關

係를 갖이는 回路構成으로서 (1)의 原理를 利用하였으며 sub-nanosecond 範圍의 時間—波高變換의 直線性을 改善하여 分解能力을 10ps 까지 向上시켰으며 (1) (2) 原理에서는 特히 處僞出力電壓이 적고, 짧은 時間測定時의 動作安定도가 좋음이 特長이다. (特許出願國：日本, 特許權所有：日本 다케다 理研工業株式會社)

(4) 高速 pulse 整形回路

發表處：日本電子通信學會全國大會講演 論文集 No. 941, p.871, 1968

Tunnel Diode 單安定 回路의 前段에 pulse 波高 discriminator 와 limiter 를 接續해서 高速 pulse 整形回路를 構成했다. discriminator 는 둘로서 各各 0~0.9V 와 0.8V~10V 振幅의 入力 pulse 를 받을 수 있다. discriminator 의 pulse 波高選別 level 과 limiter 의 limiting level 의 設定에 依하여, Tunnel Diode 單安定回路의 高速動作에 있어서 出力 pulse 振幅, rise time 等の 量이 入力 pulse 의 影響을 받는것을 防止할 수 있게 되어 있다.