

演算增幅器와 溫度補償 다이오드에 의한

D-A 變換器의 特性改善

(On Improvement of D-A Converter)

李 熙 斗* · 安 秀 桔**

(Lee, Hee Doo)

(Ahn, Soo Kil)

要 約

같은 特性의 다이오드를 스위칭 用과 基準 電源 溫度補償에 使用하여 溫度特性을 改善한 디지털-아나로그 變換器를 研究하였다. 演算 增幅器를 使用함으로써 加算用 梯形回路網을 除去하고 改善된 直線性을 얻었다. Slew rate 增加를 피하여 1.5 mega bits 速度의 디지털 情報를 受信하여 出力電壓의 安定된 信號部分이 全時間의 80% 以上 持續하도록 하였다.

ABSTRACT

A Possibility of improving the temperature behavior by the use of a balanced diode compensation circuit in a Digital to Analogue converter is studied. Better linearity is achieved by eliminating the ladder network for the summation by means of an operational amplifier. Speed Consideration are taken to achieve 1.5 mega bits per second with more than 80% useful plateau.

1. 序 論

어떤 情報를 아나로그 量으로 屯채 取扱하는 代身 디지털 化하여 例를 들어 바이나리 量으로 取扱하면 여러 利點이 있다. 雜音과 誤差 및 非直線性에 各별한 考慮를 해야하는 아나로그 方式에 比해 바이나리는 分間해야 하는 狀態가 2個에 不過하기 때문에 選別이 容易하여 誤차가 介

入할可能性이 極少하며, Parity check 로써 處理 中인 情報의 正確을 다집할 수 있다. 이는 디지털 電子計算機의 發達과 普及 및 그에 따른 디지털 素子(主로 I.C.)의 高信賴度, 複合機能素子の 入手容易성과 아울러 情報의 디지털 計測 時代를 이루게 했고 이는 또한 디지털 量으로 變換되어 있는 情報는 디지털 電子計算機에 對한 入出力이 直接的이라는 點에서도 더욱더 有用한 것이다.

아나로그 形態로 있는 情報를 디지털로 變換하고 디지털 計測에 依해서 이 情報를 處理한 다음에 다시 아나로그 量으로 바꾸어오는데 A-D 變換器와 D-A 變換器를 使用하는데 特히 後者는 前者의 內部回路에 不可避하게 들어있어서 그에

* 전기통신 연구소 개발연구부

** 서울공대 전자공학과

Dept. of Electronic Eng. S.N. Univ.

接受日字: 1970年 7月 14日

關한 研究가 適用될 範圍가 넓다.

II. D-A 變換器

D-A 變換은 要求되는 精密度에 따라서 Bit 數가 커가는데 이 Bit 數를 n 이라고 하면 變換되는 아나로그量 A 는 다음 式으로 나타낸다.

$$A = w \left(B_1 \frac{1}{2} + B_2 \frac{1}{2^2} + B_3 \frac{1}{2^3} + \dots + B_n \frac{1}{2^n} \right) \dots \dots \dots (1)$$

但 w 는 取扱하는 아나로그 量의 最大値로서 MSB 인 첫項이 支配하는 量의 2 倍이며 要求되는 아나로그 出力最大値의 크기에 따라 그 Weight 를 定한다. $B_1, B_2, B_3, \dots, B_n$ 은 바이나리로 表示된 그 情報量의 各 Bit 이며 "0" 또는 "1" 中하나의 값만을 取하며 B_1 은 MSB, B_n 은 LSB 이다.

이러한 變換器를 實現하려면 이 式이 나타내는 바와 같이 B 들의 값에 따라 電流를 導入하거나 안하거나 하는 n 개 入力端子를 갖는 加算器가 그 中心部가 되며 各 Branch 의 Weight 는

$$\frac{w}{2}, \frac{w}{2^2}, \frac{w}{2^3}, \dots, \frac{w}{2^n} \text{ 또는 고쳐쓰면 } \frac{E}{2R}, \frac{E}{4R}, \dots, \frac{E}{2^{n-1}R} \left(\text{但 } \frac{w}{2} = \frac{E}{R} \right) \text{ 등이}$$

다. 이 值들은 一定한 電壓 E 로부터 모든 Branch 가 電源을 얻어 2 를 公比로 하는 幾何級數的 數值를 갖는 抵抗들에 依한 加算器를 만들면 된다. 抵抗들만에 依한 加算器는 加算抵抗이 他抵抗에 비해 無視될 程度작으면 되는데 結果信號가 너무 작아지면 이를 다시 增幅해야 되며 이 增幅段階에서 要求되는 利得이 클수록 또는 信號가 커져서 問題를 야기하기때문에 加算抵抗의 值를 키우게 되며 當然한 歸結로서 直線性이 나빠진다.

近來 I.C. 의 發達에 따라 優秀한 오퍼레이쇼널 增幅器가 入手可能하기 때문에 이 梯形式 線路網에 依한 加算器의 不利點을 除去하고 거의 理想的인 直線性을 賦與할 수 있다.

III. 回 路

그림 1 과 같이 並列로 들어오는 디지털 Code

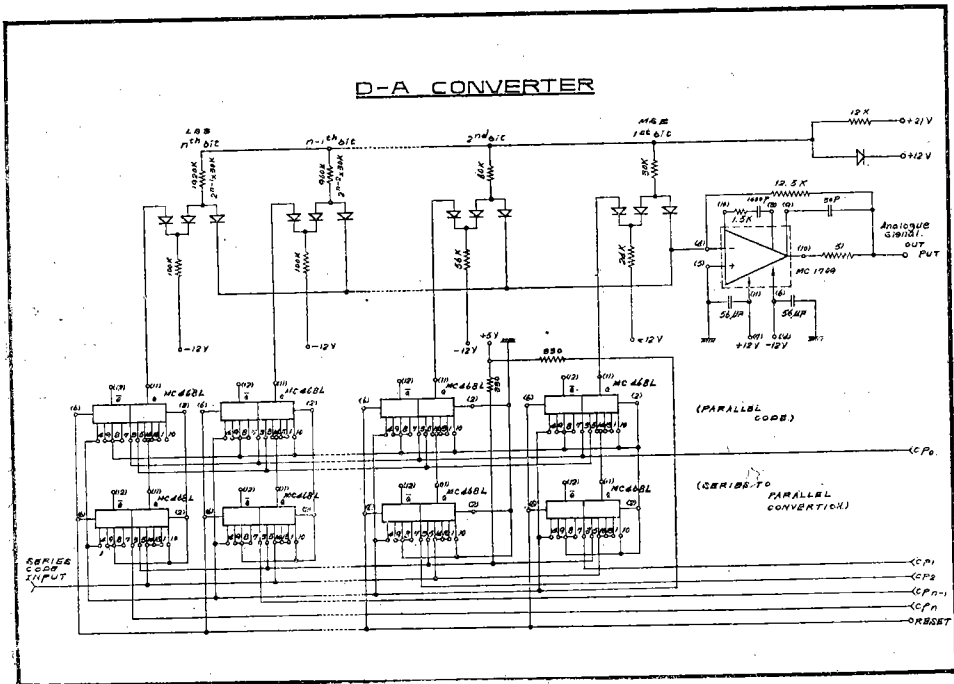


그림 1. D-A converter의 회로도
Fig. 1. Circuit diagram of D-A converter

를 그 Code의 Bit數 만큼의 D-type Flip-Flop素子에 導入하여 各 Bit의 상태에 따라서 該當된 電流 Weight를 가진 Branch가 오퍼레이쇼널 增幅器의 inverting input에 電流를 導入하게 되어 있다. 饋還루프의 電流는 이들 入力回路에 흘러 들어오는 모든 Branch의 入力電流의 總和와 같으므로 饋還루프의 抵抗値가 一定한 限 (1)式에 依해서 나타나는 아나로그 電壓値를 얻을 것이며 이로서 D-A 變換이 完成된 셈이다. 따라서 그림 1과 같은 回路가 可能하다. 下部에 있는 n 개의 D-type F.F.素子는 直列로 들어 오는 Code를 n bits의 並列 Code로 變換할 目的으로 두는 것으로서 n 개의 素子가 交代로 順序的으로 該當 情報를 받고 저축하기 위해서 그 clock pulse input에 交代로 Enable signal이 들어와야 하며 (Cp_1, Cp_2, \dots, Cp_n) 이들은 直列로 오는 n bit 信號가 共同으로 모든 D端子에 印加된 中에서 並列 信號를 얻게 해준다. 이 交代로 들어오는 Enable signal은 n bits의 ring counter 式으로 連結된 shift register에 "1"을 回轉시켜 그 出力들로부터 얻을 수 있다. Cp_0 에 $n+1$ 번째에 들어오는 펄스에 依하여 이 n bits의 情報는 다음(上列) n 개의 D-F.F素子로 傳達되며 이들 상태에 該當되는 아나로그 信號가 出力에 얻어진다. Bit當 3개씩 있는 다이오드 線列中 右邊과 中央에 있는 것은 스위칭用으로서 該當 Bit가 "1"이면 右邊 다이오드가 그리고 "0"이면 中央다이오드가 導電하며 左邊 Diode는 "0"일때 陰極편이 負電位가 되게 하기위해 Pull down 抵抗들을 거쳐 負電源에 連結되어 있다. 스위칭 다이오드의 문턱電壓 (Threshold voltage)의 溫度에 따른 變動이 $0^{\circ}\text{C} \sim 60^{\circ}\text{C}$ 에서 150mV 라는 적지않은 값이 되어 基準 電壓 (12V)의 1.25% 다시 말해서 第7番番 bit를 초과 하므로 溫度補償 機構가 必要하며 이는 具體的으로는 그림 1에서 보는바와 같이 基準 電壓 母線들 역시 같은 다이오드로 문턱電壓만큼 移動시켜주면 溫度에 依한 문턱電壓의 變動을 거의 補償 할 수 있다. 實驗의 結果 12 bit用을 爲해서도 아직 餘裕가 남는 程度이다.

IV. 아나로그 回路

$+12\text{V}$ 다이오드 문턱電壓의 電位를 가진 母線으로부터 必要한 bit數의 branch의 抵抗이 오퍼레이쇼널 增幅器의 inverting 入力에 이어져 12.5K ohm 의 饋還抵抗과 함께 summing point를 이루고 있다. 30K ohm 를 MSB로 하는 이 抵抗들은 實際에 있어서 正確한 2^k ($k=1, 2, 3, \dots, n$)는 아니다. 다이오드에 흐르는 電流가 減少함에 따라 다이오드 문턱電壓에 差異가 있기 때문이다. 그러나 LSB에 가까울수록 抵抗値조정은 쉬워진다. 誤差가 큰 抵抗을 直列로 넣어도 全體 抵抗値에 주는 영향은 적기 때문이다. $+12\text{V}$ 基準電源은 正電源이면서도 電流는 도리어 받아들여야 한다. 適當한 抵抗負荷를 陰極接地 사이에 이어서 正常方向의 것으로 옮길수도 있다. 오퍼레이쇼널 增幅器의 lead와 lag 補償은 發振하지 않는 限 靜電容量이 적은것이 slewing rate 見地로 보아 優秀하다. 其他 non-inverting 入力端子에는 off-set 用 調整回路가 必要한데 이는 그림 2와 같다.

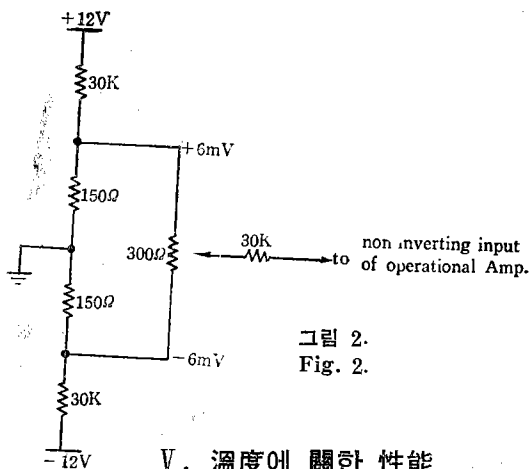


그림 2. Fig. 2.

V. 溫度에 關한 性能

MSB를 "1" 상태로 두고 溫度를 -15°C 로부터 50°C 까지 5°C 간격으로 바꾸어가며 出力電壓을 測定하면 표 1과 같이 되고 單位溫度對 百分率變動은 표 2와 같이된다. 표 1에서는 實測

-15°C	4.9961802
-10 "	4.9970427
- 5 "	4.9988910
0 "	5.0012322
+ 5 "	4.9970427
+10 "	4.9977821
+15 "	4.9990142
+20 "	5.0000000
+25 "	5.0014996
+30 "	4.9976280
+35 "	4.9972070
+40 "	4.9988206
+45 "	4.9968579
+50 "	4.9989321

표 1

-15°C~-10°C	+34.53ppm/°C
-10" ~ - 5"	+73.98 "
- 5" ~ 0"	+93.67 "
0" ~ + 5"	-167.75 "
+ 5" ~ +10"	+29.59 "
+10" ~ +15"	+49.31 "
+15" ~ +20"	+39.44 "
+20" ~ +25"	+59.98 "
+25" ~ +30"	-154.82 "
+30" ~ +35"	-16.85 "
+35" ~ +40"	+64.58 "
+40" ~ +45"	-78.53 "
+45" ~ +50"	+83.01 "

표 2

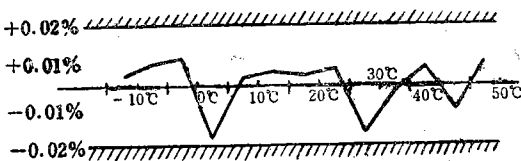


그림 3.
Fig. 3

値를 Full scale 10V 로 正規化한것을 表示하였다 표 2의 結果를 圖示한것이 그림 3이며 溫度係數는 상당히 不規則하나 $\pm 0.02\%/^{\circ}\text{C}$ 를 超過하지는 않는 것을 알수 있다. 實驗에 있어서 各 branch와 饋還루프의 抵抗을 一般用 炭素 固化型을 使用했는데도 相當히 우수한 結果를 얻었음

으로 同質의 抵抗의 抵抗比는 溫度에 따라 우려하던것 보다는 훨씬 적고 同時에 다이오드 回路의 補償이 大端히 잘되고 있음을 알 수 있다. Bit數가 커지면 抵抗比가 커지므로 同質의 抵抗을 使用하기가 힘들게되고 異質의 抵抗을 使用하던 溫度係數의 見地에서 不利할 것이기 때문에 LSB 근처 몇 Bit를 ladder方式으로 하는것도 하나의 方法이다.

VI. 電源變動의 영향

다음 電源電壓에 對한 感度を 살펴보면 +12V 電源과 -12V 電源에 對해서 各各 표 3 표 4와 같이 거동한다. 正電壓電源은 基準電源이기 때문

+13V	5.486498V	差+486.498mV	+9.72997%/V
+12V	5.000000V		
+11V	4.508854V	差-491.146mV	+9.82291%/V

표 3

-11V	5.000123V	差 0.123mV	-0.00245%/V
-12V	5.000000V		
-13V	4.999755V	差 0.245mV	-0.00489%/V

표 4

에 그 出力電壓變動이 아나로그 出力電壓에 주는 영향은 直接的이고 直線的이다. 한편 負電源은 오퍼레이쇼널 增幅器의 負電源으로만 쓰이기 때문에 놀라울 程度로 感도가 적다.

VII. 速度에 關한 考察

使用한 오퍼레이쇼널 增幅器의 出力 slewing rate가 가장 큰 速度制限의 要素이다. MSB에 "0"와 "1"을 交代로 印加하여 얻어지는 出力 아

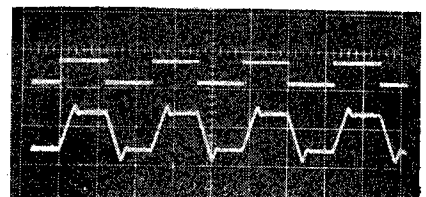


그림 4
Fig. 4

아나로그 波形이 入力 디지털 波形과 함께 그림 4에 나타나 있다. slewing rate는 周波數補償回路의 定數들을 最大限으로 줄였기 때문에 이 變換器에서는 $3.5V/\mu s$ 이며 出力이 1V 單位라면 mega bits 程度의 速度를 얻을 수 있다. 正確히 讀해서 並列 Code로 바뀐 다음으로 換算하면 200,000Code/sec 정도이다.

이 경우에는 아나로그 出力信號가 安定된 다음 얻어지는 plateau 部分이 全體時間에 비해 大端히 큰 것은 아니므로 아나로그 스위칭을 해서 安定된 電壓值의 순간을 sampling 하여 出力抵抗이 적은 增幅器로서 아나로그 信號記憶素子を charge 하고 實信號와의 사이에 較正을 해야 할 것이다.

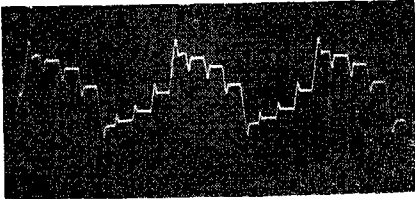


그림 5
Fig. 5

그림 5는 1.5 mega pps의 速度로서 1111000, 1110001, 1100011, 1000111, 0001111, 0011110, 0111100 등의 디지털 信號가 入力에 印加된 것을 並列 code 化하여 D-A 變換한 結果로서 24 channel을 秒當 8,000回 sampling 해서 얻은 信號速度에 該當된다.

VIII. 結 論

이 D-A 變換器 出力에 對해서 第 1 影響이 큰 것은 正電源인데 信號의 絶對值가 問題가 안되고 比較值만이 問題가 될 때 이 D-A 變換器는 오퍼레이쇼널 增幅器에 의한 加算 및 減算의 高度한 直線性 德분에 實用性이 높고 다이오드에 의한 補償機構 덕택에 全體의 溫度係數는 거의 正電壓電源의 溫度係數만에 依한다고 볼 수 있다. 精密度가 많이 改善되고 速度의 面에서도 充分히 높음을 알 수 있다. 抵抗比가 一定하게 保障되는 高精密度의 抵抗(RCL 7007 series)를 使用할 때 오퍼레이쇼널 增幅器에 μA 709C 를 써서도 12 bit 精密度에 足하였고 (LSB의 1/2) 좀더 高級의 오퍼레이쇼널 增幅器를 쓰면 15 bit 乃至 16 bit (溫度係數 除外)의 精密度가 期待된다.

參 考 文 獻

1. "Echantillonnage et Quantification" Jean MARCUS Gauthier-Villar 1965
2. "Special Report on D/A conversion" Hermann SCHMID Electronic Design No. 22 Vol.16 1968