

IC 電壓 可變 容量 (IC Voltage Variable Capacitors)

韓國科學技術研究所

崔 泰 現 譯

1. 序 文

지금까지의 라디오에서는 평행판형 콘덴서로 동조회로를 형성했으나 반도체기술이 급속히 발달함에 따라 고체화된 장치를 이용함으로써 소형이고 간단한것이 등장하게 되었다. 근래의 경향은 큰 동조용 콘덴서(바리콘) 대신 아주 작은 전압가변용량 다이오드를 여러개 사용하여 VHF 밴드나 UHF 밴드의 튜너를, 또 FM 라디오나 이와 관련된 응용분야에 이용 할려고 시도되고 있다.

그러나 여기에 한가지 문제점이 있는 것이, 여러개의 VVC 다이오드를 조합해서 사용함으로써 우리가 필요로 하는 전 주파수 범위에서의 트래킹이 어렵게 된다. 이것은 각각의 다이오드들이 전주파수 범위에서 똑같이, 고르게 整合되어 주지않기 때문이다. 따라서 이를 整合시킬라니 값이 비싸질수 밖에 없다.

이 IC VVC장치에서는 한개의 칩(Chip)에 특성이 거의 비슷한 VVC를 여러개 만들 수 있으므로 이 비경제성을 해결할 수 있다. 여기서는 이 IC VVC의 장치 설계와 특성, 또 이의 VHF 튜너에의 응용에 관해 논하고자하며 특수 측정방법과 튜너의 성능에 관해서도 언급하고자 한다.

2. IC VVC의 特性

회로 설계에 관계있는 중요한 VVC의 특성은 그림 1과 같은 등가회로로 나타낼 수 있다. 여기서 R_s 는 반도체 물질 자체에 있는 저항이고

ϕ 는 接合에서의 漏泄抵抗이며 $C_j(V_R)$ 은 接合電位를 나타낸다. 포장 용량 C_p 와 線의 인덕턴스 L_L 은 UHF 밴드나 그 이상의 주파수에서는 고려해야 되나 그 이하의 주파수에서는 무시할 수 있다.

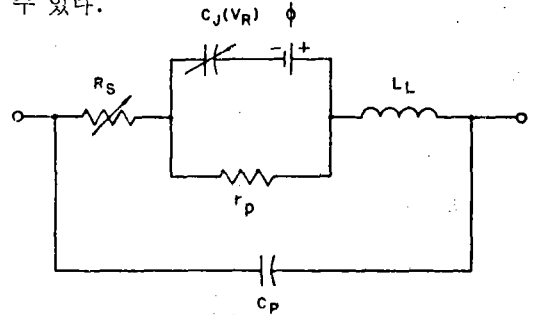


그림 1. VVC 다이오드의 등가회로

IC VVC의 특성을 좌우하는 중요한 계수는

- ① 용량.
- ② 동일한 칩내의 개개 다이오드간의 용량 차이 (%).
- ③ 용량 변화율 (C_r).
- ④ 良好度 (Q).
- ⑤ 최대 역방향 인가전압, 등이다.

정전전위 ϕ 와 불순물 농도 ρ 사이에는 Poisson 방정식, (1)과 같은 관계가 있다.

$$V^2 = -\rho\phi \dots \dots \dots (1)$$

差점합용량 (Differetial junction capacitance)은 (1)식에 특정한 불순물 분포값을 대입하고 또 $dC_j = dQ/dV$ 를 풀므로써 구해진다. 여기서 구해진 식(2)에 의하면 접합용량은 指數法則에 따라 역방향 인가전압에 대해 指數的으로 변하며 指數는 接合의 階段狀에 의해 결정된다.

$$C_j = \frac{K}{(V_R + \phi)^n} \dots\dots\dots (2)$$

여기서 K 는 불순물 농도와 정전계수 및 접촉면적의 함수이고 V_R 은 역방향 인가전압이며 ϕ 는 접합전위이다. 指數 n 의 값은 접합의 階段狀 즉 접합용량과 접합용량 변화율의 인가전압에 대한 感度(Sensitivity)에 따라 정해진다.

이 접합의 階段狀이나 指數 n 은 제작방법에 의해 조절할 수 있다. 合金型으로 만든 것에서는 접합은 階段接合이 되며 n 은 1/2정도이고 이때 접합용량은 자승근 법칙에 따라 변한다. 반면에 확산처리된 것이나 프레너 확산처리를 한 것에서는 傾斜型의 불순물 분포가 되며 이때 n 은 1/3 정도이고 접합은 3승근의 법칙에 따른다. 2중 확산처리를 하면 초계단형 접합을 형성할 수 있고 이때 n 의 값은 0.5에서 2.0 또는 그 이상까지 할 수 있다. 그림 2에 초계단형 IC VVC의 불순물 분포를 보였다.

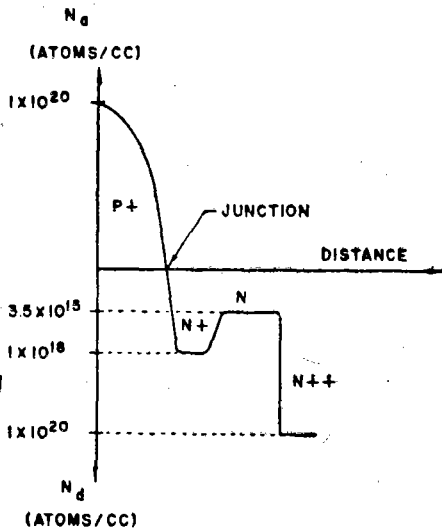


그림2. VVC의 불순물분포

저온에서 積層(Epitaxial layer)을 성장시키는 기술로 초계단형 VVC를 만드는 방법이 Nakamura에 의하여 발표 되었다. (Ref 1).

$\log(C_j)$ 對 $\log(V_R + \phi)$ 의 곡선은 直線性이 없는 것으로 나타나는데 이것은 指數 n 이 역방향 인가전압에 따라 변하기 때문이다(그림3). 확산처리된 것이나 合金型의 장치에서는 전 바이어스 범위에서 곡선의 기울기는 일정하다.

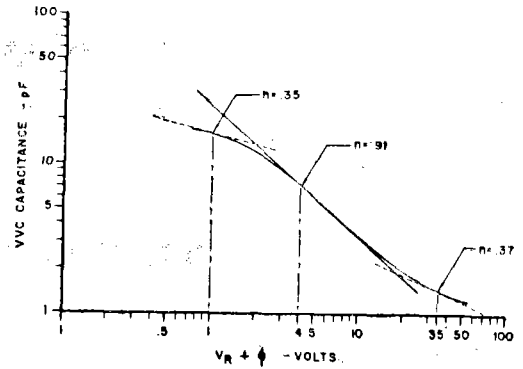


그림3. 指數 n 의 결정

VVC 장치의 여러가지 제작 방법이나 이에 따른 特性에 대해서는 다른 논문에서도 발표되어 있다(Ref 2). Norwood와 Shatz는 불순물의 여러가지 분포에 대한 용량의 변화율에 대하여 언급 하였다(Ref3).

良好度 Q 의 값은 VVC의 1사이클당 축적되는 에너지와 방출되는 에너지와의 비율로 나타낸다. 이에 의해서 반도체 물질자체의 저항에 의한 손실을 측정할 수 있다. Q 는 역방향 인가전압과 주파수의 함수로 나타나는데 낮은 주파수에서는 漏泄抵抗 r_p 의 영향을 받으나, 높은 주파수에서는 직렬저항 R_s 에 의해서 크게 영향을 받는다. 1 MHz 이상의 주파수에서 Q 는

$$Q = \frac{X_{cs}}{R_s} = \frac{R_p}{X_{cp}} \dots\dots\dots (3)$$

여기서 $X_c = \frac{1}{2\pi fc}$ 이다.

의 값을 갖는다.

3. VVC의 係數 測定

역방향 전압을 걸어 접합의 용량을 측정 할수 있는 장치는 여러회사의 것이 많이 나와 있다. Boonton Electronics의 Capacitance Bridge Model 75A-S8은 1MHz에서 동작하며 매우 안정된 역방향 압을 VVC에 가할 수 있다. 이 장치의 정밀도는 오차가 0.5%내 이다. 용량을 측정 할때에는 다음과 같은 조건이 결정 되어야 한다.

- ① 역방향 인가전압 (V_R).

- ② 측정 주파수 (보통 1MHz).
- ③ 인가 신호의 強度 (50mv rms 정도).
- ④ 주위 온도 (25°C 정도).

이 브리지에서는 VVC의 等價 병렬 콘다턴스와 용량을 측정하여 이 값으로 (3)式에서 Q를 계산한다.

4. VVC의 係數 測定 結果

가. 캐패시턴스 트래킹

VVC 다이오드를 한개이상 사용한 모든 튜닝 응용 회로에서는 사용한 개개 VVC의 용량이 전 튜닝 범위에서 균일하게 변화하여야 하고 그 오차가 허용한계 이하일것이 중요하다. 여기선 한 칩위에 4개의 VVC 다이오드가 형성 되어있는 것을 이용하여 캐패시턴스 트래킹을 조사 하였다. 바이어스 전압을 2V에서 28V로 변화시켰을때의 트래킹 곡선이 그림 4에 나와 있다. 이에 의하여 튜닝범위 전체에 걸쳐서 한 칩내의 VVC 다이오드간의 용량 차이는 1%미만이다. 최대 오차는 낮은 역방향 바이어스 전압이 걸려 있을때 생기며 이는 낮은 바이어스 전압일 때에는 接合電位の 균일성이 좋지 않으므로해서 일어나는 불균일성 때문이다.

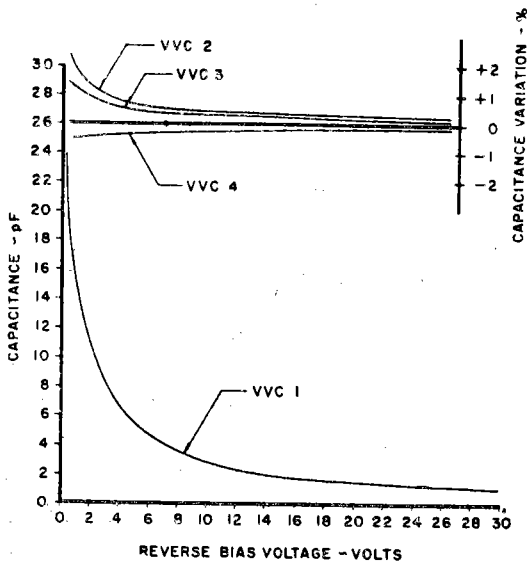


그림4. 단일 칩내 개개 VVC의 용량 차이

나. 接合의 階段狀 (Abruptness)

용량 변화의 기울기 n은 $\log(C)$ 對 $\log(V_R + \phi)$ 의 곡선에서 알수있다(그림3). 변곡점인 $V_R = 4V$ 에서의 기울기는 0.91인데 이는 그림2에서 불순물 분포곡선으로 보인것과 같이 초계단형 장치의 값이다. 2V와 28V바이어스 때의 용량 변화율은 용량 對 역방향 바이어스 전압과의 곡선(그림5)에서 구해진다.

$$C_r = \frac{C_{2V}}{C_{28V}} = 6$$

다. 良好度 Q

Admittance 브리지로 측정한 4V 바이어스때 50 MHz에서의 Q는 320이었다. 한 칩내의 개개의 다이오드에 따른 차이는 10%미만이었다. 또 이 장치에서 최대 역방향 인가전압은 약 30V정도였다.

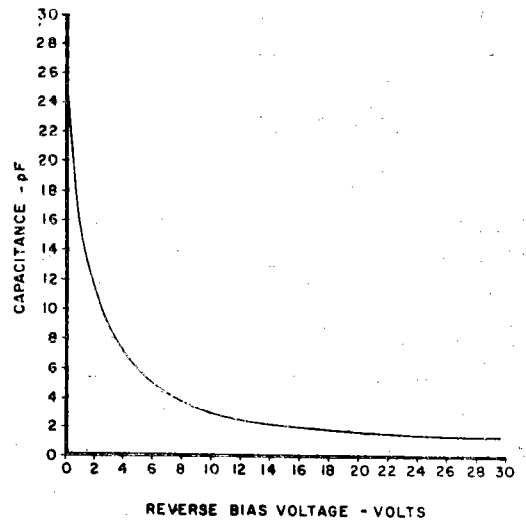


그림5. IC VVC의 역방향 바이어스에 대한 용량 변화

4. IC VVC의 設計

이 IC VVC의 자세한 구조와 평면도가 그림6과 7에 나타나 있다.

처음 시작하는 기관은 일반적으로 6μ 두께의 1.0cm정도의 比抵抗을 가진 積層을 8mil두께의 15.0cm정도의 比抵抗을 가진 P형 基板위에 키운 것이다.

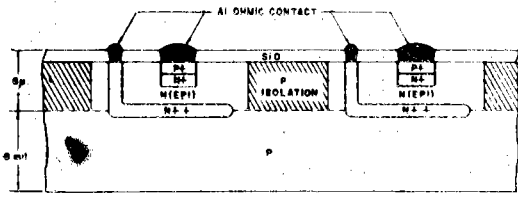


그림 6. IC VVC의 구성(단면도)

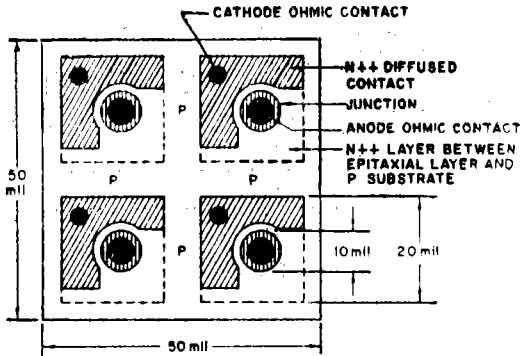


그림 7. IC VVC의 구성(평면도)

$N^{++}(1 \times 10^{20} \text{ atoms/cc})$ 의 층을 1μ 정도의 두께로 적층과基板사이에 형성시켜 놓고 다음과 같은 2중 확산에 의해 만든다. 칩의 표면에 표준 Photo-Resist와 알맞는 마스크를 사용하여窓을 만들고 여기서 그림 6의 分離부분에는 보론(P형 물질)을 또 다이오드가 형성될 부분에는磷(N^{++} 형 물질)을 확산시킨다. 보론과磷은 다같이 적층으로 확산되어 들어가며 확산된 Boron과 이웃의 적층은 높은 임피던스의 接合을 형성하여 다이오드 사이를 分離(Isolation) 시킨다. 磷이 확산된 N^{++} 부분은 단자 접속을 위해서 표면까지 연장시킨다. 여기서 다시窓을 만들어 $N^{+}(1 \times 10^{18} \text{ atoms/cc})$ 의 물질을 약 1μ 두께로 적층속으로 확산시킨 후 다시 같은窓을 통해서 P^{+} 물질을 확산 시킨다. 다음 Al막을 P^{+} 부분과 N^{++} 부분에 음性 接觸(Ohmic Contact)을 위해 진공증착해 입힌다. 여기까지된 基板는 接觸子로써 여러가지 전기적인 係數 檢査를 하고 하나 하나 끊어서 포장을 하게 되는데 그림 8과 같이 하던 좋다.

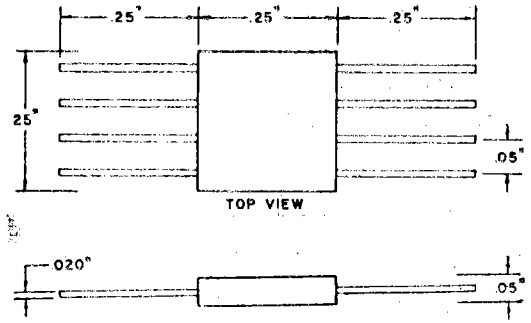


그림 8. IC VVC의 포장

2중 확산에 의하여 얻어지는 초계단형 장치의 전형적인 불순물 분포가 그림 2에 나타나 있다.

6. IC VVC의 VHF 튜너에의 이용

그림 9에 한개의 칩위에 형성된 4개의 VVC 다이오드($D_5 \sim D_8$)를 이용한 VHF 튜너의 일부분을 나타내었다.

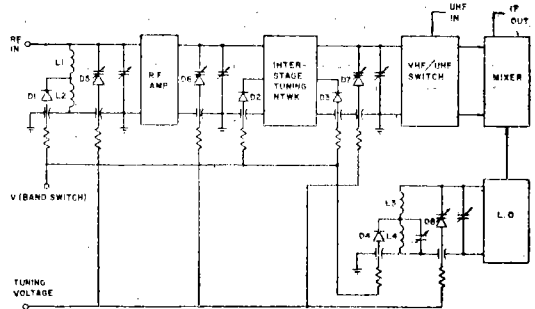


그림 9. VVC를 사용한 VHF 튜너

D_5 는 고주파 입력회로에 D_6 와 D_7 는 고주파 증폭부와 믹서의 중간단에, 그리고 D_8 는 국부발진용으로 쓰였다. 이 4개의 다이오드에는 똑같은 바이어스 전압이 걸린다. 아직까지 코일 하나로 VHF 밴드 전범위(낮은밴드, 54~88 MHz, 채널 2~6과 높은 밴드, 174~216 MHz, 채널 7~13)를 튜닝하는 것은 어렵고 또 非實用的이므로 코일을 높은 밴드용과 낮은 밴드용으로 구분하여 전환하는 것이 필요하다. 여기서 스위칭 다이오드 $D_1 \sim D_4$ 로써 이의 전환을 하였다. 즉 높은 밴드에서는 다이오드에 순방향 바이어스를

걸어서 코일양단을 단락시키고 낮은 밴드에서는 역방향 바이어스가 걸려서 회로가 형성되게 되어 있다.

式 (2)와 共振 방정식에서 캐패시턴스 比를 주파수 比와 튜닝 전압 比로 바꿀수 있다.

$$Cr = \left(\frac{C_1}{C_2}\right) = \left(\frac{F_2}{F_1}\right)^2 = \left(\frac{V_{R_2} + \phi}{V_{R_1} + \phi}\right)^n \dots (4)$$

이 (4)式을 보면 낮은밴드를 튜닝하기 위해서는 캐패시턴스 比가 2.65가 필요하고 높은 밴드에서는 1.54가 필요하다. 즉 낮은 밴드에서는 초계단형 VVC 다이오드가 필요하며 용량변화의 대부분이 낮은 밴드를 튜닝하는데 필요하게 된다. 초계단형 구조에서 캐패시턴스 比는 용량 변화의 기율기 n에 따라 결정된다는 것은 (4)에서 볼때 명확하다.

그림 2에 바이어스전압에 따라 n이 여러가지 값으로 변한다는 것이 있었고 최대 n값은 변곡점의 위치에 있다.

負荷를 건 상태에서 탱크회로의 Q를 높게 하기 위해서는 VVC 다이오드의 Q가 충분히 커야 (300이상) 한다. Q가 커질려면 적당한 밴드폭과 삽입손실 (Insertion loss)이 적어야 된다

$$\text{삽입손실} = 20 \log_{10} \left(\frac{1}{1 - \frac{Q_L}{Q_U}} \right) \dots (5)$$

여기서

$$Q_L = \frac{f_0}{\Delta f} \text{이다.}$$

QL이 낮아지면 밴드폭이 나빠지게 되고 삽입손실과 잡음이 커지며 이득이 낮아지는 반면 混變調 (Cross modulation) 특성은 좋아진다. 혼변조란 방해신호의 변조출력이 원래의 신호에 간섭을 일으키는 것을 말한다. 보통 1%의 혼변조가 있다는 것은 간섭신호의 1%가 원래의 신호에 나타날때를 말한다. 가령 30%변조된 간섭신호가 1%의 혼변조를 일으킨다면 이는 간섭신호의 1%가 또는 원래의 신호의 0.3%에 상당하는 정도의 간섭이 일어남을 뜻한다.

Weldon에 의하면 혼변조 전압은 式(6)과 같이 된다 (Fef 4).

$$e = \frac{V_R + \phi}{n} \sqrt{\frac{2Kn}{me(n+1)}} \dots (6)$$

여기서 K와 me는 각각 혼변조와 신호변조를 나타낸다. 만일 100% 변조된 (me=1) 진폭이 e인 간섭신호가 원래의 신호에 1%의 간섭변조를 일으킨다면 K는 0.01이 된다. 이 값을 (6)式에 넣어서 VVC 다이오드의 간섭 전압을 구해보면

$$e = 0.14 \frac{V_R + \phi}{n} \sqrt{\frac{n}{n+1}} \dots (7)$$

이 되는데 여기서 보면 e는 튜닝 전압 VR과 캐패시턴스 기율기 n의 함수로 나타난다.

7. 튜너의 性能

발전기의 트랙킹 조사는 그림 10과 같은 구성으로 하였다.

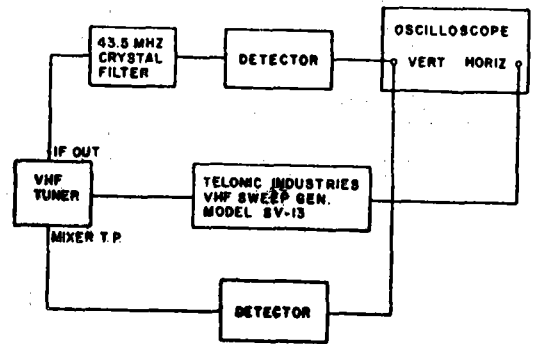


그림 10. 트랙킹 조사 회로 구성

이때 튜너는 각 밴드의 높은 쪽과 낮은 쪽 끝에서 각각 조사하였다. 조사결과 이 발전기는 VVC 캐패시턴스의 아주작은 非整合에 의해 일어난 작은 오차만이 나타났다. 그림 4에 이것이 나타나있다. 혼변조의 조사는 그림 11과 같은 조사회로로 시행했으며 결과는 그림 12에 나와있다.

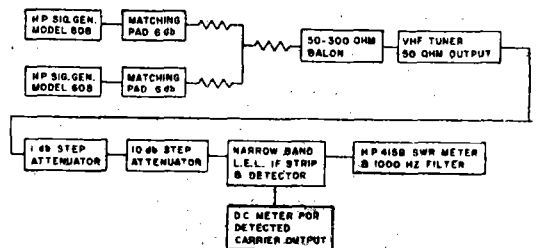


그림 11. 混변조 조사 회로구성

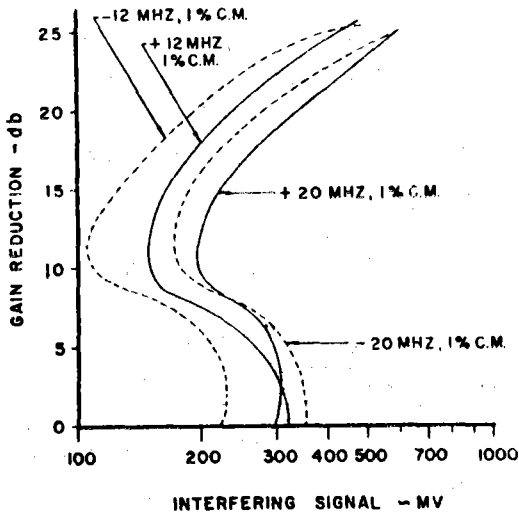


그림 12 VHF 튜너에서의 혼변조 특성곡선

이에 의하면 간섭신호의 강도는 1% 혼변조배 튜너의 이득 감소와 여러가지 주파수에 대한 함수로 나타나 있다. 또 다른 조사에서 혼변조는 이 VVC 다이오드가 아닌 다른 능동素子에 의해서 더 심하게 야기됨을 알 수 있었으며 1% 혼변조가 있을때 간섭강도는 능동소자에 의해서 15mv 정도인 반면에 VVC 다이오드에서는 약 100mv 정도였다.

8. 結 論

장치를 조사한 결과나 실제 이를 응용한 VVC 튜너의 성능조사에서 단일 基板(Substrate) 위에 多重 확산을 시켜서 만든 VVC 다이오드가 實用性이 있음이 증명 되었다. 이 실험에서의 요점은 따로 따로 떨어져 있는 VVC 다이오드를 씌우므로써 일어나는 비경제성을 제거 할 수 있다는 것이다. 값싸게 쓸 수 있는 이 IC VVC 다이오드는 앞으로의 교체화된 튜너에 널리 쓰이게 될 것이다.

그러나 단일 基板위에 만족할만한 성능의 VVC 다이오드를 형성시키기 위해서는 基板을 처리하는 동안 특별히 조심해서 잘 조절된 상태에서 해야한다. 일례로 積層의 균질성은 반드시 허용오차 이내로 되어야 한다. 여기서 시험한 다이오드는 잘 조절된 실험조건하에서 만든 것

이다. 앞으로 기술이 발전함에 따라 이 균질성은 보다 쉽게 이룩할 수 있을 것이다.

다이오드에 아주 접근하게 되는 다른 素子들도 함께 확산시켜 이 基板위에 같이 형성시킬 수도 있을 것이다.

이 설계에서는 튜너 부분과 IF부분을 함께 하나의 IC로 만들어 Set前面에서 튜닝할 수 있다는데 그 특징이 있다.

References

1. Nakanuma, S. "Silicon Variable Capacitance Diodes with High Voltage Sensitivity by Low Temperature Epitaxial Growth" IEEE Trans. ED, Volume ED-13, No. 7, July 1966. PP. 578-589.
2. Sokoloff, L. "Voltage Variable Capacitance Diodes (VVC) Their Application and Manufacture" Proceedings NEC, Volume 23 1967. PP 461-466.
3. Norwood, M. H and E. Shatz. "Voltage Variable Capacitor Tuning A Review". Proceedings IEEE, Volume 56, No. 5, May 1968. PP 790 791.
4. Weldon, L. A. "Voltage Variable Capacitor Guide For Communication Circuits Designer.

(P 42에서 계속)

4. A. Tarul, Y. Hayashi, H. Teshima and T. Sekigawa, "Transistor Schottky-Barrier-Diode Integrated Logic Circuit", Journal of Solid State Circuits SC-4, pp. 3-12, 1969.
5. A. Y. C. Yu and E. H. Snow, "Surface Effects on Metal Silicon Contacts", Journal of Applied Physics 39, 3008, 1968.
6. M. P. Lepselter and S. M. Sze. "Silicon Schottky Barrier Diode with Near Ideal Characteristics", Bell System Technical Journal, 47, 195, 1968.
7. R. A. Zettler and A. M. Cowley, "The p-n Junction-Schottky Barrier Hybrid Diode", IEEE Trans. on Electron Devices, Ed-16, 58, 1969.