

## MOS Transistor를 이용한 差動增幅器 (MOS Transistor Differential Amplifier)

\* 李 炳 璿  
(Lee, Byung Suh)

### 要 約

MOS 電界効果 transistor를 이용하여 直流差動增幅器를 設計하여  $10^{-8} \sim 15^{-15} \text{A}$  程度의 極微小直流電流를 測定하는 裝置에 關한 研究이다.

等價回路를 利用하여 電壓利得과 同相電壓辨別比를 주는 式을 誘導하였으며 有效等價 source 抵抗을 大端可 높이기 爲한 定電流源回路의 實現을 爲한 解析을 하였다.

電壓利得은 6.6, 常溫에서의 drift는 하루에 1.5mv 程度이고 同相電壓辨別比는 最高 84 db 이었다.

이것은 MOS transistor의 大端可 높은 入力抵抗의 特徵을 살려 電離箱 등에서 나오는 極微小直流電流의 測定을 簡單하게 할수있게 하는 것이다.

### Abstract

A pair of insulated-gate metal-oxide-semiconductor field-effect transistor has been used to measure the direct current produced from the ionization chamber in the range of  $10^{-8}$  to  $10^{-15} \text{A}$ . An analysis of direct-current differential amplifier giving the expressions of the common-mode rejection ratio and the realization of the constant-current generator to give very large effective source resistance has been presented.

Voltage gain is 6.6, drift at the room temperature is 1.5mv per day. The common-mode rejection ratio is obtained maximum 84 db. These facts give the feasibility of small direct-current measurements by utilizing this type of transistors.

### 1. 序 論

1952년에 Shockley가 提案하고 解析한 接合型 電界効果 transistor(Junction-Type Field-Effect Transistor, 또는 Unipolar Field-Effect Transistor)<sup>(1)</sup>와, 1953년과 1955년에 Dacey와

Ross가 實驗報告<sup>(4)(5)</sup>한것은 p-n 接合을 逆bias (reverse bias) 시킴으로써 생기는 depletion 領域을 利用하여 半導體의 有效斷面積을 制御하고 따라서 電氣傳導度를 制御한 것이다, 그림 1에 이 裝置를 圖示한다. 두個의 ohmic接觸을 source와 drain이라 부르고 이것은 또한 多數(majority) carrier만을 놓고 빼내는 것도 意味한다. 이리하여 unipolar 電界効果 transistor라고 불리우는 것이다. Source와 drain 사이의 導電領域을 channel이라 부르고 逆bias된 p-n 接合을

\*原子力研究所 電子工學研究室  
Electronics Division, Atomic Energy Research  
Institute  
接受日字, 1968年 1月 11日

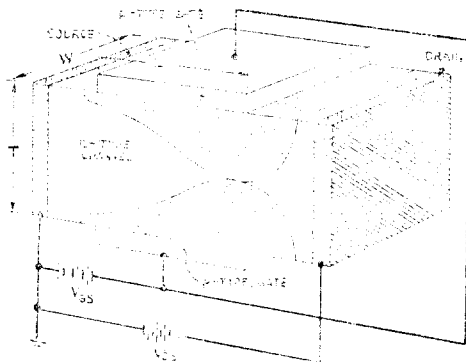


그림 1. Unipolar transistor의 基礎構造  
Fig. 1. Basic unipolar transistor structure.

通하여 空間電荷를 制御하는 電極을 gate라고 부른다.

Drain과 source사이의 傳導度(conductance)는 構造의 크기에 關한 函數이다. 半導體材料의 傳導度는 다음과같이 表示할 수 있다.

$$G = q\mu_n n \frac{WT}{L}$$

여기에

- q=電子의 電荷,  $1.6019 \times 10^{-19}$  coulomb
- $\mu_n$ =電子의 移動度(mobility),  $\text{cm}^2/\text{volt}\cdot\text{sec}$
- n=電子의 密度,  $\text{atoms}/\text{cm}^3$

이 式에서 傳導度는 T를 變함으로서 가장 쉽게 制御할 수 있는 것을 알 수 있다.

逆bias된 接合에서의 depletion 領域은 電位를 增加함으로서 넓힐수 있다. 그림 1에서 點이 적혀있는 部分이 depletion 領域이다. FET接合의 逆bias는  $V_{gs}$ 와  $V_{ds}$ 에 依存한다. Depletion 領域은 drain에 가까울수록 넓고 source에 가까울수록 좁다. 點이 적힌 部分 사이의 channel은 比較的 높은 傳導度를 나타낸다. 萬一 充分히 높은 bias가 印加되면 channel은 단려서 pinch off 되고 source-drain 사이의 抵抗은 大端히 높게 된다. 이 以上の  $V_{ds}$ 에 對하여는 單只  $I_D$ 의  $V_{ds}$ 에 關한 效果만이 나타난다.

1963년에 Hofstein 과 Heiman<sup>(6)</sup>이 提案한 MOS 電界效果 transistor(Metal-Oxide-Semiconductor Field-Effect Transistor)는 n-channel의 境遇를 생각하면 p型 silicon의 表面을 酸化해서 1000Å~1500Å의  $\text{SiO}_2$  膜을 만들어서 p-n接合을 代身한 것이다. 여기에 n-channel은 channel의 導電이 electron에 依하여 이루어짐을 意味하며 한편 p-channel은 channel의 導電이 hole에 依하여 이루어짐을 意味한다. MOS transistor의 첫째 特徵은 入力抵抗이  $10^{15}\text{ohm}$  程度로 大端히 높고 比較的 溫度의 影響을 받지 않는다는 것이다. 接合形 FET와같이 入力電流가  $10^{-9}\text{A}$  程度로 적기 때문에 電壓制御裝置로 생각할 수 있다. 그리고 이들 特徵은 眞空管과 아주 類似함으로 이것이 完全히 開發되면 眞空管을 使用하는 裝置를 電界效果 transistor로 代置하게 될 것이므로 電子裝置가 아주 小型化되고 電力이 적게 들고 더욱 堅固하게 될 것이다.

本研究는 MOS transistor를 使用한 直流差動增幅器(direct-current differential amplifier)를 만들어 電離箱에서 나오는  $10^{-8} \sim 10^{-15}\text{A}$  程度의 極微小直流電流를 測定할려는 것이다. 이 測定은 自然放射線, 同位元素等에서 나오는 放射線의 測定等に 利用되는 것이다.

差動增幅器의 첫째 特徵은 直流增幅器에서 가장 問題가 되는 drift가 적다는 것이다. 差動이 아닌 不平衡直流增幅器(single-sided d-c amplifier)도 可能하나 이것은 mV 또는  $\mu\text{A}$  程度의 적은 信號를 增幅하기에 不適當하다. 이것은 利得과 bias가 不安定하기 때문이다. 그리하여 이와 같은 微小直流信號를 增幅하려면 差動增幅器나 chopper 增幅器를 利用한다.

## 2. MOS Transistor

MOS transistor는 많은 應用面에서 bipolar transistor와 眞空管의 좋은 點을 兼備하고있다. MOS transistor는 gate가 絶緣된 電界效果半導體素子이다. 接合型 電界效果 transistor 또는 眞空管과 다른 가장 重要한 點은 gate의 bias電壓의 極性を 바꾸었을 때에 높은 入力抵抗이 影響을 받지 않는다는 것이다. 前者의 두個의 素子에서는 順方向으로 bias를 걸었을때에 入力抵抗이 아주 떨어진다.

그림 2는 n-channel MOS transistor의 模型

圖를 表示한다. 이것은 p型 silicon과 두께 1000 Å~1500Å의 透明한(glassy) SiO<sub>2</sub>의 絶緣膜 사이에 길이 約 5μ 程度의 매우 얇은 n型 channel이 있다. SiO<sub>2</sub>膜의 一部에 구멍을 뚫어 隣을 2個所 擴散해서 n<sup>+</sup>를 만들어 source와 drain을 만든다. source와 drain 사이의 SiO<sub>2</sub>膜 위에는 金屬을 蒸着해서 gate를 만든다. Channel에

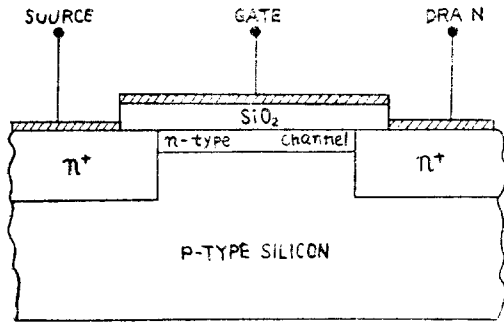


그림 2. n-channel MOS transistor의 模型圖  
Fig. 2. Schematic of an n-channel MOS transistor

對해서 source도 drain도 ohmic 接觸이므로 source와 drain은 原理上으로 區別할 수 없다. Channel은 source와 drain 사이에 電流가 흐르는 半導體部分이고 n-channel에서는 電流가 多數 carrier인 電子에 依해서만 이루어진다.

電壓을 印加하지 않았을 때에도 Channel이 導電할 때에 이 FET를 depletion type라 하고 電壓을 印加하였을 때에만 Channel이 導電할 때 이 FET를 enhancement type라 한다.

MOS transistor는 먼저 말한 接合型 FET와 같은 原理로 動作한다. Channel과 gate는 效果的으로 capacitor의 두 極板처럼 作用한다. 따라서 電荷가 한쪽 電極인 gate에 놓이면 크기가 같고 反對符號의 電荷가 反 電極인 channel에 誘導된다. 이 誘導된 電荷의 極性에 따라 channel의 傳導度는 처음의 zero bias 狀態때 보다 減少하거나 增加한다. 다시 말하면 gate 電極上의 電荷는 channel의 隣接部分의 같은 電荷를 反撥하여 channel의 carrier를 deplete시킨다.

p-n接合과 마찬가지로 MOS transistor의 絶緣된 gate電極은 適當한 bias가 印加되었을 때에 이와같이 隣接한 channel의 carrier를 deplete할

수 있다. 한편 gate電壓의 極性을 바꾸면 接合型 FET와는 달리 depletion型 MOS transistor의 channel의 傳導度는 單純히 相當히 增加할 뿐이다. 이러한 特性때문에 信號電壓의 極性에 關係없이 入力抵抗은 매우 높다.

그림 3은 n-channel MOS transistor 3SK20의 common-source drain 特性을 表示한다. 여기서 gate-source 電壓 V<sub>GS</sub>=0에 對한 曲線을 보면 drain-source 電壓 V<sub>DS</sub>가 낮은 領域에서는 channel抵抗은 OP 區間과같이 全然히 ohm의 法則에 따른다. Drain電流가 P點 以上으로 增加함에 따라 channel의 IR 電壓降下는 定電位인 gate와 channel의 한 位置사이의 電位差가 drain에 가까운

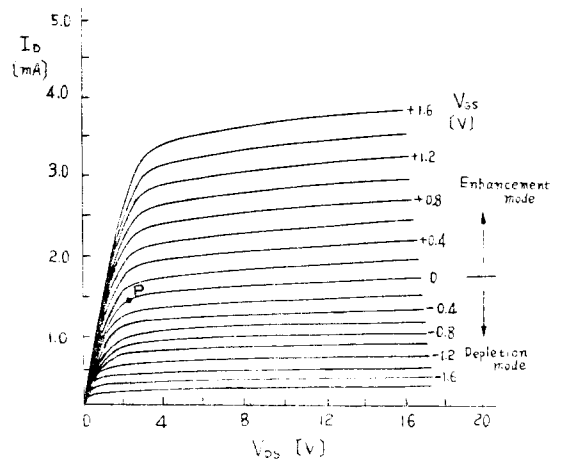


그림 3. n-channel MOS Transistor 3SK20의 common-source drain 特性

Fig. 3. Drain characteristics for the n-channel MOS transistor 3SK20.

channel의 位置일수록 크게 나타난다. Gate와 channel사이의 電位差가 增加함에 따라 그림 1과 같이 channel의 carrier는 더 deplete된다. 이리하여 channel은 壓縮되어 drain 電流의 增加가 아주 느리다. 이렇게 되는點 P를 pinch-off point라 하고 여기서 breakdown이 일어나는때까지의 平坦한 部分을 pinch-off 領域이라 한다. 그림 3에서 channel의 傳導度를 增加시키는 gate bias에 對한 動作領域을 enhancement mode라 하고 反對일때를 depletion mode라 한다. 그림 4에 實驗에 使用한 3SK20의 drain 特性을 transistor curve tracer로 나타낸 寫眞을 表示한다.

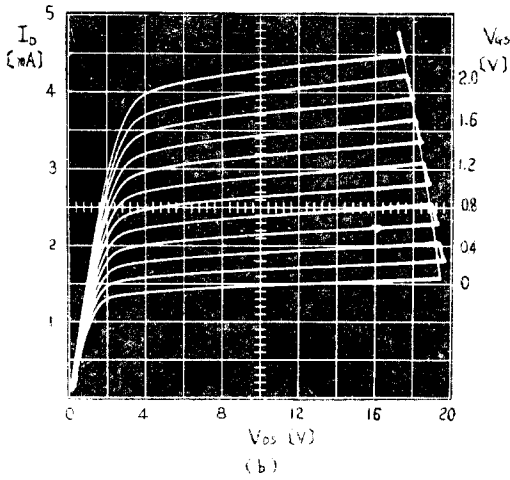
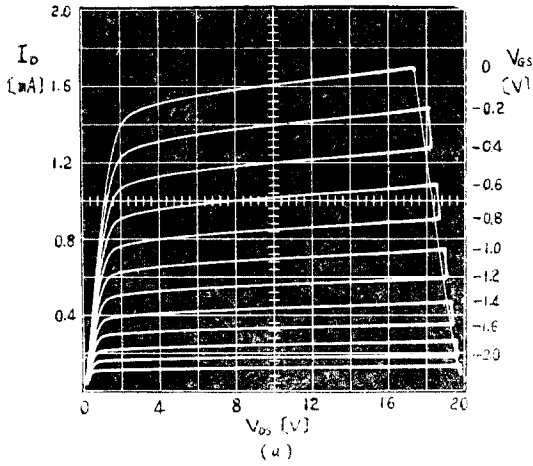


그림 4. n-channel MOS transistor 3SK20의 drain 特性  
 (a) Depletion mode (b) Enhancement mode  
 Fig. 4. Drain characteristics for the n-channel MOS transistor 3SK20.  
 (a) Depletion mode (b) Enhancement mode.

그림 5에 MOS transistor의 等價回路<sup>(1)</sup> (10) (11)를 表示한다. 그림 5(a)는 直流로부터 100Mc/s까지 正確하게 表示하는 것이고 그림 5(b)는 低周波數에 適用할 수 있는 概略의 等價回路이다. 여기에  $r_{ds}$ 는 active drain 抵抗  $r_{d's}$ 와 diode 抵抗의 並列等價值이며  $r_{d's}$ 는 印加電壓의 函數로서 drain 特性의 傾斜로부터 求할 수 있다. 그림 4에서 明白하듯이 gate 電壓이 負일수록 傾斜가 平緩하여 無限大가 된다. Drain 電壓이 10V일 때의 gate 電壓  $V_{GS}$ 에 對한 drain 抵抗  $r_{ds}$ 를 그림 6에 表示한다<sup>(12)</sup>. Gate 電壓이 높아질수록  $r_{ds}$ 는 작아지는데 反對로 gate 電壓이 낮

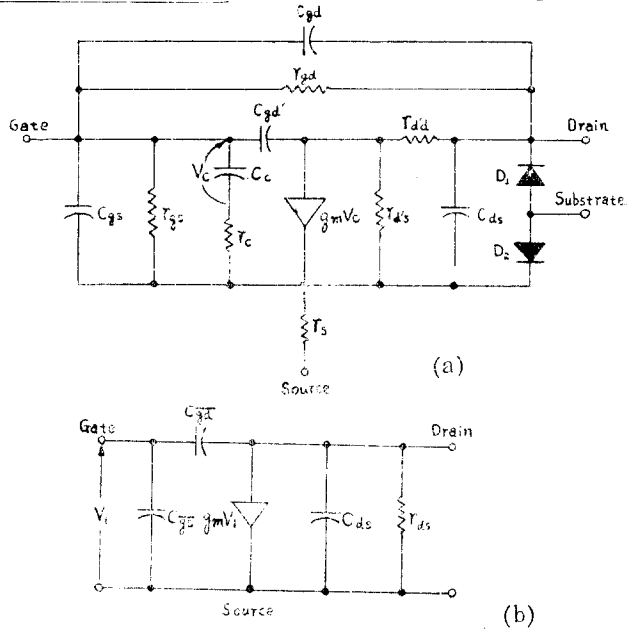


그림 5. MOS transistor의 等價回路  
 (a) 完全한 等價回路 (b) 低周波數에 對한 等價回路  
 Fig. 5. Common-source equivalent circuits for the MOS transistor (a) Complete equivalent circuit (b) Approximate equivalent circuit for general low-frequency use.

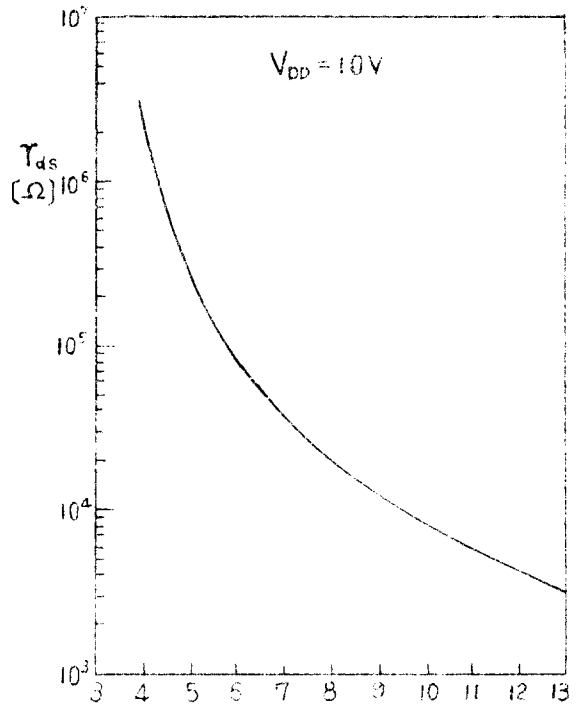


그림 6.  $V_{DD}=10V$  일때의  $V_{GS}$ 에 對한  $r_{ds}$   
 Fig. 6.  $r_{ds}$  vs.  $V_{GS}$  for  $V_{DD}=10V$

아지면  $r_{ds}$ 는 無限大로 될을 알 수 있다.

### 3. MOS Transistor 差動增幅器解析

差動增幅器(differential amplifier)는 出力이 두個의 入力電壓의 差에 比例하는 平衡된 直流增幅器이다. 直流差動增幅器에서 成就하여야 할 主된 것은 다음 3 가지이다<sup>(19)</sup>.

- 1) 周圍條件 特히 溫度變化에 對하여 drift가 적을것
- 2) 電源電壓의 變化에 對하여 drift가 적을것
- 3) Common-mode rejection 이 높을것

萬一 回路가 完全히 平衡되어 있으면 即 萬一 transistor와 相似位置에 使用되는 被動素子가 모든 點에서 똑같으면 앞의 3가지 事項은 完全히 滿足된다. 그러나 이것은 理想的인것이고 實際로는 이러한 回路를 實現시킬 수가 없다. 回路素子 特히 transistor는 언제나 避할 수 없는 不平衡이 있다. 實際로 모든 特性과 溫度係數를 一致시킬 수 없다. Transistor는 精選擇함으로써 若干의 特性이 거의 一致하는 一雙(pair)을 使用할 수 있다.

첫에 問題는 特性이 可及的 같은 素子를 고르는 것이고 다음 問題는 그대도 避할수 없이 일어나는 不平衡을 補償하는 것이다.

n-channel MOS transistor 3SK20을 使用한 差動增幅器의 基礎回路를 그림 7에 表示한다. 이

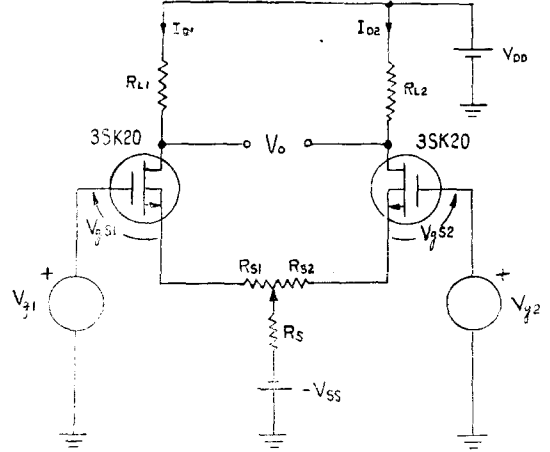


그림 7. n-channel MOS transistor 3SK20을 使用한 差動增幅器의 基礎回路  
Fig. 7. Basic differential amplifier circuits using n-channel MOS transistor 3SK20.

그림에서  $R_s$ 는 負의 電源에 連結되어 있으나 必要하면 直接 接地시켜도 된다. 이것은 이 回路의  $R_s$ 가 可及的 큰 것이 要求되는데 負의 電源  $V_{SS}$ 를 使用하지 않고 그대로 接地하면  $R_s$ 를 그 値에 따라 여기에 흐르는 電流가 너무 적어져서 結局 適當한 動作點에서 이 回路를 動作시킬수 없고 利得이 적어진다. 다시 말하면  $V_{SS}$ 없는 이  $R_s$ 의 値가 적어야 한다.

그림 7의 等價回路를 그림 8에 表示한다. 여기서 MOS transistor의 等價回路는 그림 5(b)에

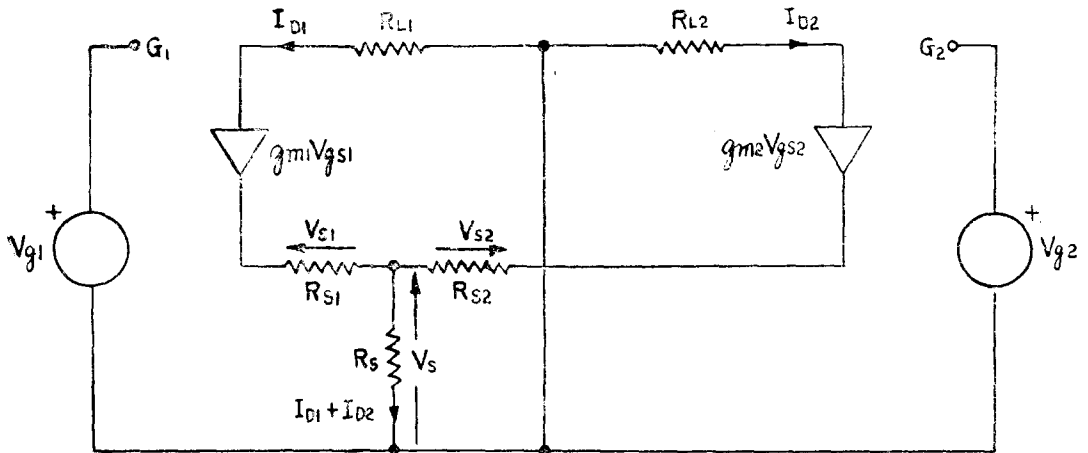


그림 8. 그림 7의 差動增幅器回路의 等價回路  
Fig. 8. Equivalent circuit of a differential amplifier circuit shown in Fig. 7.

表示한 바와 같은데 drain 抵抗  $r_{ds}$ 는 그림6에 表示한 바와 같이 gate電壓의 負의 值 即 이 回路의 動作領域에서 無限大로 볼 수 있으므로 結局 電流源  $g_m V_o$ 만 남게 된다.

그림 8 에서

$$I_{D2} = g_{m1} V_{o1} \quad (1)$$

$$I_{D2} = g_{m2} V_{o2} \quad (2)$$

$$V_{o1} = V_{o1} - (V_s + V_{s1}) \\ = V_{o1} - (I_{D1} + I_{D2})R_s - I_{D1}R_{s1} \quad (3)$$

$$V_{o2} = V_{o2} - (V_s + V_{s2}) \\ = V_{o2} - (I_{D1} + I_{D2})R_s - I_{D2}R_{s2} \quad (4)$$

(3)을 (1)에 代入하면

$$I_{D1} = g_{m1} \{ V_{o1} - (I_{D1} + I_{D2})R_s - I_{D1}R_{s1} \} \\ I_{D1}(1 + g_{m1}R_s + g_{m1}R_{s1}) + I_{D2}g_{m1}R_s = g_{m1}V_{o1} \quad (5)$$

(4)를 (2)에 代入하면

$$I_{D2} = g_{m2} \{ V_{o2} - (I_{D1} + I_{D2})R_s - I_{D2}R_{s2} \} \\ I_{D1}g_{m2}R_s + I_{D2}(1 + g_{m2}R_s + g_{m2}R_{s2}) = g_{m2}V_{o2} \quad (6)$$

(5)와 (6)에서

$$\Delta = \begin{vmatrix} 1 + g_{m1}R_s + g_{m1}R_{s1} & g_{m1}R_s \\ g_{m2}R_s & 1 + g_{m2}R_s + g_{m2}R_{s2} \end{vmatrix} \\ = 1 + g_{m1}R_s + g_{m1}R_{s1} + g_{m2}R_s + g_{m1}g_{m2}R_s^2 \\ + g_{m1}g_{m2}R_sR_{s1} + g_{m2}R_sR_{s2} + g_{m1}g_{m2}R_sR_{s2} \\ + g_{m1}g_{m2}R_{s1}R_{s2} - g_{m1}g_{m2}R_s^2$$

여기서

$$R_s \gg R_{s1}, R_s \gg R_{s2} \quad (7)$$

로 하면  $g_{m1}R_{s1}, g_{m1}g_{m2}R_s^2, g_{m2}R_{s2}, g_{m1}g_{m2}R_{s1}R_{s2}, g_{m1}g_{m2}R_s^2$  는 다른 項에 比해서 無視되므로

$$\Delta \approx 1 + (g_{m1} + g_{m2})R_s + g_{m1}g_{m2}(R_{s1} + R_{s2})R_s \quad (8)$$

따라서

$$I_{D1} \approx \frac{\begin{vmatrix} g_{m1}V_{o1} & g_{m1}R_s \\ g_{m2}V_{o2} & 1 + g_{m2}R_s + g_{m2}R_{s2} \end{vmatrix}}{\Delta} \quad (9)$$

$$I_{D2} \approx \frac{\begin{vmatrix} 1 + g_{m1}R_s + g_{m1}R_{s1} & g_{m1}V_{o1} \\ g_{m2}R_s & g_{m2}V_{o2} \end{vmatrix}}{\Delta} \quad (10)$$

$R_{L1} = R_{L2} = R_L$ 로 하면 出力電壓  $V_o$ 는

$$V_o = (I_{D1} - I_{D2})R_L \\ \approx \left\{ \frac{(1 + 2g_{m2}R_s)g_{m1}V_{o1} - (1 + 2g_{m1}R_s)g_{m2}V_{o2}}{1 + (g_{m1} + g_{m2})R_s + g_{m1}g_{m2}(R_{s1} + R_{s2})R_s} \right\} R_L \quad (11)$$

信號電壓 即 逆相電壓  $V_{o1}$ 와 干涉電壓 即 同相電壓  $V_c$ 가 入力電壓  $V_{s1}$ 과  $V_{s2}$ 와 다음과같은 關係가 있다고 하면<sup>(20)</sup>,

$$\left. \begin{aligned} V_{o1} &= V_c + \frac{V_d}{2} \\ V_{o2} &= V_c - \frac{V_d}{2} \end{aligned} \right\} \dots \dots \dots (12)$$

逆相利得(difference-mode gain)  $A_d$ 는 (11)에

$$\text{서 } V_{o1} = -V_{o2} = \frac{V_d}{2} \text{로 하면} \\ A_d \equiv \frac{V_o}{V_d} \approx \frac{2g_{m1}g_{m2}}{g_{m1} + g_{m2}} R_L \quad (13)$$

同相利得(common-mode gain)  $A_c$ 는 (11)에서  $V_{s1} = V_{s2} = V_c$ 로 하면

$$A_c \equiv \frac{V_o}{V_c} \approx \frac{g_{m1} - g_{m2}}{g_{m1} + g_{m2}} \frac{R_L}{R_s} \quad (14)$$

그리하여 同相電壓辨別比(common-mode rejection ratio)  $\rho$ <sup>(15)</sup>는

$$\rho \equiv \frac{A_d}{A_c} = \frac{2g_{m1}g_{m2}}{g_{m1} - g_{m2}} R_s \quad (15)$$

따라서 辨別比  $\rho$ 를 크게 할려면  $g_{m1} - g_{m2}$ 를 적게하고  $g_m$ 와  $R_s$ 를 크게하면 된다. 따라서 두個의 MOS transistor의  $g_m$ 가 크고 같을수록 辨別比  $\rho$ 는 크게 되는 것이다.  $R_s$ 를 크게 할려면 transistor의 定電流源回路를 利用하면 쉽게 meg ohm 程度의 큰 値를 얻을 수 있다. 여기서 例로 辨別比  $\rho$ 가 1000 이라 하면 入力端子에 1mV의 電壓差가 있을 때의 出力電壓이 入力端子에 1V의 同相電壓을 加할때의 出力電壓과 같다는 것을 意味한다.

그림 7에서 gate 2를 接地하면  $V_{s2} = 0$ 가 되고 (11)에서  $g_{m1}g_{m2}(R_{s1} + R_{s2})R_s$ 를 無視하면

$$V_o \approx \frac{(1 + 2g_{m2}R_s)g_{m1}V_{o1}}{1 + (g_{m1} + g_{m2})R_s} R_L \quad (16)$$

가 되고 利得은

$$A \approx \frac{V_o}{V_{o1}} \approx \frac{(1 + 2g_{m2}R_s)g_{m1}}{1 + (g_{m1} + g_{m2})R_s} R_L \quad (17)$$

萬一  $g_{m1} = g_{m2}$  면

$$A \approx g_m R_L \quad (18)$$

가 된다.

#### 4. Constant-Current Generator

먼저도 言及한바와같이 그림7의 基礎差動增幅回路의 不平衡은 source抵抗  $R_s$ 를 大端히 크게 함으로서 減少시킬 수 있다<sup>(14)</sup>.  $R_s$ 를 增加시키면 transistor의 動作電流가 적어져서 利得이 적

어진다.  $R_s$ 를 크게 할수록  $V_{ss}$ 를 증가시키면 동작電流를 一定하게 維持할 수 있겠으나  $R_s$ 를 大端히 크게하면  $V_{ss}$ 도 大端히 커야 함으로 이것도 限界가 있게 된다.

이것을 解決하기 爲한 것이 그림 9에 表示하는 定電流源回路이다. 그림 9(a)는 本來의 그림 7의 直列抵抗  $R_s$ 와 電壓源  $V_{ss}$ 를 孤立시켜서 그런 것이다. 그림 9(b)는 (a)의 Norton equivalent이다. 그림 9(c)는 transistor 2N706을 bias한 定電流源回路이다. 이렇게 함으로써 等價直列抵抗은

$V_{ss}$ 를 크게 할 수 없이 meg ohm 程度로 할 수 있다.

그림 9(c)에서

$$I_1 = I_2 + \frac{I_s}{\beta} \dots\dots\dots (19)$$

$$V_{ss} = I_1 R_1 + I_2 R_2 \dots\dots\dots (20)$$

$$V_{ss} = I_1 R_1 + \frac{I_s}{\alpha} R_e \dots\dots\dots (21)$$

(19)를 다시 쓰면

$$I_2 = I_1 - \frac{I_s}{\beta} \dots\dots\dots (22)$$

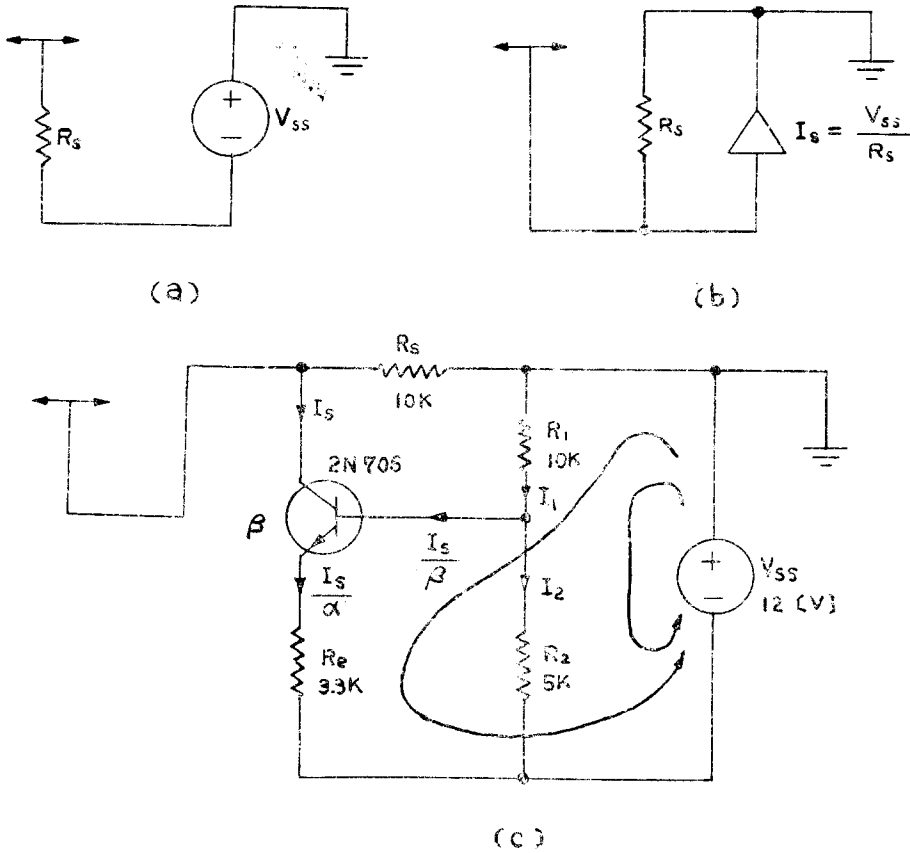


그림 9. 그림 7의 定電流源等價 source 回路의 實現

- (a) 本來의 直列 source 抵抗과 電壓源
- (b) (a)의 Norton equivalent
- (c) “定電流” transistor 에 依한 Norton 電流源의 實現

Fig. 9. Development of an equivalent realization of the source circuit in the amplifier of Fig. 7.

- (a) Original series resistance and voltage source
- (b) Conversion to a Norton equivalent
- (c) Realization of the Norton current generator by a “constant-current” transistor

(22)를 (20)에 代入하면

$$V_{SS} = I_1 R_1 + (I_1 - \frac{I_s}{\beta}) R_2$$

$$I_1 = \frac{V_{SS} + \frac{I_s}{\beta} R_2}{R_1 + R_2} \dots\dots\dots (23)$$

(23)을 (21)에 代入하면

$$V_{SS} = \left( \frac{V_{SS} + \frac{I_s}{\beta} R_2}{R_1 + R_2} \right) R_1 + \frac{I_s}{\alpha} R_c$$

$I_s$ 에 對하여 整理하면

$$I_s = \frac{\frac{R_2}{R_1 + R_2}}{\frac{R_1 // R_2}{\beta} + \frac{R_c}{\alpha}} V_{SS} \equiv \frac{V_{SS}}{R_s'}$$

여기에

$$R_s' = \frac{R_1 + R_2}{R_2} \left( \frac{R_1 // R_2}{\beta} + \frac{R_c}{\alpha} \right)$$

$$= \frac{R_1 + R_2}{\alpha R_2} \left( \frac{R_1 // R_2}{1 + \beta} + R_c \right) \dots\dots\dots (24)$$

같은  $I_s$ 와 같은  $V_{SS}$ 에 對하여는  $R_s'$ 는  $R_s$ 와 같이 놓아야한다. 그림9(c)의 抵抗의 크기는 2N706을 使用했을 때의  $\beta = 90$ ,  $R_1 = 10\text{Kohm}$ ,  $R_2 = 5\text{Kohm}$ 일때 (24)에 依하여  $R_c$ 를 決定한 것이다.

### 5. 回路設計와 實驗結果

電界效果 transistor를 使用한 直流差動增幅器가 周圍溫度의 變化에 敏感하지 않도록 即 溫度 drift가 아주 적도록하려면 適當한 bias點에서 回路가 動作하도록 할 必要가 있다<sup>(2)</sup>. MOS transistor가 溫度 drift를 生하는 要因은 drain 電流의 溫度依存性이다<sup>(9)</sup>. 이것은 두가지의 因子로 되어있고 하나는 carrier의 移動度の 溫度에 依한 變動에 依해서 drain電流가 變할 경우이고 또 하나는 gate channel間의 depletion層의 幅이 溫度에 依해서 變動하여 drain電流가 變하는 경우이다. 前者는 drain電流를 增加시키는 作用을 하고 後者는 drain電流를 減少시키는 作用을 한다. 그러므로 適當한 bias條件을 주면 drain 電流의 溫度變化를 零으로 할수 있다.

그림 10에 drain電流의 溫度特性을 表示한다. Drain電流의 比較的 높은 領域에서는 溫度에 依한 carrier數의 增加가 移動度の 減少보다 적으

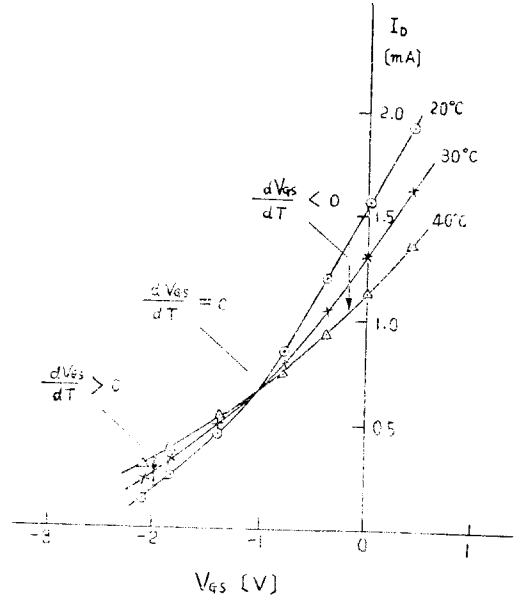


그림 10.  $dV_{GS}/dT$  特性曲線  
Fig. 10.  $dV_{GS}/dT$  characteristic curves

므로 drain電流의 溫度係數는 負가 되고 또 drain 電流의 比較的 적은 領域에서는 carrier數의 增加가 移動度の 減少보다도 크므로 drain電流의 溫度係數는 正으로된다. 따라서 溫度係數가 正에서 負로되는 drain電流值에서는 溫度係數는 零으로 된다. 그림에서  $V_{GS} = -1\text{V}$ 이고  $I_D = 0.67\text{mA}$ 이다.

그림7에서 drain電源  $V_{DD}$ 와 source電源  $V_{SS}$ 를 各各 12V로 定한다. n-channel MOS transistor 3SK20의 最大 drain電流가 10mA이므로 負荷抵抗  $R_L$ 는 1.2 Kohm보다 커야한다. 이것을 10Kohm로 定하고 그림 4의 drain 特性曲線上에 負荷直線을 그리고  $V_{GS} = -1\text{V}$ 와의 交點을 動作點으로 잡으면  $I_D = 0.67\text{mA}$ ,  $V_{DS} = 5.2\text{V}$ 가 된다. Source 抵抗  $R_s$ 의 決定은 다음式에 依하여<sup>(10)</sup>

$$R_s = \frac{1 - V_{SS} + 1 - V_{GS}}{2 I_D} \dots\dots\dots (25)$$

$$= \frac{12 + 1}{(2)(0.67 \times 10^{-3})} = 9.7 \text{ K ohm}$$

여기서  $R_s$ 도  $R_L$ 와같이 10 Kohm를 取한다. 한편

$$R_L = \frac{V_{DD} - (V_{DS} + V_{GS})}{I_D} \dots\dots\dots (26)$$

$$= \frac{12 - (5.2 + 1)}{0.67 \times 10^{-3}} = 8.7 \text{ K ohm}$$

로도  $R_L$ 를 마찬가지로 決定할 수 있다.



$R_{s1}$ 과  $R_{s2}$ 는 transistor의 微少한 不平衡을 調整하기 爲한 helipot이며 이것은 (7)式에서와 같이  $R_s \gg R_{s1}, R_{s2}$ 로 하였으므로 可及的적인 것을 使用하는 것이 좋다. 여기서는 100 ohm를 使用하였다.

한편 그림 11의 實際回路에는 drain回路에도 같은 型의 helipot를 使用했는데 이것은 gate 2를 接地함으로서 생기는 回路의 不平衡을 調整하기 爲하여 10 Kohm를 使用하였고 그 代身에  $R_L$ 를 5.1 Kohm로 했다. 그림 12에 source回路에 定電流源回路를 使用한 差動增幅器回路를 表示하였다.

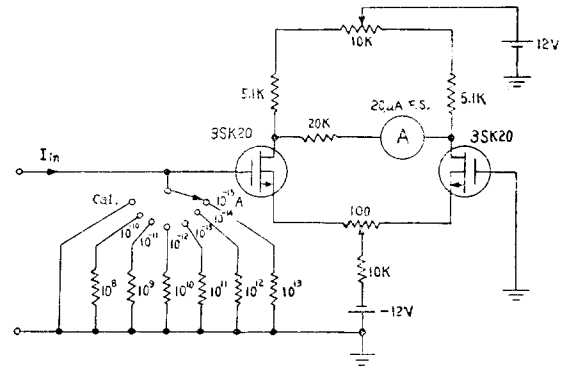


그림 11. 差動增幅器의 實際回路  
Fig. 11. Actual differential amplifier circuits

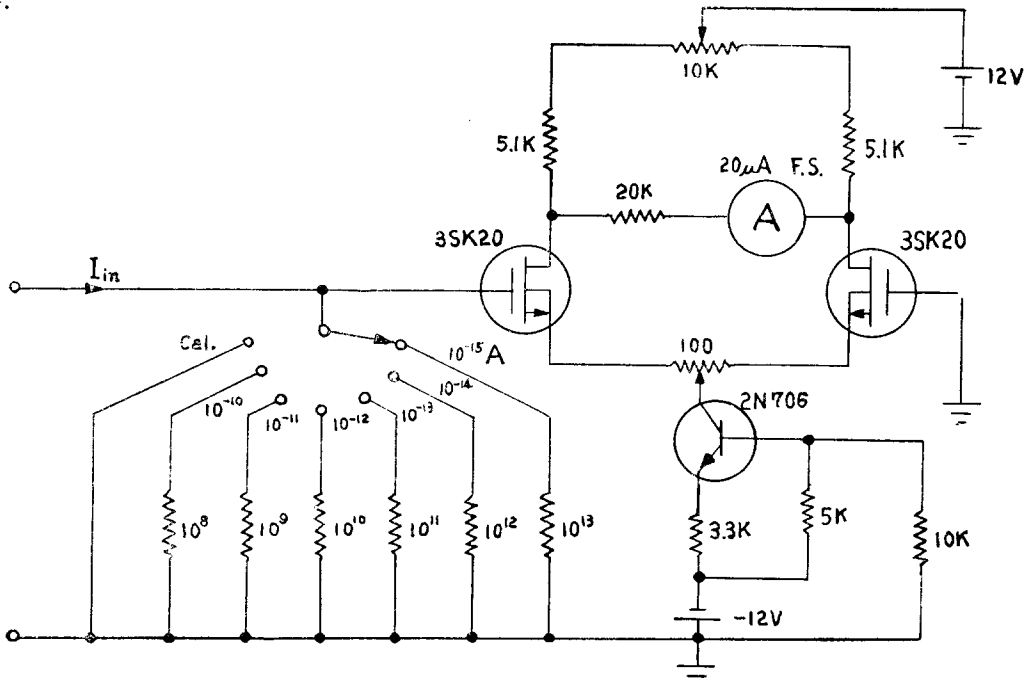


그림 12. Source 回路에 定電流源回路를 使用한 差動增幅器回路  
Fig. 12. Differential amplifier with a "constant-current" stage in the source circuit

使用한 3SK20 MOS transistor의 transconductance  $g_m$ 를 求하기 爲하여 그림 4에서  $V_{ds}=12V$ 에 對하여 相互特性曲線을 그린 것이 그림 13에 表示되어 있다. MOS transistor의  $g_m$ 은

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = \text{const}} \dots\dots\dots (27)$$

로 定義됨으로

$V_{GS} = -1V$ 일 때에는

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{0.41(\text{mA})}{0.5(\text{V})} = 0.82 \text{ m mho}$$

이고  $V_{GS}=0V$ 에서는  $g_m=0.96 \text{ m mho}$ ,  $V_{GS}=1V$ 에서는  $g_m=1.3 \text{ m mho}$ 이다. 現在 生産되는 MOS transistor의  $g_m$ 는 11 m mho나 되는 것도 있으므로 使用한 3SK20의  $g_m$ 는 높은 것이 못된다.

電壓利得은 入力에 10mV를 印加했을때에 6.6이었고 이것은 計算値와 거의 같으며 常溫에서의 drift는 하루에 1.5mV程度이고 溫度變化에 對한 入力換算 drift는 그림 14와 같다. 同相電壓辨

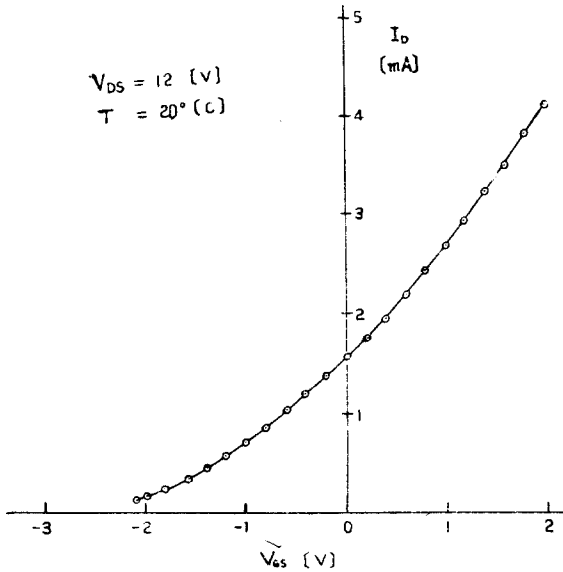


그림 13. 3SK20 MOS transistor의 transconductance characteristics  
 Fig. 13. Transconductance characteristics for the 3SK20 MOS transistor

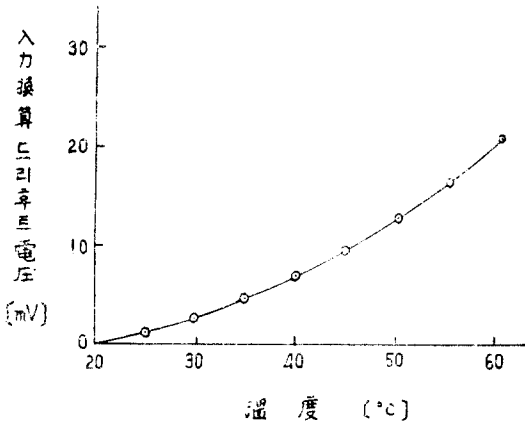


그림 14. 入力換算 温度 drift 特性  
 Fig. 14. Thermal drift characteristics transferred to input

別比(common-mode rejection ratio)는 定電流源을 사용하지 않았을때에 43db이었고 定電流源을 사용하였을때에 84db로 이것은  $\Delta g_m = g_{m1} - g_{m2} \approx 0.1 \text{ m mho}$ 程度임을 意味하며 transconductance 特性曲線으로 確認할 수 있었다. 特性이 더 같은 雙(pair)을 求하면 이 値는 더 높을 것이다.

6. 結 論

$g_m$ 이 커서 利得이 높고 特性이 같은 MOS transistor의 雙(pair)이 可能하면 性能이 좋은 直流差動增幅器를 設計할 수 있고 溫度變化와 電源電壓의 變化에 惹因하는 drift를 最大限度로 主될 수 있고 同相電壓辨別比를 大端히 크게 할 수 있다.

本實驗에서 얻은 電壓利得은 6.6, 常溫에서의 drift는 하루에 1.5mV程度이고 同相電壓辨別比는 最高 84db이었으며 이것은 transistor의 特性이 똑같은 雙이 可能하면 이 높은 値를 얻을 수 있다.

MOS transistor의 高入力抵抗의 長點은 電離箱에서 나오는  $10^{-8} \sim 10^{-15} \text{ A}$ 程度의 極微小直流電流를 簡單하게 測定할 수 있고 또한 測定裝置를 小型이고 堅固하고 安定性이 優秀하게 만들 수 있다

參 考 文 獻

- (1) F. C. Fitchen, Transistor Circuit Analysis and Design, Second Edition, D. Van Nostrand, 1966.
- (2) L. J. Sevin, Jr. Field-Effect Transistors, McGraw-Hill, 1965.
- (3) W. Shockley, A Unipolar "Field-Effect" Transistor, Proceedings of the IRE, Vol. 40, pp. 1365-1376, November 1952.
- (4) G. C. Dacey and I. M. Ross, Unipolar "Field-Effect" Transistor, Proc. IRE, Vol. 41, pp. 970-979, August 1953.
- (5) G. C. Dacey and I. M. Ross, The Field Effect Transistor, The Bell System Technical Journal, Vol. 34, pp. 1149-1189, November 1955.
- (6) S. R. Hofstein and F. P. Heiman, The Silicon Insulated Gate Field-Effect Transistor, Proc. IRE, Vol. 51, pp. 1190-1202, September 1963.
- (7) C. T. Sah, Characteristics of the Metal-Oxide-Semiconductor Transistors IEEE Trans. on Electron Devices, Vol. ED-11, No. 7, pp. 324-345, July 1964
- (8) V. G. K. Reddi and C. T. Sah, Source to Drain Resistance Beyond Pinch-Off in Metal-Oxide-

- Semiconductor Transistors, IEEE Trans. on Electron Devices, Vol. ED-12, No. 3, pp. 139-141, March 1965
- (9) F. P. Heiman and H. S. Müller, Temperature Dependence of n-Type MOS Transistors, IEEE Trans. on Electron Devices Vol. ED-12, No. 3, pp. 142-148, March 1965
- (10) D. M. Griswold, Understanding and using the MOS FET, Electronics, Vol. 37, No. 31, pp. 66-70, December 14, 1964
- (11) D. M. Griswold, Characteristics and Applications of RCA Insulated-Gate Field-Effect Transistors, IEEE Trans. on Broadcast and Television Receivers, Vol. BTR-11, No. 2, pp. 9-17, July 1965
- (12) H. W. Becke and J. P. White, Gallium arsenide FET's outperform conventional silicon MOS devices, Electronics, Vol. 40, No. 12, pp. 82-91 June 12, 1967
- (13) J. B. McCalslin, Electrometer for Ionization Chambers Using Metal-Oxide-Semiconductor Field-Effect Transistors, The Review of Scientific Instruments, Vol. 35, No. 11, pp. 1587-1591, November 1964
- (14) R. D. Middlebrook, Differential Amplifiers, John Wiley and Sons, 1968
- (15) R. W. Landee, D. C. Davis, and A. P. Albert, Electronic Designer's Handbook, McGraw-Hill, 1957
- (16) W. T. Matzen and J. R. Biard, Differential Amplifier Features D-C Stability, Electronics, Vol. 32, No. 3, pp. 60-62, January 16, 1959
- (17) D. F. Hilbiber, A new DC Transistor Differential Amplifier, IRE Trans. on Circuit Theory, Vol. CT-8, No. 4, pp. 434-439, Decemebr 1961
- (18) W. E. Earle, Designing Zero-Drift D-C Differential Amplifiers, Electronics, Vol. 36, No. 45, pp. 66-70, November 8, 1965
- (19) A. H. Hoffait and R. D. Thornton, Limitations of Transistor DC Amplifiers, Proc. IEEE, Vol. 52, pp. 179-184, February 1964
- (20) G. Meyer-Brotz and A. Kley, The Common-mode Rejection of Transistor Differential Amplifiers, IEEE Trans. on Circuit Theory, Vol. CT-13, No. 2, pp. 171-175, June 1966