

電子部品解説

I C 編

金 俊 鎬*

1. 序 論

研究와 開發의 結晶으로 發明된 트랜지스터라고 불리우는 셈으로부터 새로운 技術의 江이 흐르고 있다. 換言해서 IC(集積回路)라는 것이다. 1958年 Bell研究所 所報 6月號에 그 當時 Bell研究所長이었던 Kelly博士는 다음과 같이 指摘하였다. “10年前에 發明된 트랜지스터는 그間 電子工業界를 크게 變化시켜 왔다. 앞으로 10年後에는 더 큰 變化가 올것이다” 그런데 10餘年이 지난 지금에 와서 과연 Kelly博士가 豫言했던 대로 더 큰 變化가 나타났다. 例로써 Silicon Controlled Rectifier (SCR), MOS FET, Unijunction transistor, MNS Device, Semiconductor detector, optoelectronic device, IC等 等 이루 헤아릴수 없을 程度다. 이中에서 모든 産業分野에 큰영향을 주고 있는것이 IC이다.

지난 18年間 트랜지스터는 性能改良, 生産價切下 및 信賴度向上 等 눈부신 發展을 하여왔다. 그러나 트랜지스터는 40年間的 發展끝에 電子管이 부닥쳤든 限界點에 또 다시 부닥치게 된 것이다. 더 많은 部品을 必要로 하는 電子計算機, Data Processing control system, 더 廣汎한 自動化等에는 部品數에 對한 問題가 提起된 것이다. 即, 部品의 “數”에 障壁이 있음을 알게 되었다. 이 “數”의 障壁을 뚫고 탄생된 새로운 部品이 바로 IC이다. 이 IC技術은 트랜지스터技術보다 더 넓고 精密한 科學技術을 土臺로 하고 있는 것이 特徵이다.

IC는 電子材料, 物質構造, 製造技術이 트랜지스터와 비슷하다는 意味에서 그 後繼者라고 해도 좋다. 그러나 IC는 IC 自體의 layout와 設計, 生産過程 및 研究開發과의 相互關連性은 트랜지

스터와는 比較가 안되리만큼 密接한 相關關係를 가지고 있다. 이點이 또 하나의 特徵이 된다.

트랜지스터以前時代에는 回路方式의 生産價는 個個 部品의 價格과 信賴度에 많이 關係되어 經濟性을 높이기 爲해서 部品의 數를 줄이고 量産하는데 主力하였지만 IC는 그 生産價와 failure rate가 상당히 줄었으므로 部品數를 줄이는 것 보다는 하나의 回路機能當 Process step를 줄이는데 主안점을 둔다. 이것이 IC의 세번째 特徵이 된다.

近來에 와서 IC는 한발자욱 더 나아가서 Large Scale IC(LSIC)化, Isolation問題等이 대두되고 있다. 이점도 간단히 解説코져 한다.

그런데 本論에 들어가기 前에 IC에 關한 IEEE Standard definition을 參考로 列擧해 둔다. 便宜上 英文으로 게재한다.

IEEE Standard Definition on Integrated Electronics

Integrated Electronics

That portion of electronic art and technology in which the inter dependence of material, device, circuit, and system design considerations is especially significant; more specifically, that portion of the art dealing with IC.

Integrated Circuit

A combination of inter connected circuit elements inseparably associated on or within a continuous substrate. Note: To further define the nature of an IC, additional modifiers may be prefixed. Examples are (a) dielectric isolated monolithic IC (b) beam-lead monolithic IC (c) silicon chip tantalum thin film hybrid IC.

Monolithic IC.

An integrated circuit whose elements are formed in situ upon or within a semiconductor substrate

*原子力研究所 電子工學研究室

with at least one of the elements formed within the substrate.

Hybrid IC

An integrated circuit consisting of a combination of two or more IC types or one IC type and discrete elements.

Film IC

An IC whose elements are films formed in situ upon an insulating substrate. Note: To further define the nature of a film IC, additional modifiers may be prefixed. Examples are: (a) thin film IC (b) thick film IC

Substrate(of an IC)

The supporting material upon or within which an IC is fabricated or to which an IC is attached.

2. Monolithic IC와 Hybrid IC

IC는 序論에서 指摘했듯이 種類가 많다. 機能別로 分類하면 linear IC와 digital IC이고 構造上으로 分類하면 크게 두種類이다. monolithic IC와 hybrid IC이다. MIC는 그림 1에서 알수 있듯이 작은 Silicon 조각(이것을 die라고 부름) 위에 抵抗, capacitor, 트랜지스터 다이오드를 擴散 或은 蒸着法으로 만드는 것으로 die上的 個個의 部品間의 interconnection은 metalize로 만들어지기 때문에 部品하나 하나를 따로 分離할 수가 없다. 이런 MIC는 同一한 機能素子가 많이 쓰이는 電子計算機에 應用된다.

한편 Hybrid IC는 ceramic substrate위에 個

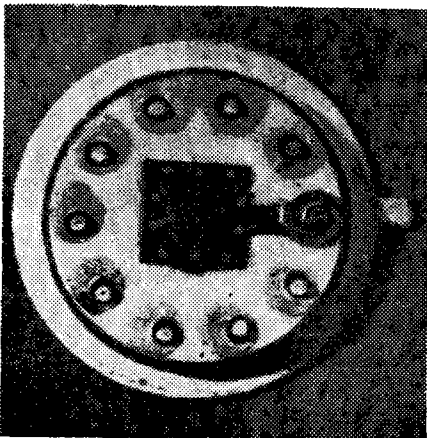


그림 1 MIC

個의 部品을 부쳐서 만들고 inter connection은 metalize 或은 wire bonding해서 만들게 되는데 그림 2에 HIC를 들었다. 이 두 그림을 比較해 봐도 곧 그 差異點을 찾을 수 있다.

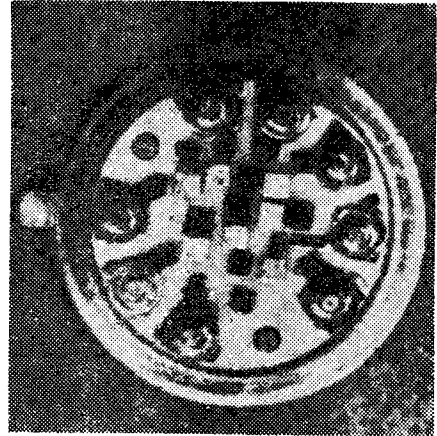


그림 2 HIC

HIC는 종래의 discrete部品을 縮小한 것들을 한個의 header上에 集合시켰으므로 MIC보다 먼저 開發된 것이다. 또 HIC는 몇個 MIC와 film IC로 構成되기도 한다. HIC는 現在 需要가 적은 分野나 또는 高周波特性이 MIC로 cover되지 못하는 곳에 應用된다. 故로 MIC와 HIC는 제 자기 特徵을 살려서 利用되고 있다. 앞으로 isolation問題와 周波數問題가 解決되면 價格이 싼 MIC로 轉換될 可能性도 있다. 따라서 IC의 核心體는 역시 MIC라고 生覺된다.

原來 monolithic이란 單語는 語源이 희랍어인데 momo는 single 即 하나, 單, 을 意味하고 lithic은 stone 即, 돌, 結晶等を 意味한다고 한다. 그러니까 mono lithic은 single stone 또는 single crystal 다시 말해서 單結晶을 말한다.

現在 우리말에는 이에 適當한 말이 없어서 그대로 monolithic IC라고 쓰겠다.

3. MIC의 構造

MIC는 製造되는 工程에 따라서 또 다시 分類된다.

- 1) epitaxial diffused process
- 2) diffused collector process
- 3) triple diffused process

以上 3種類의 工程으로 만들어지는 IC는 모두 4層(pnpn層)으로 되어 있다는 點에서 그 類似點을 找게 된다. 그러나 pnpn層을 만드는 方法이 各各 特色이 있어서 이것으로 最終의 特性의 優劣을 判가름하게 된다. 其中 現在 IC製作 會社에서 가장 널리 使用되고 있는 epitaxial diffused process에 關해서 상세히 說明하고 其他 方法에 對해서는 간단히 比較하겠다.

3-1 Epitaxial diffused process

Epitaxial diffused IC는 P型 실리콘에서 부터 始作한다. 이 실리콘 wafer에 n型 epitaxial film을 成長시킨다. 이 過程은 대단히 어려운과 정으로 알려진 것으로 實際 IC가 만들어진 후의 電氣的 特性에 막대한 影響을 준다. 특히 Si 表面上的 defects는 epitaxial 成長시킬때 점점 擴大되어 커지기 때문에 表面處理에 세심한 注意가 必要하다. 이 epitaxial 層內에 모든 部品이 居住하게 되므로 그 重要性은 말할 必要가 없다. 그림 3에서 13까지는 各 step中的 substrate가 變化되어 가는 構造를 보인것이다. 우선 그림 3부터 보자.

左側上端에 있는 原板모양이 Si wafer이다. 그 아래 크게 그린 4角形이 Si wafer에서 바둑판 모양으로 잘라서 한箇의 조각(검은부분)을 베어 냈다고 생각해서 그린것이다. 그러므로 직경 1인치 Si wafer 한장에서는 수백箇의 IC die가 만들어진다.

이 die를 보면 p型 substrate에 n型 epitaxial 層이 成長된 것이 보인다. 그위에 또 表面酸化시 킨것도 表示되어 있다. 이 酸化膜은 約 5000Å

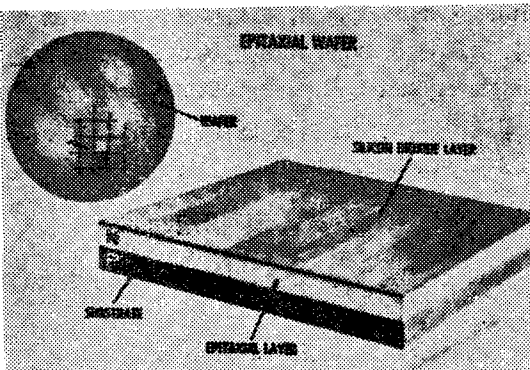


그림 3 epitaxial diffused process의 始作點인 epitaxial wafer

程度로 여러 目的에 利用된다. 不純物 擴散時 차 단效果가 있어서 選擇擴散을 可能케 하고 Si 表面을 汚染으로 부터 保護한다. substrate는 取扱하기 쉽게 두꺼워야 좋지만 scribing할때 반 듯하게 dicing하기 위해서는 얇아야 한다. 그래서 이런點을 考慮해서 現在 使用되는 IC用 Substrate는 두께가 大略 6~8mils이다. 比抵抗은 10Ω-cm epitax 層의 두께는 1mil, 比抵抗은 0.5Ω-cm이다. 이 數值들은 높은 break down 電壓과 작은 substrate junction capacitance, 낮은 V_{CE(SAT)}. 高周波特性을 改善키 爲해서 調整된 現實의 인 수치들이다.

IC를 만드는데 普通 4箇의 mask가 使用된다. 即, isolation mask, resistor/base/anode mask, emitter/cathode/crossover mask, inter connection mask等이다. 그러므로 IC만드는 段階는 大別해서 4段階이다.

첫段階로 部品間의 相互影響을 없애기 爲해서 isolated island(격리된섬)을 만든다. 좀 더 부연하면 photo resist를 酸化膜에 coating하고 isolation mask를 使用해 光彫刻을 한다음 현상을 한다. 그리고 願하는 部分의 酸化膜을 etch 시켜 낸다. 그러면 그림 4와 같이 된다. 그림에서 酸化膜이 그대로 있는 곳은 isolation擴散 때 不純物침투를 막아 낸다. 여기에 使用하는 擴散物로는 boron을 쓰는데 擴散後의 構造는 그림 5처럼 된다. 完全히 격리된 섬들이 보인다.

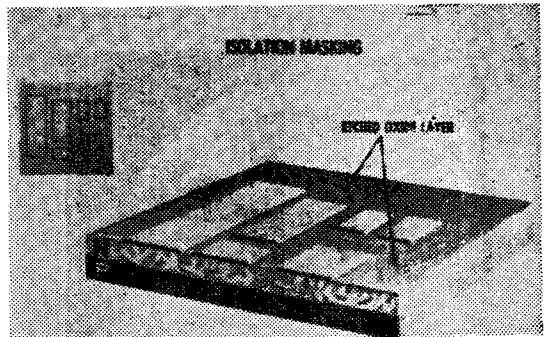


그림 4 isolation mask로 酸化膜을 etch한 後의 모양

이 섬들間에는 서로 back to back diode를 만들고 있으므로 한쪽이 順方向으로 電壓이 걸려도 다른쪽이 逆方向으로 걸리게 마련이다.

第2段階 mask는 抵抗, 트랜지스터의 base, 다이오드의 capacitor의 anode를 包含한다. 그림 6은 이 mask로 酸化膜을 etch한 後의 그림이다. 그런후에 第2의 擴散을 實施한다. 擴散物은 역시 boron(p型物質)를 쓴다.

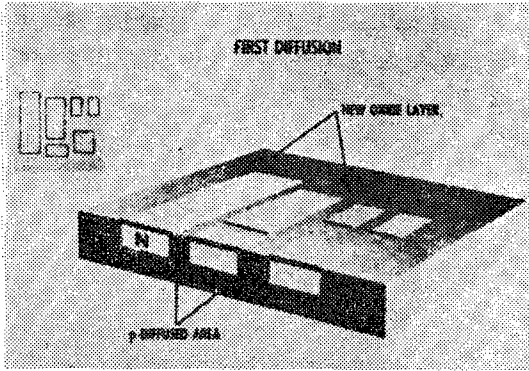


그림 5 처음 擴散(P型) 後의 構造

RESISTOR/BASE/ANODE MASKING

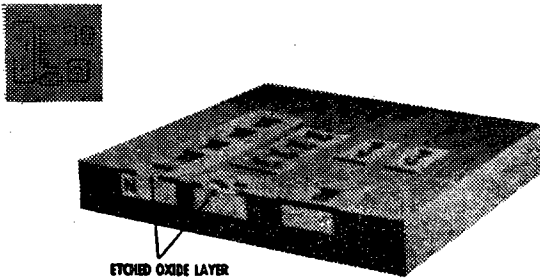


그림 6 第2mask로 酸化膜을 etch한 後의 構造

이때 擴散된 두께는 열게 되어 있어야 한다. 이것을 正確하게 control하려면 表面濃度와 擴散時間, 擴散溫度等의 關係를 알고 있어야 한다. 이 過程은 프래너 트랜지스터를 만들때 base擴散過程에 該當하는데 이와 더불어 抵抗素子, diode와 capacitor의 anode를 同時에 擴散시키는 것이다. 이 事實은 base擴散時 表面濃度を $10^{17} \sim 10^{18} \text{atoms/cm}^3$ 程度로 制限해야 하는 條件과 잘 一致하기 때문이다.

그림 7은 第2의 擴散을 마친다음의 構造를 나타낸다. 이것으로 2段階는 모두 마치게 된다. 지금까지 보아온 1段階와 2段階의 차이점은 단지 mask를 서로 다른것을 使用했다는 點과 表面濃도가 다르다는 것뿐이다.

그러면 第3段階과정을 보자 이때 使用하는

mask는 트랜지스터의 emitter, 다이오드의 capacitor의 cathode pattern을 가지게 된다. 여기에 부가해서 트랜지스터의 collector의 contact area도 같이 etch하게 된다. (勿論 方法은 K.P.R. process를 거쳐서 이루어진다.) 이것은 contact物質로 Al이 p型 擴散物이기 때문에 일어난다. Al은 실리콘에 最大 $2 \times 10^{19} \text{atoms/cm}^3$ 까지 容解된다. 그러므로 n型 collector contact 附近의 濃度を 充分히 높여주지 않으면 n型 collector와 Al(p型)이 alloy가 되었을때 p-n junction contact

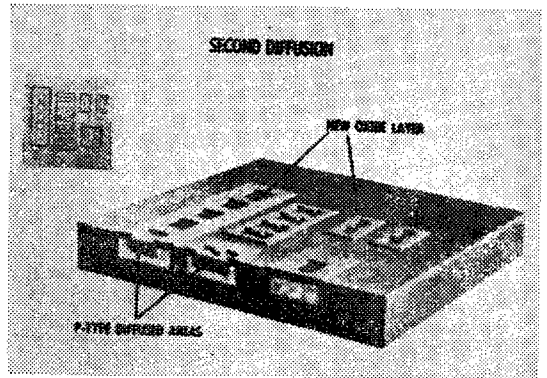


그림 7 第2擴散後의 構造

가 만들어질 우려가 있다. 經驗에 依하면 n型 collector의 表面濃度は 적어도 $2 \times 10^{20} \text{atoms/cm}^3$ 程度라야 한다. 第3의 擴散을 할 경우 phosphorus(n型 擴散物임)를 쓰는데 이것으로 表面濃度を $2 \times 10^{20} \text{atoms/cm}^3$ 를 얻기는 용이하다. 그림 8은 etch한후의 構造이고 그림 9는 第3의 擴散을 한다음의 構造이다. 이로써 IC製造上の 擴散過程은 全部 다친다.

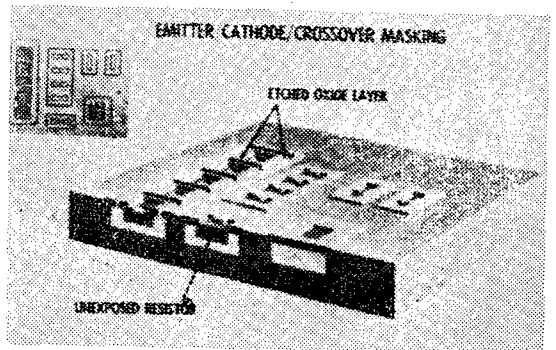


그림 8 第3의 mask로 etch한후의 모양

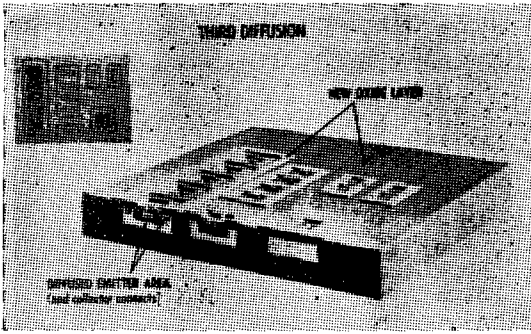


그림 9 第3의 擴散後의 die의 構造

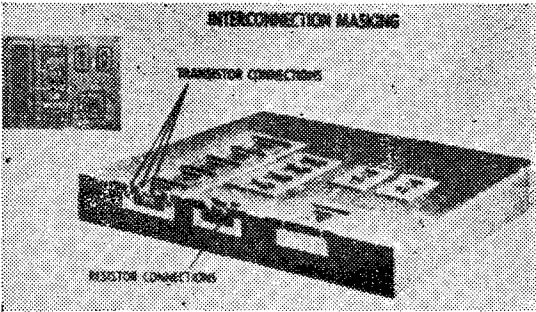


그림 10 inter connection을 하려고 酸化膜을 etch한 후의 구조

第4段階 mask는 interconnection를 위한 것으로 격리된 심들間을 연결해서 全體的인 回路를 構成하게 된다. 그림 11은 interconnection를 하려고 酸化膜을 etch한 것을 나타낸다. 그다음 die全面을 Al로 眞空蒸着을 하고 K.P.R. process를 해서 願하지 않는 부분을 etch한다. 그러면 部品間의 連結은 끝난다. SiO_2 層을 利用한 capacitor의 對電極用으로 Al膜을 必要時 남겨야 할 경우도 생긴다.

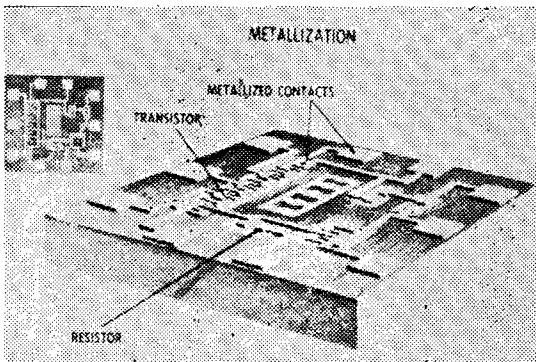


그림 11 Al 蒸着을 마친 후의 wafer

그림 12는 이과정을 끝마친 wafer全體를 나타낸다. 이런 MIC가 普通 수百個씩 들어 있어 육안으로는 도저히 分別하기 어렵고 100~500倍의 顯微鏡을 使用한다. 이때 wafer form test를 하는데 電氣的인 特性은 여기서 처음 測定케 되는 것이다. 트랜지스터의 경우 yield가 95%까지 오르고 있으나 IC의 경우에는 普通 50% 優秀한 때 70%까지 오른다. 讀者들은 IC가 얼마나 製造하기 어렵다는 것을 可히 짐작할 수 있을 것이다. 이 test에 失敗한 die는 marking하고 wafer를 scribing을 해서 網개로 쪼개 낸다. 그다음 合格된 die를 ceramic위에 固定시키고 header에 부치면 이 過程이 끝난다. 그림 13은 IC를 普通 쓰는 트랜지스터 header에 부친 것이다. 그 다음으로 wire bonding을 해서 cap을 싸우면 全過程이 끝난다. bonding wire는 1mil짜

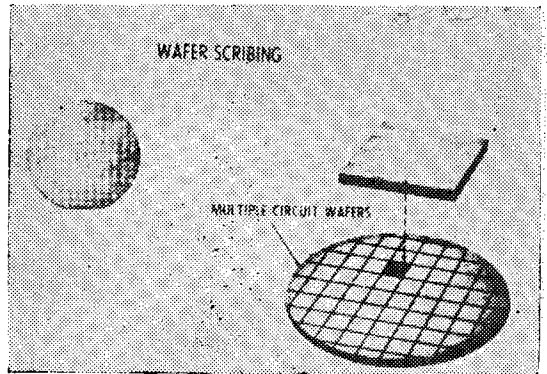


그림 12 wafer에서 個個의 die로 分離한다

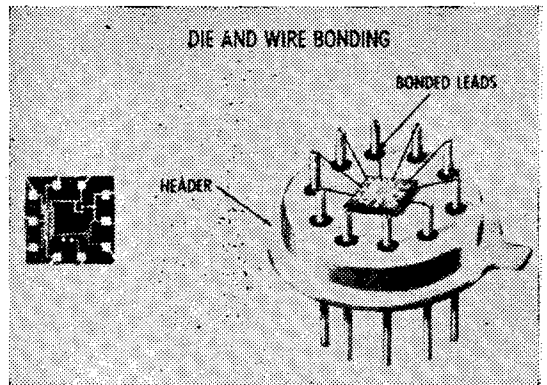


그림 13 完成된 die를 header 위에 부친것

리 gold wire를 使用하는데 여기에 約千의 問題가 있어 새로운 bonding wire를 開發하고 있는 형편이다. 이로써 epitaxial diffused process는

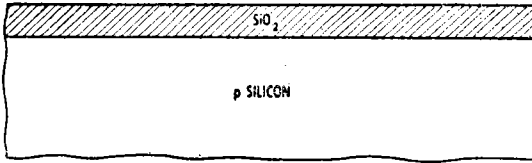
完決된다.

3-2 Diffused collector process

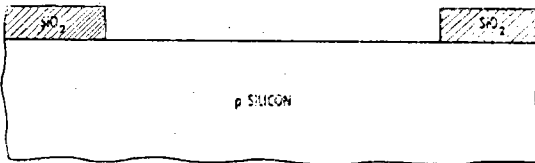
이 方法에서 substrate는 前 process와 같이 p型 실리콘에서 출발한다. 우선 表面酸化부터 始作한다. 여기에 사용하는 mask는 前節의 것 과 비슷하지만 ㅅ들을 만드는데 擴散을 利用한 것을 쓰는 점이 다르다. 이 以後 過程은 前節과 大同小異함으로 略한다. 그림 14와 15는 各過程 마다의 wafer의 斷面變化를 보인것이다.

3-3 Triole diffused process

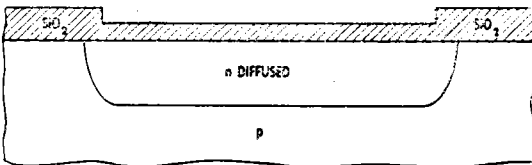
이 方法은 처음 n型 실리콘에서 始作한다. 그림



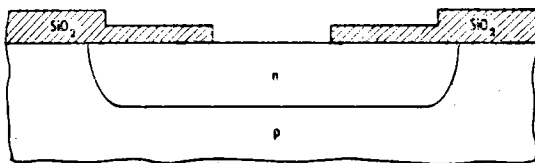
OXIDIZED WAFER



COLLECTOR PATTERN FORMED

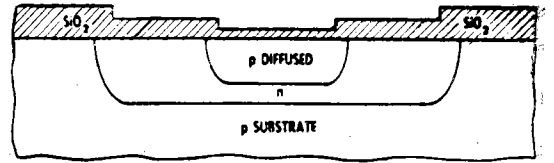


COLLECTOR DIFFUSED

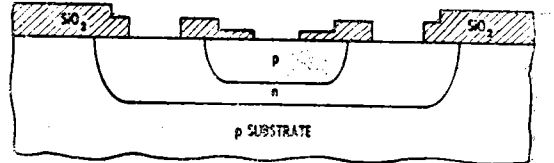


BASE PATTERN FORMED

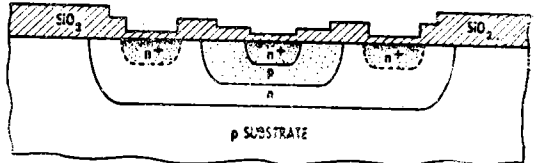
그림 14 diffused collector process로 만들어 지는 wafer의 斷面圖



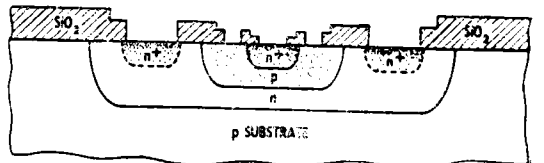
BASE DIFFUSED WAFER



EMITTER PATTERN FORMED



EMITTER DIFFUSED WAFER



PRE OHMIC PATTERN FORMED

그림 15 그림 14와 同-함

16과 17을 보던 全面에 表面酸化를 하고 K.P.R process를 해서 酸化膜 etch를 한다음 p型 酸化 物로 boron을 使用해서 表面濃度가 높도록 predeposition을 한다.

擴散은 兩面에서 일어나므로 substrate 中間에서 서로 만나게 된다. 이렇게 해서 n型ㅅ들을 만들고 이 以後過程은 epitaxial diffused process 에 비슷하다. 여기에 n+라고 되어 있는 部分은 前述한바와 같은데 doping level이 $10^{17} \sim 10^{19}$

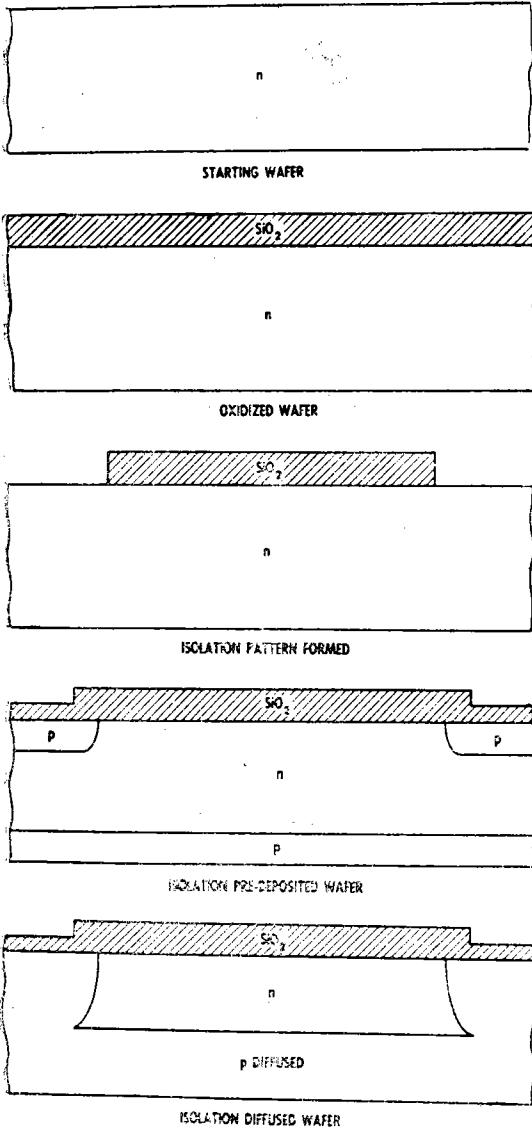


그림 16 triple diffused process로 만들어지는 wafer의 斷面圖

atoms/cm³되는 程度를 말한다. 그러므로 普通 n p는 doping level로 보면 10¹⁵~10¹⁷atoms/cm³로 떨어지게 된다.

3-4 各 Process의 長短點

지금까지 說明한 세 process의 差異點은 擴散層의 不純物濃度와 傾度로 決定된다. 그림 18~20은 이것을 나타낸다.

이 세그림을 比較하던 emitter와 base 附近의 不純物의 分布모양은 비슷하다.

그러나 collector와 substrate사이의 모양은 많이 差가 난다. 이 部分이 結局은 세 process의 特徵을 나타내 주는 곳이다. 그림 18를 살펴 보면 collector는 負性不純物傾度를 나타내고 傾度구배가 완만하다. 이 傾向은 우리가 바라는 條件에 反對로 逆行하는 것이다.

또 collector base junction의 capacitance는 collector側의 junction 附近의 doping level에 依해 決定되는데 collector側의 doping level이

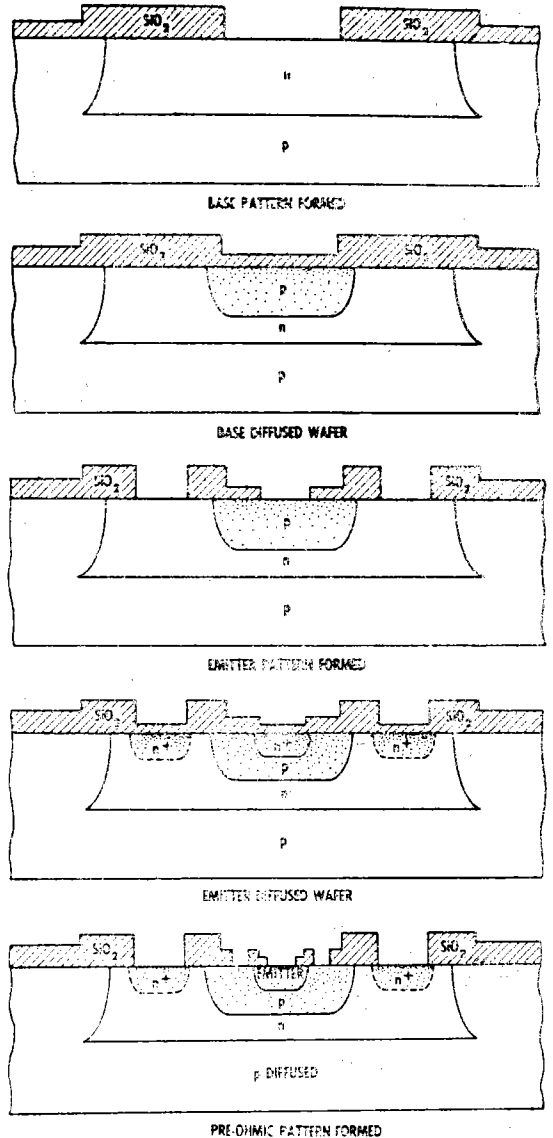


그림 17 그림 16과 同一함

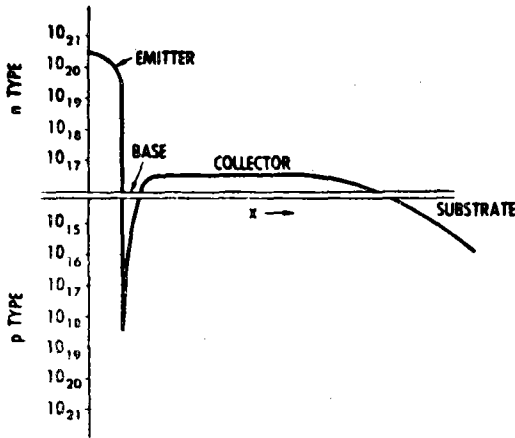


그림 18 diffused collector process에 의해서 얻은 IC와 불순물들의 분포도

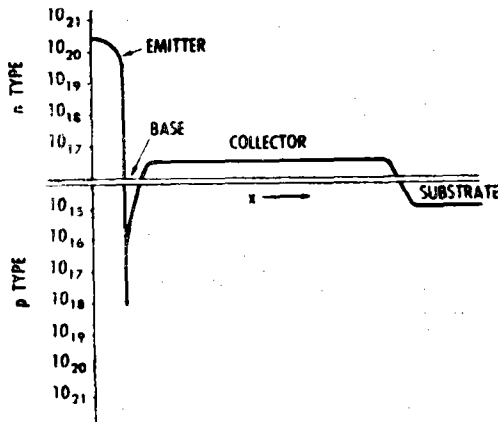


그림 19 triple diffused process로써 얻은 IC의 불순물분포도

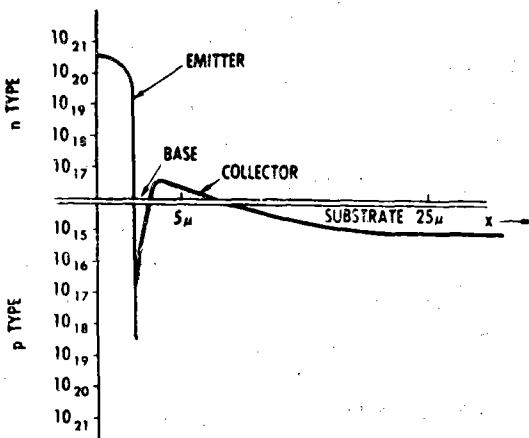


그림 20 epitaxial diffused process로써 얻은 IC의 불순물분포도

最大가 되어 junction capacitance가 最大가 된다. 또 하나는 collector-base의 表面濃도가 他 process보다 必然的으로 높게 되므로 BV_{CBO} 가 낮아지게 된다. Series collector 抵抗도 우리의 意圖대로 만들수가 없다. 주로 短點이 많다. 그림 19는 18과 약간 차이가 난다. collector部分의 不純物傾도가 거의 水平이고 collector base junction부근의 collector側 不純濃도가 Peak를 이루지 않는다는 점이다. 또 doping level은 任意로 調整可能하므로 $V_{CE(SAT)}$ 를 쉽게 調整할 수가 있다. 이렇게 長點이 있기는 하나 이 방식의 宿命적인 단점이 2個있다. 첫째 substrate를 擴散시키므로 collector-substrate의 junction capacitance는 collector側 level로 決定되고 격리 capacitance가 줄어들지 않는다는 것이다. 둘째 isolation하려고 boron을 擴散하는데 확산 두께는 wafer의 半까지 하나까 擴散時間이 걸려진다. 一例로 $1250^{\circ}C$ 에서 boron을 使用해서 150 micron wafer를 절반정도 擴散시키는데 무려 36 시간이 걸린다. 이것은 經濟的이 못된다. 게다가 側面擴散이 進行되어 격리된 섬의 크기가 작아진다. 이런 短點들은 實際的인 면에서 불쾌 落第다. 그림 20은 지금까지 본 그림과 다르다. 即, collector와 substrate 사이에 不純物傾도가 급격하게 變化하고 있다. 이것은 isolation capacitance로 最小로 출일수 있게 해준다. 뿐만 아니라, triple diffused process가 가지는 모든 長點은 全部가져 버 단점은 他方法에 比하면 하나도 없는 것이다. 따라서 現在 製品화된 IC는 거의 全部가 epitaxial diffused process로 만들어진 것이다.

4. Isolation問題

前節에서 epitaxial diffused process가 가장 有望하다는 것을 말하였다. 그러나 이런 MIC도 周圍溫度, 放射線의 影響을 받으면 collector와 substrate의 leakage電流는 상당히 커진다. 이것이 現在 IC가 直面한 큰 問題로 이것만 完全無缺하게 解決할 수만 있다면 모든 電子機器의 IC化는 加速度的으로 增加할 것이 分明하다.

現在 美國을 비롯한 先進國에서는 이 問題를 解決코지 時間을 다투며 研究에 몰두하고 있다.

지금까지 몇가지 方法이 開發되어 있는데 완전한 것은 못된다.

4-1 Contour deposited IC

처음 생각할 수 있는 것은 epitaxial dijused process를 그대로 使用하며 isolation capacitance를 줄이려는 것이다. 이 方法이 바로 contour deposition인 것이다. 그림 21을 보면 그 方法을 대개 짐작할 수 있으리라 생각된다. 먼저 酸化膜을 입히고 KPR process를 거쳐서 섬을 만들려는 부분을 etch해 낸다. 섬의 깊이는 10~15 μ 으로 그림에서 (a)의 形態가 나온다. 다음 epitaxial層을 입히면 (b)圖와 같이 된다. 이것을 다시 (c)와 같이 epitaxial層을 polish해내면 섬들이 만들어진다. 이후의 過程은 epitaxial diffused process를 따르게 된다. 이때 얻어지는 소자의 isolation copacitance는 半程度로 줄어들

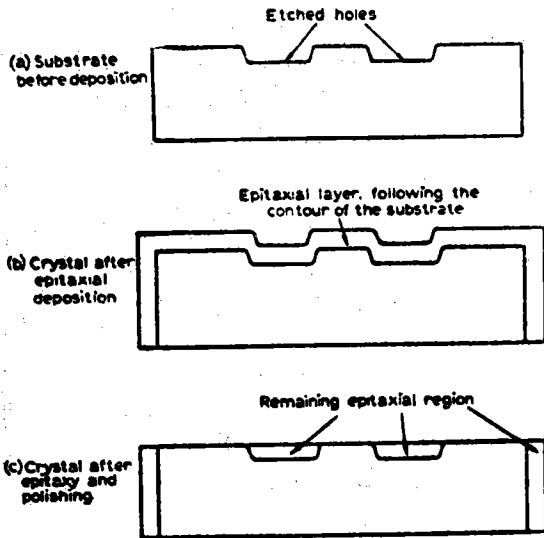


그림 21 Contour deposition 方法

고 hfe는 10배 ft는 2배라고 報告되어 있다.

4-2 Dielectric isolated IC

이 方法은 contour deposition보다도 더 적극적인 것으로 isolation를 완전케 하기 위해서 誘電物質을 使用하는 것이다. 그림 21의 (a)처럼 만든 다음 이것을 表面 酸化시킨다. 10~15 μ 程度는 加熱酸化法을 使用하고 더 두꺼운것이 必要할시는 SiO₂膜蒸着法을 使用한다. 그런 다음 그위에 繼續해서 epitaxial reactor에서 silicon를 growing 시키면 多結晶 Si가 形成된다. 이것을

그림 22와 같이 Si單結晶面에서 polishing를 하면 목적하는 Si섬을 얻을수 있게 된다.

이 두가지 方法은 서로 一長一短이 있다. contour 方法은 process는 간단한데 isolation이 完全치 못하고 한편 dielectric 方法은 isolation은 完全한데 process가 複雜하다.

4-3 Air isolated IC(Beam lead sealed type)

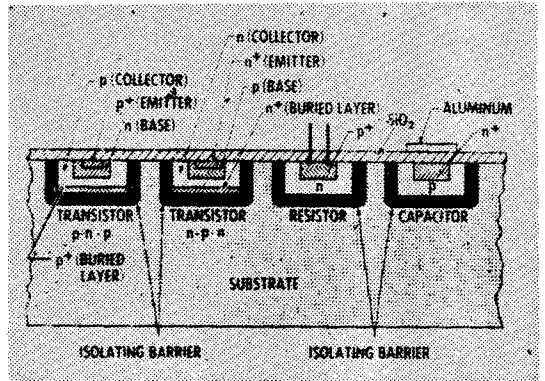


그림 22 dielectric isolated IC 斷面圖

이 方法은 現在까지 알려진것 中에서 第一 優秀하다고 보는 方法이다.

어떤 IC를 막론하고 sealing을 해야 하는 것은 두말할 나위가 없는 것이다. 그 方法이 經濟性과 信賴性을 考慮해야 하기 때문인데 AI IC는 두가지 다 解決된다. connection하는 方法이 또한 우수하다. 그러면 그림 23을 說明키로 하자 그림 (a)를 보면 普通의 planar 트랜지스터이다.

여기에 0.1 μ 의 silicon nitride를 coating한다. silane와 ammoniw를 水素분위기에서 875°C로 加熱해서 만든다. 이것은 Na⁺의 移動을 막으려는 것이다. SiO₂은 Na⁺를 막는데 效果가 없으므로 silicon nitride를 使用한다. 그위에 다시 0.3 μ SiO₂層을 다시 coating한다. 이것은 結局 3層絶緣이 된다. 그다음 KPR process를 거쳐서 contact window를 뚫는다. 이과정에서 제일윗층의 SiO₂層은 쉽게 etch된다. 그리고 끓는 phosphoric acid로 silicon nitride를 etch해 낸다. 上層의 SiO₂層은 浸蝕받지 않는다. 그다음 下層의 SiO₂를 etch하는데 이때 上層의 SiO₂층도 同時에 된다. 그림 (a)는 이것까지를 마친 그림이다.

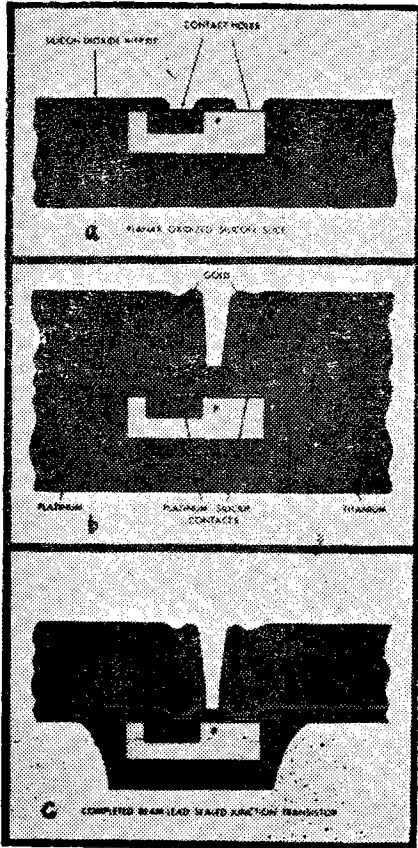


그림 23 beam lead sealed transistor의 断面圖

다음으로 백금(Pt)을 全面에 sputtering해서 650°C로 加熱하면 contact area에 있는 silicon과 結合해서 Platinum silicide를 만든다. 이것은 상당히 安定한 化合物로 저항도 작고 부식도 안된다.

SiO₂층상의 Pt는 etch해 내고 다시 Ti를 coating한다. 이것은 여러점으로 좋다. 即, 熱放射에 좋고 機械的強度를 높이고 SiO₂, silicon nitride와 作用하여 強力한 bond를 만든다. 그 밖에 dielectric上的 不純物을 흡수하여 IC의 수명을 높이는 役割도 담당한다. 또 한가지 高溫에 오래 견딘다. 맨바깥 층은 Au로 coating한다. 이것도 몇가지 좋은 점이 있다. 부식에 오래 견디고 bonding이 쉽고 展性이 있어서 충격에 파손되지 않는다. 그러나 Ti와 비교적 低溫에서 작용해서 化合物을 만들어 나쁜특성을 나타내게 만든다. 그러므로 이것을 防止하기 위해서 샌드위치 모양 Pt를 Au와 Ti사이에 coating

하게 된다. 그과정이 끝난것이 그림 23의 (b)이다. 그다음에는 必要치 않는 silicon을 全體 etch해내서 (c)와 같이 만든다. 그러므로 isolation은 空氣中에 방치하게 되므로 해서 AI IC라고 부른다. 그림 24는 bridge rectifier회로를 이 방법으로 만든 것이며 그림 25는 實際로 만든것을 나타낸다.

그림 25에서 beam lead-sealed junction트랜지스터는 中間에 位置하고 있는것 2個이다.

지금까지 記述한 것은 IC에 關해서 아주 基本的인 것이다. 이밖에도 passive components製法이라든가 應用的 實際例는 紙面關係로 생략

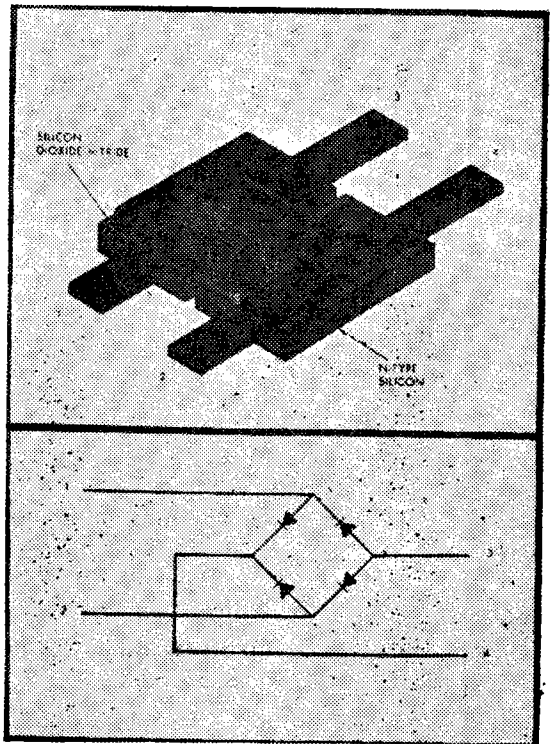


그림 24 bridge rectifier 回路 AI IC로 만든 것이다.

하고 이 方面에 더 깊은 研究를 하고저하는 續者를 위해서 IC文獻을 추켜본다.

1. Microelectronics, Hittinger W. C, Scientific American, Nov, '65
2. Microelectronics, Progress, Problems and Potential, Stember, L.H Battelle Technical Review, June'66.

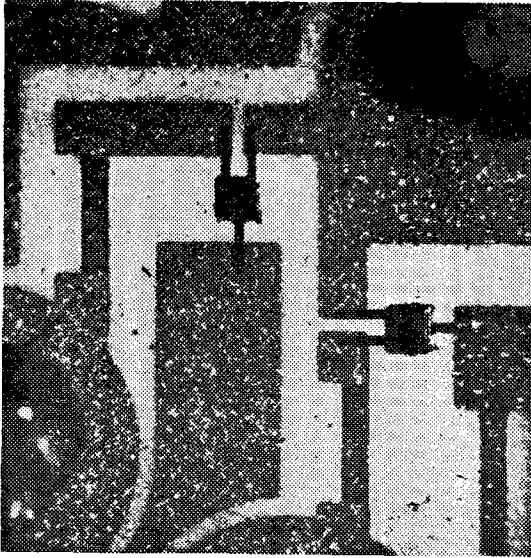


그림 25 實際로 만든 beam lead transistor

3. The Microelectronics Dilemma, Morton J. A., International Science & Technology, July '66.
4. Integrated Circuit Issue, Bell Lab Record Vol 44, No. 10 Nov. '66
5. Introduction to microelectronics and integrated circuit Lytel, A. H., Sams, 1964 160p.
6. Introduction to Intergrated Semiconductor Circuit Khambata, A. J., Wiley 1963. 233p.
7. Principles of Solid State Microelectronics Levine, S. N. Holt, Rine hart & Winston 1963, 211p.
8. Miniature and Microminiature Electronics, Dummer, G. W. Wiley 1961 310p.
9. Integrated Circuits, Design Principles and Fabrification Motorola Inc., McGraw Hill 1965, 385p.
10. Printed and Integrated Circuitry: Materials and Process schlabach T. D. McGraw Hill 1963. 420p
11. Microelectronics: Theory, Design and Fabrication Kconjian E. McGraw Hill 1963, 383p.
12. Integrated Silicon Device Technology Research Triangle Institute, Washington, Clearing house for Federal Scientific and Technical Information 1963 to date Eleven volumes: Resistance, Capacitance, Photoengraving Diffusion, Physical Properties of Silicon, Unipolar transistor, Oxidation Diodes, Epitaxy, Chemical/Metalurgical Properties of Silicon, Bipolar Transistor.
13. Integrated Circuit Engineering: Basic Technology Integrated Circuit Engineering Corporation, Boston Tech, Pub. 1966, 391p.
14. Micropower Electronics, Keonjian E., Macmillan 1964. 216p.
15. American Microelectronics Data Annual, Macmillan, 1963/1964.
16. British Miniature Electronic Components and Assemblies Data Annual Oxford, Pergamon, 1961/1962 to date.
17. Microelectronics and reliability, Dummer, G. W. Pergamon Press, quarterly.
18. Microelectronics Design, Monthly.
19. Semiconductor Products and Solid state Technology, Monthly.
20. Proceeding of IEEE, Integrated Electronics Issue of December 1964
21. Electronic Components Conference, Proceedings, by IEEE
22. International Solid State Circuit Conference, Winner, 1958 to date.