

電界 効果 트랜지스터 (FIELD-EFFECT TRANSISTOR)

金 惠 鎮*

1935년에 벨린의 Oskar Heil이 그림 1과 같은 모양의 半導體能動素子에 對한 英國特許를 얻은 것이 今日의 Field-effect transistor(FET라 略稱)의 母體라고 할 수 있다. 이 그림에서 3이라고 表示한 部分은 tellurium, iodine, 亞酸化銅, vanadium pentoxide와 같은 半導體의 얇은 層으로 되어 있었고 1과 2部分은 半導體에의 抵抗接觸點이다. 6으로 表示된 部分은 얇은 金屬層이며 半導體와는 絶緣하여 이에 가까이 있어서 制御用電極의

으나 最近에 이르기 까지 FET는 實驗室的 發展過程을 벗어나지 못하고 있었던 것이다. FET가 이와같은 不進

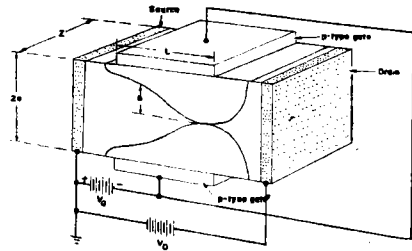


그림 2. Shockley가 發明한 FET의 構造

한 狀態에서 最近에 이르러 飛躍的인 發展을 하게 된 데에는 다음의 3가지 理由 때문이었다. 첫째는 高度로 發達된 今日의 半導體物理理論과 半導體製作技術이고 둘째는 Weimer에 依한 蒸着技術이라든지 Hofstein과 Heiman에 依한 絶緣 gate의 製作技術 등의 發達로서 性能이 改良된 逆바이어스 junction gate의 製作이 可能하게 되었다는 것이고 셋째 要因은 오늘날 電子機器의 트랜지스터化가 相當히 推進되어가고 있다는 事實이다. 普通의 PNP나 NPN 트랜지스터 即 兩極性 트랜지스터는 어떤 目的에 있어서는 그의 固有한 兩極性 特性 때문에 眞空管의 完全한 代替가 困難하므로 보다더 眞空管에 가까운 트랜지스터 即 單極性 트랜지스터가 要望되어 왔던 것이다.

1. 單極性 FIELD-EFFECT TRANSISTOR의 原理

點接觸트랜지스터나 p-n 接合트랜지스터와 같은 普通의 트랜지스터와 여기에 記述하려고 하는 field-effect transistor와의 動作原理上의 重要한 差異點은 前者는 動作電流가 兩極性(bipolar)이나 後者에 있어서는 單極性(unipolar)이라는 點이다. 그 理由는 普通의 트랜지스터에 있어서는 少數 carrier와 多數 carrier의 符號相反의

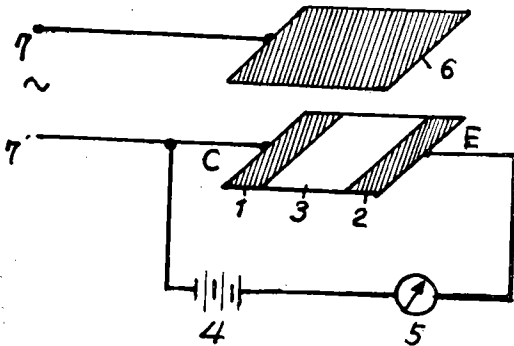


그림 1. FET의 原型

役割을 하는 것이다. 그 當時 發明者인 Heil이 制御電極上의 信號가 어떻게 하여 半導體層의 抵抗을 變調하여 電流計上에 增幅된 信號를 얻을 수 있는 지를 說明한 바 있었다¹⁾. 勿論 이 때의 說明은 半導體理論이 오늘 날처럼 確立되어있지 않았을 때이므로 그 用語나 內容이 지금과 通하지 않았고 오늘의 技術과 用語로서 이를 說明한다면 이素子를 絶緣 gate를 가진 單極 FET (unipolar field-effect transistor)로서 說明될 것이다.

1952년에는 Shockley가 그림 2와 같이 逆바이어스된 junction으로된 制御電極을 가진 單極 FET를 發表했다³⁾. 그 後 1955년에 이르러 C.Dacey와 I.M. Ross⁵⁾는 이 FET의 動作限界에 關한 理論의 解析과 實驗을 하였

* 原子力研究所 電子工學研究室 正會員

두가지 carrier에 의하여 電流가 흐르므로 兩極性이라고 부르게 되었고 FET에 있어서는 少數 carrier는 存在하지 않고 多數 carrier에 依해서만 電流가 흐르므로 單極性이라고 부르는 것이다. 卽 FET에 있어서는 入力 端子와 出力 端子間의 傳導度의 變化가 이들한가지 種類의 carrier數의 變化에 起因 한다는 것이다. 그림 3에 FET의 한 例를 보이고 있다. 이 그림에서 보는바와 같이 FET는 3 端子素子이며, 2個의 n-型 半導體層 사이에 1個의 p-型 半導體層을 샌드위치 처럼 끼고있고 p-型보다 n-型 半導體에 더 많은 doping이 되어있어 여기의 n-型層은 n⁺型이라고 表示한다. 이 FET의 動作 電流는 p-型 半導體內에서 x-軸方向으로 移動하는 正孔(hole)에 依하여 흐르게된다. 이 電流의 端子는 p-型 半導體의 兩斷에 p-型보다 더 많이 doping된 p⁺型 半導體를 插入한 것으로 되어있다. 動作狀態에 있어서 p-n junction 兩端에는 逆바이어스 電壓을 걸어서 carrier의 濃度가 無視될 수 있을 程度로 적은 空間電荷領域을 形成시킨다. 이 結果로서 그림 3과 같은 바이어스狀態下에서 두개의 空間電荷領域사이에 끼여있는 p-型 半導體의 한 "channel"을 通하여 電流가 흐르게 된다. 萬若에 한쪽 p⁺ 端子側의 逆바이어스 電壓이 다른 쪽 端子보다 더크

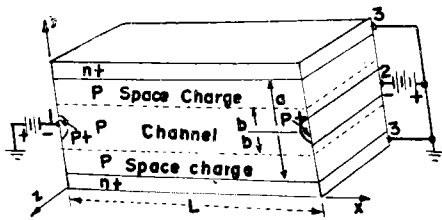


그림 3. 單極性 FET의 原理圖

면 그림 2와 같이 그쪽의 channel이 좁아진다. 그림 3의 端子 3과 接地 사이에 信號를 加해주면 이 信號는 端子 1과 2사이에 電流를 흘려주는 Channel의 幅을 信號에 따라서 넓혔다 좁혔다 해 줌으로써 電流를 制御하게된다. 이러한 點에서 볼때 FET는 普通의 兩極性 트랜지스터 보다도 眞空管에 더 가까운 動作特性을 가지고 있음을 알수 있다. FET에서는 그 端子들을 普通 트랜지스터와는 달리 에미터, 베이스, 콜렉터라고 부르지 않고 그림 3에서 端子 1을 "source", 端子 3을 "gate", 端子 2를 "drain"이라고 부르는데 gate는 眞空管의 grid와 같이 信號電壓에 依하여 source와 drain間의 channel에 흐르는 電流를 制御하는 作用이 眞空管의 grid가 plate 電流를 制御하는 것과 大端히 비슷한 作用을 한다. 이 境遇에 있어서 n⁺ 領域內의 過剩電子는 channel內에 있어서의 hole의 移動을 制御하는 것이다. 兩極性 트랜지스터와 다른點은 또 制御하는 電流와 制御되는 電流가 傳導原理에 있어서 서로 다를 뿐만 아니라 空間的인 位置에 있어서도 서로 다르다는 點이다.

2. FET의 特性

(가) 入力 임피던스

FET의 特性中에서 가장 注目 할 事實은 그의 入力 임피던스가 相當히 크다는 點이다. insulated-gate FET와 같은 것은 入力 임피던스가 10⁹~10¹⁵ ohm에 達한다. reverse-biased gate germanium FET는 飽和 電流가 約 1μA 程度이므로 入力 임피던스는 1 megohm 程度이다.

그러나 같은 構造의 silicon FET는 飽和 電流가 germanium보다 室溫에서 10³ 程度 적으므로 入力 임피던스는 約 10⁹ ohm 程度가 된다. 이 飽和 電流는 溫度가 30에서 50°C로 變하면 約 10倍 增加한다. 그러므로 많은 電力의 損失이 있는 FET는 充分히 冷却시켜 주지 않으면 入力 임피던스는 低下한다.

入力 capacitance는 junction gate型 FET에 있어서는 transconductance가 1000~3000 μmho 일때 20~100PF이지만 insulated gate型 FET에 있어서는 같은 條件下에서 入力 capacitance가 約 1~2 pF 程度 밖에되지 않는다. 그림 4는 insulated gate型 FET의 構造圖이고 그림 5는 이것의 等價回路이다.

(나) 電壓—電流特性

4 個의 다른 FET의 curve tracer上에서의 drain 電壓對 drain 電流特性曲線을 그림 6에 例示한다. 그림에서 (A)는 silicon junction FET, (B)는 silicon insulated-

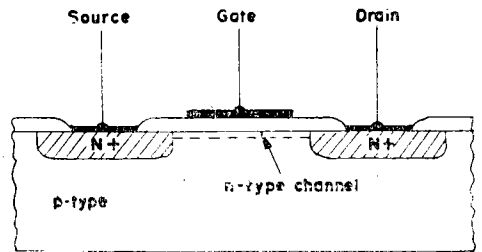


그림 4. Insulated gate型 FET의 構造圖

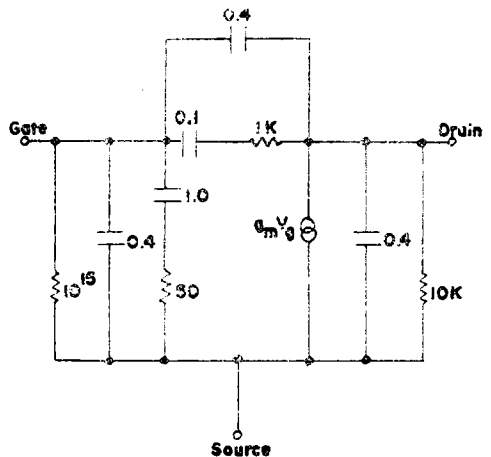


그림 5. Insulated gate FET의 等價回路

gate depletion type, (C)는 蒸着된 CdS FET, (D)는 silicon insulated-gate enhancement type 이다. 이 中에서 junction input FET 와 같은 것은 正, 負 兩方動作에 使用되도록 設計 되지는 않았지만 서로 比較하기 爲해서 모든 FET 들은 正, 負의 drain 電壓과 正, 負의 gate 電壓에 對해서 測定한 것이다. 이 그림에서 보는 바와

같이 gate 에 電壓이 걸리지 않을때(即 $V_g=0$ 일때)에는 FET (C)와 (D)는 $1\mu A$ 程度의 無視할 수 있는 drain 電流가 흐르지만 (A)와 (B)의 境遇에는 drain 電流가 많이 흐름을 알수 있다. gate 가 順方向으로 바이어스되어 있을 때에는 (A)는 gate 抵抗이 적어져서 drain 電流가 빨리 飽和值에 到達한다. 그림에서 이때문에 $I_d=$

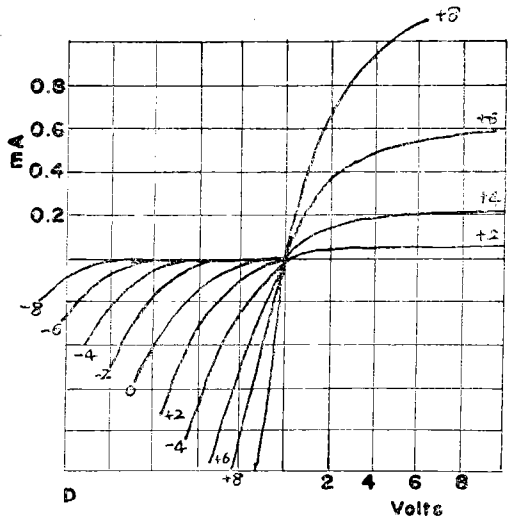
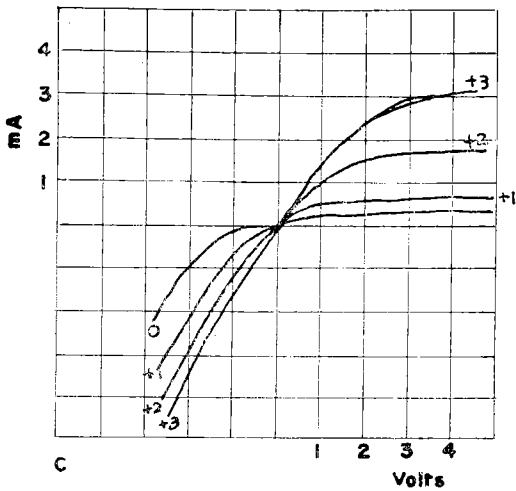
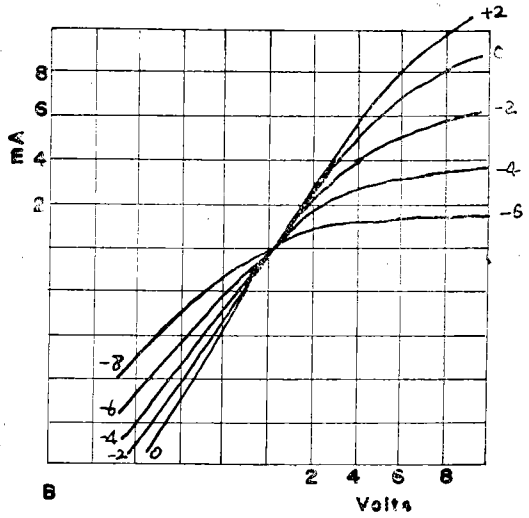
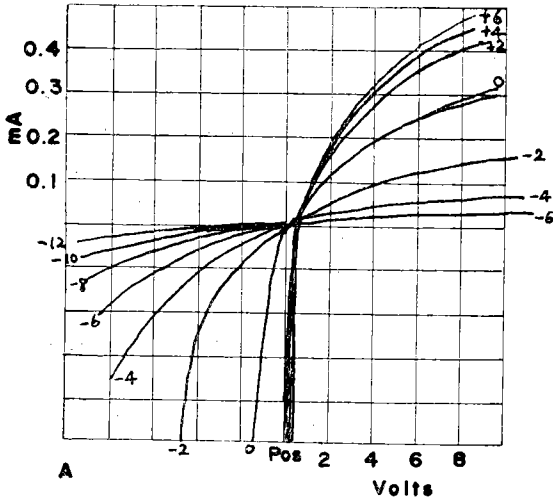


그림 6. FET의 drain 電壓對 drain 電流 特性曲線

0일 때에 電壓이 零에 가깝다. (A)의 境遇에는 gate 電壓이 負의 方向으로 增加하면 drain 電流의 減小가 빠르게 나타난다. 이것은 transconductance 가 gate 바이어스에 따라 크게 影響을 받고 있음을 意味한다. (B), (C) 및 (D)의 境遇에는 gate 電壓의 같은 增加에 對해서 drain 電流의 減小量은 넓은 範圍에 걸쳐서 거의 一樣하다. 即 다시 말하면 drain 電流의 넓은 範圍에 걸쳐서 transconductance 가 거의 一定하다.

(다) 周波數特性

FET의 周波數特性은 Dacey 와 Ross 에 依하여 研究되었는바 그에 依하면 germanium 에 있어서는 臨界電界인 約 $10^3 v/m$ 近處로부터 始作하여 carrier 의 mobility 가 一定值에 到達하기 때문에 周波數特性이 制限 된다는 것이다. 더 높은 電界를 걸어주면 電力損失이 더 커짐으로 말미암아 發生된 熱의 除去가 問題된다. Early 가 FET 와 兩極性트랜지스터를 比較한바에 依하면 後者가 前者 보다 周波數特性이 낫다고 하였으나 그 後에 Rose 의 解析에 依하면 모든 半導體 triode 即 FET, 兩

極性트랜지스터 field-emission triode, space-charge limited triode 等에서는 다 같은 物理的現象 即 에미터와 制禦素子사이의 半導體의 誘電體 relaxation time 이 周波數特性을 制限 한다고 한다. 萬一에 FET의 carrier의 臨界速度 代身에 thermal velocity를 取한다면 周波數特性은 FET나 兩極性트랜지스터나 同一하다고 한다. 그러던 制限 周波數는 $f = \frac{6 \times 10^6}{L}$ 로서 素示된다. 여기서 L 은 FET에서는 電流方向에 있어서의 gate의 길이(單位 cm)이고 兩極性 트랜지스터에 있어서는 에미터의 幅(또는 에미터-베이스間 間隙)이다. 實際로는 浮遊 reactance 때문에 이 값보다 相當히 적어진다. FET의 gain-bandwidth figure of merit F 는 $F = \frac{g_m}{2\pi C_{gate}}$ 로 表示한다. 여기서 C_{gate} 는 drain과 source를 接地하였을 때의 全 gate capacitance이다. F 의 값은 一般的으로 $10^5 \sim 10^3$ cps 範圍에 있고 CdS FET는 Si의 그것보다 carrier mobility가 낮기 때문에 周波數特性이 떨어진다 insulated-gate FET는 junction input FET보다 F 의 값이 큰데 그 理由는 前者가 後者보다 짧은 gate를 만들기가 쉬운 때문이다.

FET는 多數 carrier에만 依存하는 素子이므로 스위치 회路上에 應用하면 少數 carrier의 蓄積에 依한 效果를 받지 않는 長點을 가지고 있다. 스위치 速度는 channel 抵抗을 通하여 充電할 때의 gate capacitance의 R-C 時定數에 依해서만 全的으로 決定 된다. 實際로 低임피던스 driver의 경우 十分之數 nano-sec 程度의 스위치 時間을 얻을 수 있으나 FET로 다른 FET를 驅動시킬 때에는 10~20 nano-sec 程度의 스위치 時間을 갖는다.

(라) 放射線에 對한 影響

FET도 放射線의 照射를 받으면 一般트랜지스터와 같이 特性이 劣化된다. 그것은 carrier의 lifetime, mobility 또는 doping level 等에 變化를 주기 때문이다. FET는 一般 兩極性트랜지스터보다 放射線에 對한 抵抗力이 크며 普通 10倍 程度의 抵抗力을 가지고 있다. 現在까지 放射線에 對한 影響이 많이 研究되지는 않았지만 中性子 照射效果에 關해서 要約한 것이 第1表이다.

兩極性트랜지스터에 있어서는 少數 carrier의 lifetime이 처음부터 짧은 半導體를 使用하고 베이스領域을 매우 좁게 하여 줌으로써 放射線에의 免疫性을 갖게 하였으나 FET에서는 처음부터 mobility가 적고 doping level이 높은 半導體를 사용 하므로써 放射線에의 免疫性을 갖게 한다. 製作上의 技術로 보더라도 FET의 免疫性이 다른 트랜지스터보다 10배나 더 된다는 點은 繼續維持될 것으로 본다. FET의 transconductance를 初期值의 70%로 劣化시키는데 要하는 中性子 照射量은 第

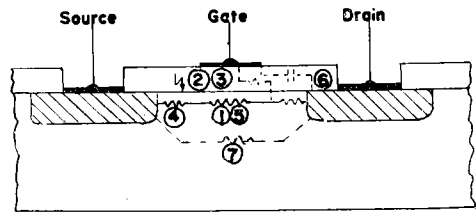
1表와 같다.

第 1 表

Type	Semiconductor	試驗한 FET의 數	Dose(照射量) neutrons/cm ²
Junction gate	Si	3	1×10^{14}
	GaAs	1	4×10^{15}
	Si	3	3×10^{13}
Insulated gate, depletion type	Si	3	$1 \times 10^{13} \sim 6 \times 10^{13}$
	Si	3	$1 \times 10^{13} \sim 3 \times 10^{14}$
Insulated gate, enhancement type	Si	3	3×10^{14}

(마) 雜音特性

兩極性트랜지스터의 主 雜音源은 少數 Carrier의 移動에 關聯된 shot noise 이나 FET의 主 雜音源은 出力抵抗에서의 熱雜音이다. FET의 重要한 雜音을 等價的으로 表示한 것이 그림 7.에 圖示되어 있다. 約 100 cps 以下の 낮은 周波數帶에서는 $1/f$ 雜音이 主가 되며 junction input FET는 이 雜音이 熱雜音보다 크다.



- ① Thermal noise
- ② $1/f$ noise
- ③ Gate leakage
- ④ Feedback
- ⑤ Generation and recombination
- ⑥ Induced gate noise
- ⑦ Leakage (drain-source)

그림 7 FET의 等價雜音回路

insulated-gate FET도 마찬가지로 $1/f$ 雜音이 크며 특히 이것은 數 Mc에 이르기까지 熱雜音을 凌駕한다. 이 雜音이 앞으로 改善될 것인지에 對해서는 아직도 알려지지 않고 있다. 高周波에서는 drain-gate間 feedback capacitance 때문에 雜音이 gate로 feedback되며 또 增幅된다. 그러나 이 때에는 信號도 함께 feedback 되므로 S/N比는 影響을 받지 않는다. channel의 source 쪽 끝의 抵抗成分은 熱雜音이 入力側에 나타나서 增幅되게 하는 原因이 된다. gate의 絶緣이 나빠지면 酸化물 絶緣層을 통한 漏洩電流 때문에 많은 雜音이 發生한다. 半導體의 表面이나 다른 部分을 통한 source와 drain間의 漏洩電流도 雜音發生의 原因이 된다. 그다지 크지 않은 周波數帶에서의 3 megohm 程度의 高入力抵抗을 갖는 FET의 noise figure는 1/10 dB 程度에 不過하며 이 값은 一般트랜지스터의 1/10 程度 밖에 안된다. 雜音發生이 적다는 이 事實은 各種 低雜音回路에의 應用이 允

으로 많이 期待되는 바 이라고 생각한다. 眞空管에서와 같이 雜音의 表示에 있어서 等價雜音抵抗을 使用하는 것이 便利하다. FET의 경우 等價雜音抵抗 Req는 $Req = 0.5/gm$ 으로 表示된다.

兩極性 트랜지스터가 使用中 特性이 劣化하는 것은 lifetime이 低下되기 때문인데 FET에서는 이런 現象은 적으므로 壽命이나 信賴度가 더 좋다고 할수 있다.

(바) 半導體材料

FET는 多數 carrier만에 依해서 動作하기 때문에 半導體材料에 있어서는 一般트랜지스터와는 달리 相當히 많은 種類의 材料들이 使用 可能하다. 第2表에 一般兩極性트랜지스터와 FET에 各各 많이 使用되는 半導體材料를 列擧하였다. FET의 材料로서 使用될 수 있는

第2表 FET에 適合한 半導體材料

Designation(Periodic Table)	Type of Semiconductor
I-V.....	Cs ₃ Sb*
I-VI	Cu ₂ O ⁺
II-IV	{Mg ₂ Sn* Mg ₂ Si*
II-VI.....	{Cd S ⁺ Cd Te* ZnO ⁺ ZnS ⁺ CdSe ⁺
III-V	{GaAs**+* GaSb* GaP** AlSb* InSb* InP** InAs*
IV	{Ge**+* Si**+* SiC*-
IV-VII	{PbS** PbSe* PbTe* TiO ₂ ⁺
V-VI.....	Bi ₂ Te ₃ *
VI.....	Te*
VI-VIII	NiO ⁻

* Junction formation.
+ Resistivity sufficient for unipolar transistors.
* Semiconductors with lifetime sufficient for bipolar transistors.

半導體의 具備 條件은 첫째, channel을 gate나 다른 部分과 適當히 絶緣할 수 있도록 하려면 p-型和 n-型으로 만들 수 있어야 한다. 둘째는 表面에 誘起된 channel이 半導體의 導通에 依하여 shunt되지 않도록 하기 위하여 比抵抗이 充分히 큰 것을 만들 수 있어야 한다. Shockley型 FET는 첫째 條件을 滿足시키는 境遇이고 insulated-gate FET는 둘째 條件을 滿足시킨다. 第2表

에서 보는 바와 같이 現在 極少數의 材料만이 兩極性트랜지스터에는 使用되고 있으나 FET에는 相當히 廣範圍한 材料들이 使用될 수 있는 點이 FET發展의 또 하나의 利點이라고 할 수 있겠다. 그러므로 트랜지스터의 高溫에서의 使用의 境遇와 같이 特殊한 材料에 依한 特殊目的의 트랜지스터를 만들 必要가 있을 때에는 FET型으로 하는 것이 좋다. 例컨데 高溫用 SiC, GaAs와 같은 것은 FET로 만들기가 더 技術的으로 쉽다. 또 오줌과 같이 眞空蒸着에 依해서 트랜지스터를 製作하는 傾向이 커 감에 따라서 이 方法으로는 Carrier의 lifetime이 긴 것을 만들기가 어려움으로 兩極性트랜지스터를 만들기 困難하다. 이 例로서 InSb, InA, 와 같이 mobility가 大端히 큰 半導體로서 高周波特性이 좋은 thin-film 트랜지스터를 만들려면 반듯이 FET의 構造로 해야한다는 것이다.

(사) 溫度에 對한 安定度

FET의 溫度依存性은 多數 carrier의 mobility에 關係된다. silicon FET에 使用되는 比抵抗의 範圍內에서는 mobility는 crystal 格子의 散亂(Scattering) 特性에 比例하며(絶對溫度)³으로 表示된다. 그 關係가 그림 8의 點線으로 表示되어있다. 또 이 그림에는 4가지 다른 모양의 FET들의 gm對 溫度特性을 보이고 있다. 一定 電壓에서 電流와 溫度와의 關係도 비슷한 모양을 가지

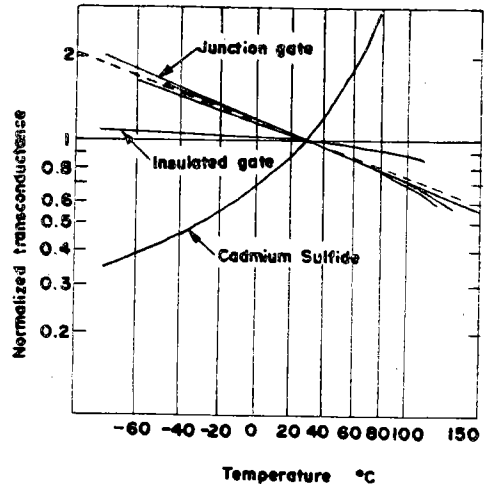


그림 8 Transconductance vs 溫度

고 있다. 이 그림에는 또 CdS를 蒸着해서 만든 thin-film 트랜지스터에 對한 것도 包含되어 있다. 이 경우에는 다른 트랜지스터 보다 溫度依存性이 크고 溫度係數도 다른 것들 과는 反對로 正의 符號를 갖는다. 그 理由는 蒸着된 CdS層은 많은 defects와 grain boundary를 가진 多數의 小形 crystallite로 되어 있다고 알려져 있어서 lattice scattering은 勿論 相當한 量의 defect scattering

때문에 溫度依存性이 큰 것으로 알려져 있다. 같은 그림에서 溫度에 對한 變化가 가장 적은 것은 insulated gate FET 임을 볼 수 있다. FET의 또 한 가지 特徵은 thermal runaway의 念慮가 없다는 것이다. 兩極性 트랜지스터에서는 溫度上昇에 따라서 콜렉터電流가 thermal runaway가 일어날 때까지 增加하여 마침내 트랜지스터를 破壞시키려는 일이 많다. 이런 일은 특히 power transistor에서 많이 일어난다. 그러나 FET에서는(現在로서는 thin-film transistor는 除外하고) 溫度가 上昇함에 따라 電流는 反對로 減衰하여 電力損失을 적게 하고 트랜지스터를 破壞시키지 않게 된다.

3. 回路素子로서의 特徵

兩極性 트랜지스터는 integrated micro-circuit에 使用할 때는 2가지 理由때문에 困難하다. 即 하나는 이 트랜지스터의 電流의 方向은 表面에 直角方向이라는 事實 때문에 平面電流를 흐르는 回路와의 連結이 困難한 點이고 또 한가지는 carrier의 lifetime을 維持하기 어렵다는 點이다. 反面에 FET는 表面에 平行하게 電流가 흐르고 carrier의 lifetime을 維持할 必要가 없기 때문에 integrated micro-circuit에는 가장 適當하다.

16개의 FET를 使用한 한 integrated circuit의 實例를 그림 9에 보이고 있다. 이 回路에서는 4개의 FET가 4列로서 各各 隣接 FET와 source(또는 drain)를 共通으로 接續하고 있다. 이들간의 接續은 silicon 薄板의 表面의 蒸着層에 依한다. 이러한 回路에의 應用에 있어서 FET는 非直線性抵抗으로 利用될 수 있으므로 計數回路 등에 이 性質이 有用하게 쓰일 수 있다.

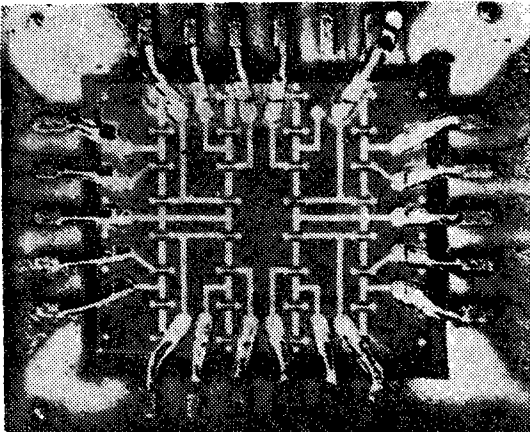


그림 9. 16개의 FET를 使用한 integrated circuit의 實例

計數回路에 FET를 應用할 때 有利한 點의 또 하나는 enhancement-type FET는 그 自體가 inverter로서 作用한다는 事實이다. 이것은 그림 10의 例에서 알 수 있다. (A)는 “low” 入力(即 FET에 電流가 흘러 들어가

지 않는 경우)이므로 出力은 “high”이다. (B)에서는 “high” 入力에 對해서 出力은 “low”이다. 電壓은 크기가 같고 極性도 같으므로 直接結合이 可能하다. 그림 11

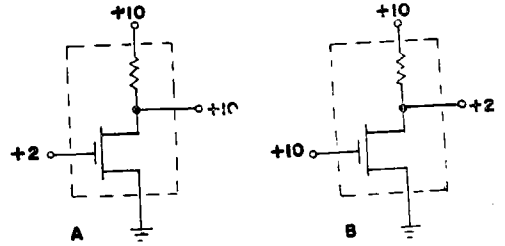


그림 10. FET inverter 回路

은 2개의 FET로 된 bistable multivibrator의 例인데 狀態變換時以外에는 어떤 電流도 흐르지 않는 點이 이 回路의 特色이다. 入力電壓이 높으면 上部 FET는 cutoff 되고 出力電壓은 높아진다. 反對로 入力電壓이 낮으면 下部 FET가 cutoff 되고 出力電壓은 낮아진다. 위의 2가지 狀態에서 어느 경우나 直列로 된 FET中 하나가 cutoff 되므로 安定狀態에서는 어느 狀態이건 電流가 흐르지 않는다.

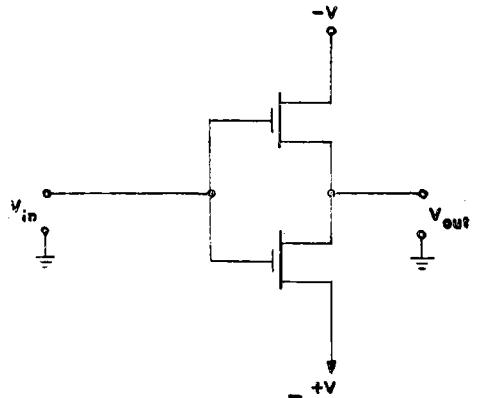


그림 11. FET Bistable circuit

끝으로 單極性 FET와 兩極性 트랜지스터의 長點만을 結合하여 利用하기 爲하여 이 두가지를 그림 12와 같이 結合하면 tetrode로 되어 電流利得을 크게 할 수 있다.

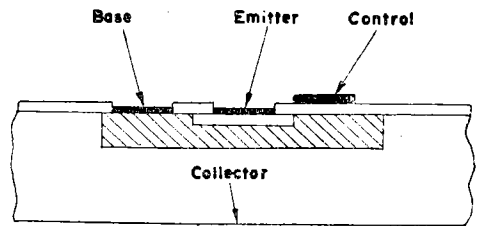


그림 12. n-p-n 트랜지스터와 FET를 結合한 半導體 tetrode.

參 考 文 獻

1. Heil, O. "Improvements in or relating to Electrical Amplifiers and other Control Arrangements and Devices," British Patent 439, 457, Sept. 26, 1939.
2. Shockley, W. and G.L. Pearson, "Modulation of Conductance of Thin Films of Semiconductors by Surface Charges," Phys. Rev. Vol. 74, 1948, p. 232.
3. Shockley, W. "A Unipolar Field-Effect Transistor."

Proc. IRE, Vol. 40, Nov. 1952, pp. 1365~1376.

4. Pearson, G.L. "A High Impedance Silicon Field Effect Transistor." Phys. Rev. Vol. 90, Apr. 15, 1953, p. 336.
5. Dacey, G.C. and I.M. Ross. "Unipolar Field-Effect Transistor," Proc. IRE, vol. 41, Aug. 1953, pp. 970~979.
6. Dacey, G.C. and I.M. Ross. "The Field-Effect Transistor" Bell Syst. Tech. J. vol. 34, Nov. 1955, p. 1149.

《 文 獻 紹 介 》

1. Transistor Circuit Analysis; Maurice V. Joyce Kenneth K. Clarke 共著.

Addison-Wesley Publishing Co. Inc. Reading, Massachusetts, U.S.A. \$ 10.50 1962年

美國 Polytechnic Institute of Brooklyn 의 電氣工學科教授들이 大學院 및 大學上級班의 트랜지스터回路解析教材用으로 執筆한 冊이면 I.I.T. 를 비롯한 美國內 여러大學 및 大學院의 正教材로서 널리 使用되고 있다. 半導體物理에 關係한 깊이 論하지 않고 初章에서 綜合的으로 說明을 한데 끝었지만 各種 트랜지스터等價回路의 比較와 各 파라메타의 相互變換에 對해서는 詳細한 說明을 하고 있다. 特히 바이어스安定度에 對해서는 깊은 解析과 安定化 方法을 提示하였다. 低周波에서 高周波에 이르기까지의 各種 增幅回路에 對해서 等價回路를 使用하여 깊이 解析을 하였고 廣帶域分布增幅器에 對한 說明도 若干包含하고 있고 트랜지스터의 스위치 回路에의 應用으로서 過度現象으로부터 單安定 및 雙安定回路와 Blocking oscillator 또 各種 發振回路等に 關한 解析도 一般的인 깊이에서 論議하였으나 變調, 檢波, 等과 같은 通信技術에의 應用回路에 對해서는 전혀 取扱을 하지않고 레디오나 그밖의 實際回路도 取扱하지 않고 어디까지나 解析의으로 說明한 것이 이 冊의 特徵이라고 하겠다.

2. Pulse and Digital Circuits; Jacob Millman, Ph.D Professor of Electrical Engineering, Columbia University, Herbert Taub, Ph. D, Associate Professor of Electrical Engineering, The City College of New York. McGraw Hill Book Co. 1959년 \$ 12.00

美國內 많은 大學의 Pulse 및 Digital circuit 의 教材로서 使用되고 있으면 Wave Shaping Circuit 의 基礎로부터 始作하여 眞空管 및 트랜지스터에 依한 펄스 增幅回路를 비롯하여 各種 Multivibrator, Time-base generator, Blocking Oscillator, Counting circuit, Frequency Division, 또 原子計算機用 各種 基本回路로서 OR, AND, NOT, INHIBITOR circuit 等の 論理回路에 對하여 實際의 計算例를 많이 넣어 알기 쉽고 廣範圍하게 쓴 冊으로서 電子計算機나 計數回路를 取扱하는 사람이 한번은 꼭 봐야 할 良書라고 하겠다.

3. Microelectronics; Edward Keonjian, McGraw Hill Co. \$ 12.50

오늘날 電子機器가 小型化와 信賴度 문제가 중요성을 가지게 됨에 따라 Microelectronics 는 不可避하게 하나의 分野를 登場케 되었다.

Edward Keonjian 氏가 편집한 Microelectronics 는 이러한 時代의인 요청에서 1963年에 우리들에게 첫선을 보이게 되었다. 이책은 6章으로 나누어져 있는데 各章마다, 現職 技術者들이 집필한 것이기 때문에 難解한 理論이나 數學的인 取扱을 하지 않고 있어서 理解하기가 쉽다. 처음 2章은 序論적으로 Microelectronics 에서 다루고 있는 分野가 어떤 것이며 Microelectronics 에서 나오는 用語解説이 주가 된다. 第3章은 microminiature 部分品の 그 集積方法, 製造, 設計, 評價等이 關해서 論하고 있고 第4章은 薄膜技術을 취급하고 있다.

第5章은 半導體集積回路에 關해서 취급하고 있으며 마지막 章은 現在 요람기에 있는 functional device 에 대해서 취급하고 있다.