

相似型 電子計算機用 時分割 電子乘算器에 對한 考察

(A Study of the Time Division Electronic Multiplier for Analog Computers)

韓 萬 春*
(Man Choon Han)

朴 相 禧**
(Sang Hui Park)

ABSTRACT

The characteristics of electronic multipliers and their accuracy are analyzed.

From the analysis a low cost, four-quadrant time-division electronic multiplier is built.

This multiplier produces an output voltage equal to 0.01 of the instantaneous product of two input voltage representing independent variables. Each input may either be constant or vary with time over a range of ± 100 volts. Drift and noise in this multiplier are kept at very low level and dynamic response is below 0.5 decibels up to 700 cycles per second.

Methods of testing this multiplier and the results are also described.

It is shown that the results agree with theoretical values satisfactorily.

1. 序 論

相似型 電子計算機의 非線型 演算要素에는 여러 가지가 있으나 本 研究에서는 乘算器를 中心으로 한다.

乘算器는 둘 以上의 入力信號가 加해질 때 乘積으로 表示되는 出力을 얻을 수 있는 裝置인데 必要한 條件은 다음과 같다.

- (1) 應答速度(speed of response)가 빨라야 한다.
- (2) 正確度(accuracy)가 높아야 한다.
- (3) 四象限 動作(four quadrant operation)이 可能하여야 한다.

그러나 이 條件을 全部 完全하게 滿足하는 것은 現在 없으며 普通 實用的으로 使用되는 것은 써어보(servo)式과 電子管(electronic) 式 이다.

써어보乘算器는 상당히 높은 正確度를 가지며 比較的 價格이 싸지만 應答速度가 느리다.

한편 電子管式 乘算器는 써어보式에 比하여 多少 價格이 비싼 感이 있으나 動特性을 改善하면 應答速度가 빠른 同時에 높은 正確度를 가질 수 있다.

本 論文은 國內에서 入手 可能한 低精密度 電子附屬品이 誤差에 미치는 影響을 考慮하여 相似型 電子計算機에 使用할 時分割 電子乘算器(time-division electronic multiplier)를 設計 試作하고 特性을 檢討하여 改善의 方法을 講究하는 것을 目的으로 한다.

특히 本 乘算器는 現在 完成 段階에 있는 延世 101 아나로구·컴퓨터¹⁾의 非線型 演算器로 使用하기에 適合하도록 한 것이다.

2. 時分割 電子乘算器의 必要條件

(1) 時分割 乘算

時分割이란 變數中의 하나가 精密스위치의 責務係數(duty factor or duty cycle)를 制御하는 것을 말한다.

그림 1의 波形은 時分割을 利用한 代表的인 乘算을 表示한 것이다. 그림에서 搬送周波數(carrier frequency)의 各 펄스(pulse)의 높이는 入力電壓 X의 振幅에 依하

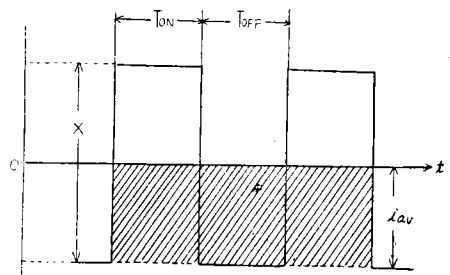


그림 1. 時分割 波形
(Fig. 1. Time-division wave)

* **延世 理工大 電氣工學科
Dep. Electrical Eng.,
College of Science & Eng.,
Yonsei University

여 결정되고, 각 펄스의 責務係數는 入力電壓 Y에 比例하게 하면 두 變數의 畧은 搬送周波를 가진 平均電流에 比例하게 된다. 이것은 다음 式과 같이 表示할 수 있다.

$$i_{av} = K \times \frac{T_{ON}}{T_{ON} + T_{OFF}} = K \times Y$$

여기서 $\frac{T_{ON}}{T_{ON} + T_{OFF}}$ 은 責務係數 이다.

(2) 펄스幅 變調^{(2),(3)}

펄스幅 變調의 信號를 얻기 爲해서 그림 2와 같이 回路를 構成 한다.

標準電壓(+150V)을 슈미트·트리카(Schmitt trigger) 回路의 出力 信號로 制御된 電流스윗치에 걸리게 한다.

슈미트·트리카 回路의 出力이 正 일때 電流스윗치는 動作되고 負일 때 電流스윗치는 遮斷 된다. 標準電壓에서의 電流는 스윗치의 開閉에 左右 된다. 電流스윗치가 遮斷 되었을 때의 電流는 積分器의 出力이 슈미트·트리카 回路의 下限電壓에 이를 때까지 線型的으로 減少한다.

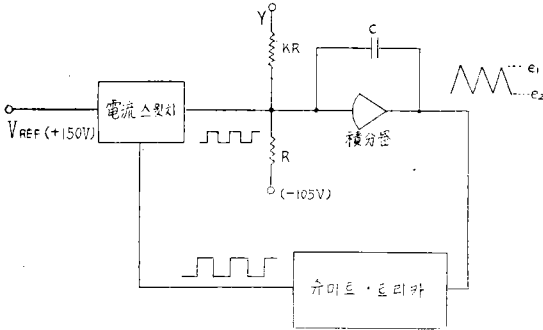


그림 2. 펄스幅 變調 回路
(Fig. 2. Pulse width modulated circuit)

下限電壓에 이르면 슈미트·트리카 回路는 플립(flip)하여 電流스윗치를 動作시킨다. 따라서 標準電壓의 電流는 遮斷되고 積分器의 出力은 反對로 된다.

또한 이 出力이 上限電壓에 達하면 다시 슈미트·트리카 回路는 플립(flop)하여 먼저와 같이 標準電壓의 電流가 遮斷된다.

이렇게 하여 全周期은 自動적으로 反復되고 펄스幅 變調가 可能하게 된다.

그림 2에서 -105V 端子에서 흐르는 바이아스(bias) 電流를 k_1 , 入力電壓 Y 端子에서 흐르는 電流를 $\pm Y$ 라 하면 T_{ON} 은 積分器의 充電電流에 逆比例 한다. 여기서 比例常數를 a 라하면 다음과 같이 表示된다.

$$T_{ON} = \frac{a}{k_1 + y}$$

마찬가지로 T_{OFF} 은 다음과 같이 된다.

$$T_{OFF} = \frac{a}{k_1 - y}$$

入力電壓 Y가 零이면 $T_{ON} = T_{OFF}$ 으로 된다. Y가 正으로 增加하면 T_{ON} 은 커지고 T_{OFF} 는 작어지며 X가 負로 되면 反對로 된다.

搬送周波數의 周期은 電流스윗치 作用으로 다음과 같이 된다.

$$T_{ON} + T_{OFF} = \frac{2ak_1}{k_1^2 - y^2}$$

實際로 搬送周波數의 變化 範圍를 定하는데 있어서는 그림 2에서 $k=2$ 로 되도록 해서 電流 y의 最大値를 두 倍程度로 잡는다.

(3) 直流增幅器

直流增幅器는 時分割 乘算器의 性能을 決定하는 重要한 要素中的 하나이다.

a. 入力段

浮動과 雜音에 關하여 直流增幅器의 入力段은 相當히 重要한 位置를 차지한다.

五極管增幅器는 高利得을 얻을 수 있는 同時에 特性이 良好하고 比較的 格子電流도 적어서 本 研究의 增幅器 入力段으로 使用하기에 適合하다.

b. 出力段

入力段의 出力 減衰를 防止하기 爲하여 直流增幅器의 出力段을 直結하기로 한다.

出力段 選擇에 考慮할 點은 다음과 같다.

① 要求되는 電流와 電壓을 供給할 수 있는 充分한 出力 容量을 가져야 한다.

② 出力 임피던스가 적어야 한다.

③ 無負荷時에 흐르는 不必要한 電流가 적어야 한다.

이러한 點을 比較的 滿足시키는 카소드·폴로워(cathode follower)를 出力段으로 使用한다.

(4) 電子管式 電流스윗치

펄스幅 變調方式에 依存하는 時分割 乘算器에서는 스윗치 回路가 극히 重要하다.

時分割 電子乘算器에 使用하는 電流스윗치의 一般的인 特性은 다음과 같다.⁽⁴⁾

① 스윗치가 遮斷될 때 出力 電流는 零에 가깝다.

② 스윗치가 動作 될 때 出力 電流는 入力電壓의 線型 函數이다.

이러한 特性을 考慮하여 스윗치 回路에 適合한 二極管 크립퍼(diode clipper)를 생각 한다.

그림 3은 二極管 크립퍼 回路를 表示한 것인데 그림 3(a)는 並列型이고 그림 3(b)는 直列型의 피이크·크립퍼(peak clipper)이다.

並列型은 出力이 있을 때에도 高抵抗 R_s 가 直列로 連結되기 때문에 入力와 出力의 結合이 非線型으로 된다.

直列型은 出力이 入力에 直接 連結되므로 傳送損失이

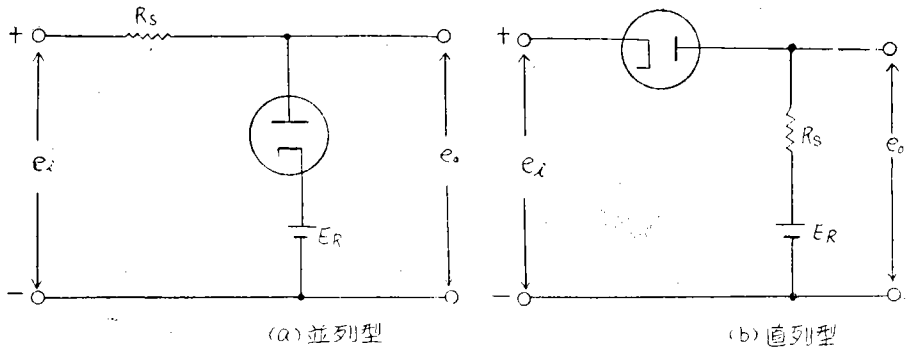


그림 3. 二極管 크립퍼 회로

(Fig. 3. Diode clipper circuit (a) parallel type (b) series type)

적어서 良好하지만 極間容量 때문에 高周波에 對하여 不良한 遮斷特性을 나타낸다. 또한 眞空管에는 히터-陰極間的 絶緣 問題로 因하여 最大 電壓이 制限되므로 並列型에 比해서 不利 하다.

그러므로 本 電流스윗치회로는 上述한 長點을 살리고 短點을 相互補償할 수 있도록 兩者를 併用한 直並列型의 크립퍼회로로서 構成 한다.

(5) 슈미트·트리카회로^{(3),(5)}

雙安定 回路中에서 널리 使用되고 있는 陰極結合型 雙安定 멀티바이브레타, 即 슈미트·트리카회로를 時分割 乘算器의 時間部에 矩形波 發生 回路에 適用하기로 한다.

그림 4 와 같은 슈미트·트리카회로에서 V_1 의 入力電壓 E_1 이 零일 때에는 V_2 의 格子 G_2 에 結合抵抗 R_a , R_g 를 通하여 正의 電壓이 印加되므로 V_2 가 動作되어 R_k 에 큰 電壓降下가 生기고 따라서 V_1 이 遮斷 된다.

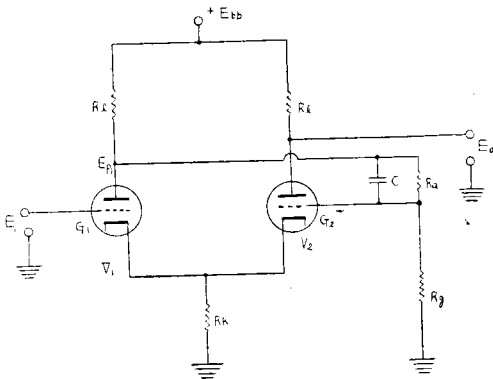


그림 4. 슈미트·트리카 회로
(Fig 4. Schmitt-trigger circuit)

또 E_1 이 正의 方向으로 增加하면 V_1 은 能動領域에 있게 되어 陽極電流가 흐르므로 E_{p1} 에 連結된 V_2 의 格

子 G_2 는 電壓이 降下해서 V_2 도 能動領域으로 된다.

그러나 R_a , R_g 에 依한 結合은 正歸還 極性이 되므로 萬一 루우프 利得(loop gain)이 1보다 크면 再生作用 때문에 V_2 가 遮斷 된다. 即 이러한 ON-OFF의 두 가지 安定狀態를 써서 트리카회로를 이룬다. V_1 , V_2 가 能動領域에 있는 境遇에 本 回路는 陰極結合型 差動增幅器로 된다.

3. 設 計

(1) 設計基準

入力電壓 X와 Y의 電壓領域을 各各 ± 100 로 하고 出力은 $-0.01 XY$ 의 값을 가져서 延世 101 아나로그·컴퓨터⁽¹⁾에 使用할 수 있도록 數個의 係數포텐쇼메타를 連結 可能하게 한다.

乘算器의 形式은 變調方式 中 時分割을 擇하여서 時間部와 出力部로 나눈다.

그림 5는 이의 構成圖를 表示 한다.

電源은 歸還型 安定化 回路를 使用한 直流電源 $\pm 400V$, $+150V$, $-105V$ 가 使用 可能하며 히터 驅動電源으로 安定化되지 않은 $6.5V$, 60 cps 交流가 使用 可能하다.

(2) 出力部の 設計

a. 直流增幅器

增幅器의 出力段은 容量을 充分히 考慮하여 中增幅率을 가진 雙三極管 12AU7의 折半을 使用한 카소드·폴로워로하고 入力段은 增幅率이 크고 格子電流 特性이 良好한 五極管 6AU6를 使用해서 構成되며 그 回路는 그림 6과 같다.

그림에서 入力段의 遮蔽電壓은 2次電子放射를 最小限度로 抑制하기 爲하여 보통 보다 낮은 $60V$ 로 定한다.

이 때 $R_1=200\text{ K}\Omega$, $R_2=39\text{ K}\Omega$ 로 된다. 이러한 條件

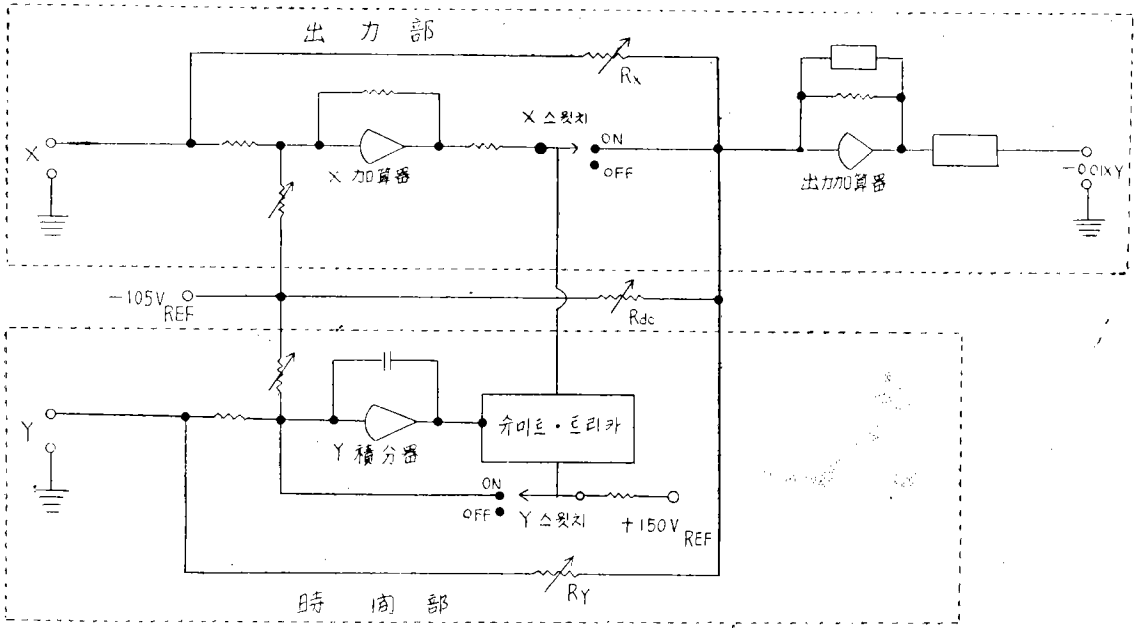


그림 5. 時分割 電子乘算器의 構成圖
(Fig. 5. Schematic diagram of Time-division electronic multiplier)

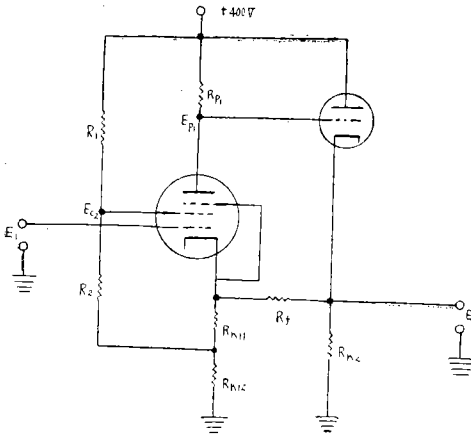


그림 6. 時分割 電子乘算器 回路에 使用한 直流增幅器
(Fig. 6. DC amplifier for time-division
electronic multiplier circuit)

에서 直流增幅器의 最小格子電流를 考慮하여 다음과 같
이 回路因子를 定한다.

即 $E_{p1}=135V$, $I_{p1}=0.26mA$, $E_{c1}=-1.85V$ 이다. 이
때 $R_{p1}=1M\Omega$ 에 該當하고 眞空管係數는 $\mu_1=5000$,
 $r_{p1}=0.55M\Omega$ 이다.

入力段 出力의 減衰를 없애기 爲하여 出力段 카소드·
플로워의 格子에 直結한다. 出力段은 12AU7의 陽極損
失을 考慮하여 定常狀態에서 $I_{p2}=5mA$ 로 定하면 스위

치 回路에 흐르게 될 電流 約 1.4mA와 歸還回路에 消
費될 電流 約 0.6mA 程度를 除外한 約 3mA 程度가
 R_{k2} 에 흐르게 된다. X스위치의 基準電壓을 140V로 定
하면 R_{k2} 가 約 47K Ω 로 된다.

또 全體 利得의 向上을 爲하여 抵抗 $R_f=330K\Omega$ 을
使用하여 正歸還 回路를 構成 한다.

b. 入力加算器

設計된 直流增幅器의 倍率을 $k=0.8$ 程度로 잡고 이
것에 該當하도록 入力抵抗 R_{107} 을 1M Ω , 歸還抵抗 R_{108}
을 830K Ω 으로 擇한다.

또한 加算器에 負荷로 連結된 電流스위치의 動作을 加
算器의 出力特性에 關係 없게 하기 爲하여 正出力을 갖
도록 負入力 바이아스電壓 $-105V$ 를 抵抗 $R_{109}(585K\Omega)$
와 포텐쇼메터 $R_{110}(50K\Omega)$ 를 通해서 供給 한다. (그림
9 참조)

c. X 스위치

앞에서 檢討한 特性을 가진 電流스위치用으로 雙二極
管 6AL5를 擇하고 그림 7과 같이 回路를 構成 한다.

그림에서 V_1 의 陰極에 펄스가 供給되므로 그 陽極電
壓은 動作될 때 約 0V이고 遮斷될 때 電壓 X' 가 걸리
게 된다.

그러나 V_2 를 直列로 連結하였으므로 V_1 이 遮斷될 때
出力加算器의 入力段에는 入力電壓 X 에 比例하는 電流
를 供給 한다. (그림 9 참조)

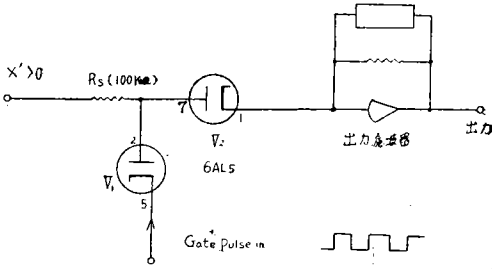


그림 7. X 스위치 회로
(Fig. 7. X switch circuit)

d. 出力濾波器

加算器의 負歸還回路는 利得 調整 포텐쇼메터 R₁₄₄ (100KΩ)와 抵抗 R₁₄₅(450KΩ)로 構成하고 抵抗 R₁₄₅에 並列로 容量 C₁₀₅(50PF)를 두어서 位相을 補償하게 한다. 또한 搬送周波數를 抑制하도록 容量 C₁₀₆(0.003μF)와 C₁₀₇(0.002μF)로서 負歸還回路를 構成하여 附加시키고 容量 C₁₀₇에 並列로 抵抗 R₁₄₇(43KΩ)을 두어서 位相을 補償하게 한다.

그리고 定電壓管 OA2의 電流를 維持하기 爲해서 抵抗 R₁₄₈(30 KΩ)을 두고 또 雜音을 容量 C₁₀₈(0.01 μF)을 通해서 側路(by pass)시키게 한다.

이상 여러가지 方法으로 搬送周波數의 抑制을 하였음에도 不拘하고 定電壓管 OA2의 陰極에 存在하는 搬送周波數를 濾波시키기 爲하여 초오크(choke) L₁₀₁(75mH), 容量 C₁₀₉(0.01 μF) 및 C₁₁₀(0.01 μF) 그리고 R₁₄₉(2.7 KΩ)로서 L型 濾波器를 構成 한다. (그림 9 참조)

e. 消去電流

X 加算器에 供給되는 電流를 k₂, 入力電壓 X의 電流를 x라 하면 i_{av}는 結果의으로 다음과 같이 된다.

$$i_{av} = \frac{k_2}{2} - \frac{x}{2} - \frac{k_2 y}{2k_1} + \frac{xy}{2k_1}$$

여기서 不要項을 消去하기 爲하여 다음과 같은 回路를 各各 構成 한다.

첫 項 $\frac{k_2}{2}$ 는 그림 5에서 R_{dc} 即 抵抗 R₁₃₄(150 KΩ)와 포텐쇼메터 R₁₃₅(10 KΩ)로, 둘째 項 $-\frac{x}{2}$ 는 그림 5에서 R_x 即 抵抗 R₁₃₇(250 KΩ)과 포텐쇼메터 R₁₃₆(10 KΩ), 그리고 셋째 項 $-\frac{k_2 y}{2k_1}$ 는 그림 5에서 R_y 即 抵抗 R₁₃₂(270 KΩ)와 포텐쇼메터 R₁₃₃(10 KΩ)를 두어서 調節하도록 한다. (그림 9 참조)

(3) 時間部의 設計

a. Y 積分器

設計된 直流增幅器의 時定數 τ=14 μsec 로 잡고 이것에 該當하는 入力抵抗 R₁₁₈을 270 KΩ, 歸還容量 C₁₀₂를 500 PF로 選定한다. 入力抵抗 R₁₁₈에 並列로 容量 C₁₀₁

(33 PF)를 두어서 積分器 入力の 位相을 補償 한다.

Y 積分器의 負荷로 連結된 슈미트·트리카回路의 入력이 160 V 前後로 供給되는 積分器의 正出力이 되도록 바야스 電壓 -105 V를 抵抗 R₁₁₉(115 KΩ)와 포텐쇼메터 R₁₂₀(50 KΩ)을 通하여 供給 한다. (그림 9 참조)

b. 슈미트·트리카回路

積分器의 出力에 包含된 搬送高周波에 充分히 應할 수 있는 高增幅率을 가진 雙三極管 12AT7을 使用 한다.

그림 8은 矩形波 發生을 爲한 슈미트·트리카回路의 構成으로서 積分器의 出力을 V₁의 格子에 連結 한다.

여기서 格子電壓을 +160 V로 定하고 陽極損失을 考慮하여 回路 因子를 다음과 같이 定 한다.

即 E_p=200 V, I_p=10 mA, E_{c1}=-1.2 V, 이 때 R_i (R₁₂₂, R₁₂₃)은 3.3 KΩ, R_k(R₁₀₄)는 15 KΩ 이고 眞空管 係數는 μ=65, γ_p=12 KΩ 이다.

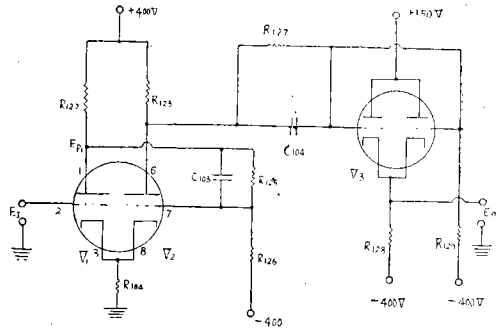


그림 8. 슈미트·트리카와 카소드·폴로워를 組合한 回路
(Fig. 8. Circuit combined Schmitt trigger and cathode follower)

$a = \left(\frac{R_g}{R_a + R_g} \right)$ 를 0.72 程度로 잡아서 R_a(R₁₂₅)를 270 KΩ, R_g(R₁₂₆)을 680 KΩ로 하고 R_g를 接地하는 대신에 -400 V에 連結시켜 充分한 所要容量을 얻게 한다. 한편 過渡應答의 改善을 充分히 하기 爲해서 容量 C₁₀₃을 10 PF로 한다. 슈미트·트리카回路의 出力임피던스가 커서 入力임피던스가 적은 Y스위치 回路에 直結할 수 없으므로 出力임피던스가 적은 카소드·폴로워回路를 附加 한다.

이 카소드·폴로워의 出力이 Y스위치에 直結되므로서 스위치 遮斷 役割을 決定的으로 하도록 出力을 -3 V 程度로 定한다. 그러므로 카소드·폴로워의 格子는 大略 直流 -4 V level을 維持하도록 R₁₂₇(800 KΩ), R₁₂₉(815 KΩ)를 使用하고 슈미트·트리카回路의 出力信號는 容量 C₁₀₄(100 PF)로서 格子에 供給하게 한다. (그림 9 참조)

c. Y 스위치

X스위치와 같이 回路를 構成해서 動作이 同期的으로 되게 한다.

슈미트·트리카回路의 出力이 最小일 때 스위치가 遮

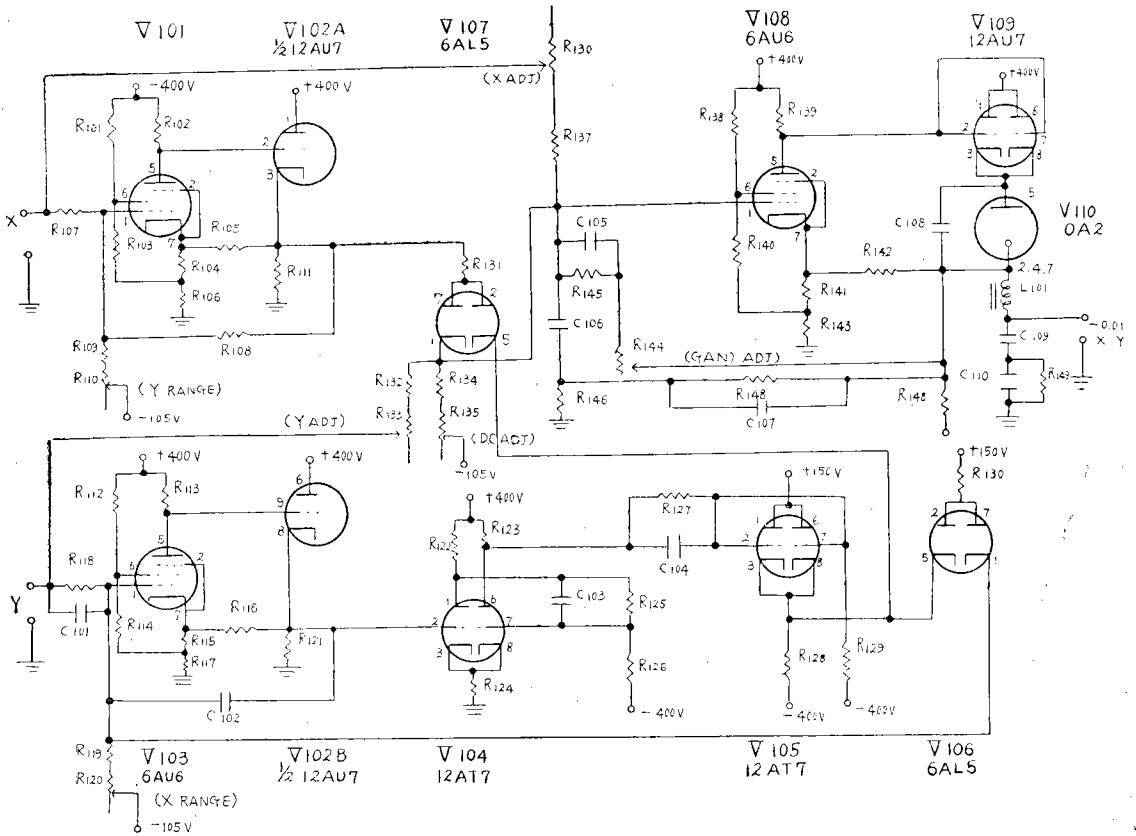


그림 9. 時分割 電子乘算器의 完成된 回路
(Fig. 9. Complete circuit of time division electronic multiplier)

斷되고 +150 V 端에서 나오는 電流가 入力抵抗 R_{130} (100 K Ω)을 通하여 Y 積分器의 入力接合點에 連結 된 다. (그림 9 참조)

4. 試驗結果 및 考察

(1) 直流增幅器의 直流利得

增幅器 直流利得의 設計値는 79.08 db 이고 基準出力 인 140 V 附近에서 實測한 直流利得은 78.17 db 이다. (그림 10 참조)

設計値와 實測値 사이에 0.91 db 라는 差異가 있는데 實際 使用한 眞空管의 特性과 設計에 使用된 眞空管 規格表의 特性사이의 差가 原因이라고 생각하는데 實際로 는 큰 問題가 아니다.

(2) 乘算器의 負荷特性

a. 直流電壓을 入力端 X, Y 에 印加한 경우 出力端에 負荷를 變化하여 測定한 結果는 그림 11(a)와 같다.

b. 入力端 X 에 直流電壓을, Y 에 交流電壓을 印加한 경우 出力端에 負荷를 變化해서 測定한 結果는 그림 11(b)와 같다.

c. 入力端 X 에 交流電壓을, Y 에 直流電壓을 印加한

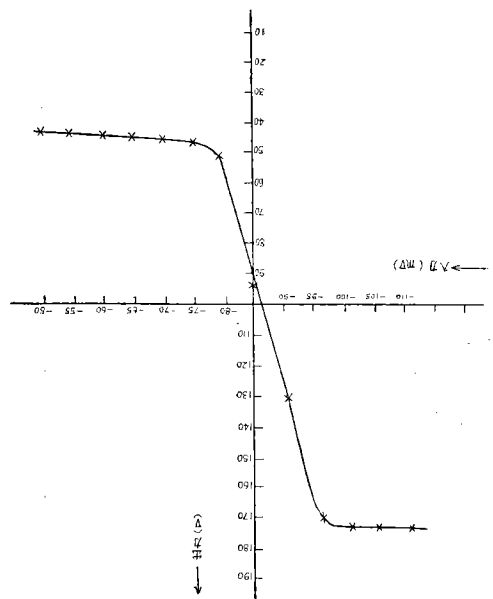
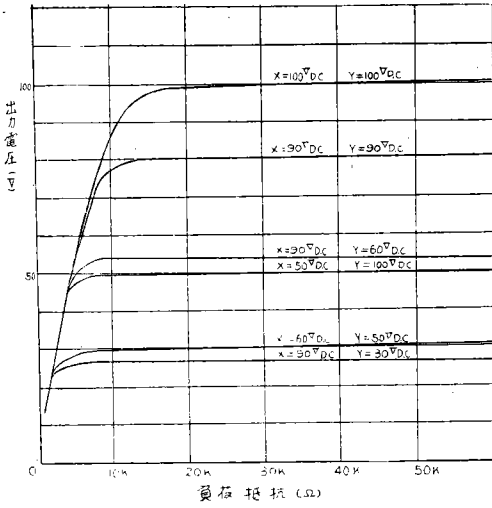
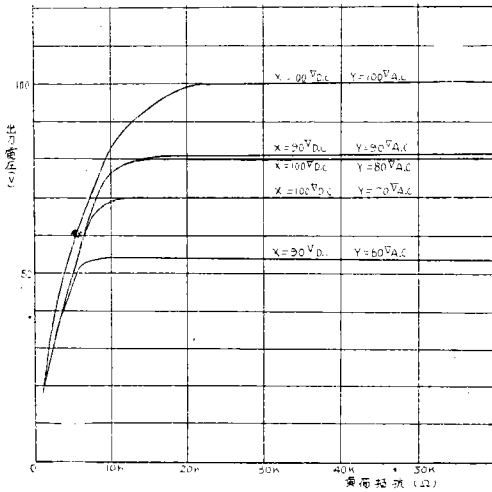


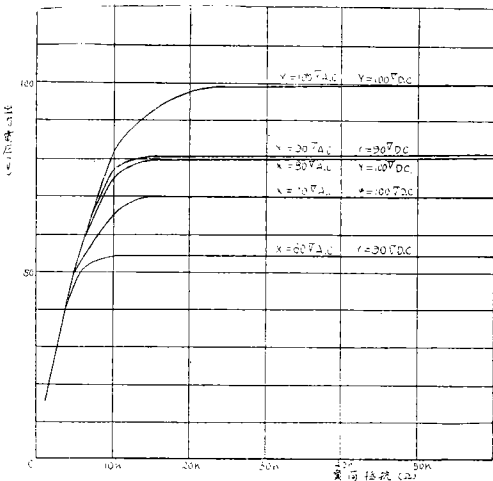
그림 10. 直流增幅器의 入出力 特性曲線
(Fig. 10. Input-output characteristic curve of D.C. amplifier)



(a) X, Y에 直流電壓을 印加한 경우



(b) X에 直流電壓, Y에 交流電壓을 印加한 경우



(c) X에 交流電壓, Y에 直流電壓을 印加한 경우

◇ 그림 11. 時分割 電子乘算器의 負荷特性曲線 (Fig. 11. Load characteristic curve of time-division electronic multiplier)

경우 出力端에 負荷를 變化해서 測定한 結果는 그림 11 (c)와 같다.

d. 그림 11(a)~(c)까지의 曲線을 보면 電壓에 따라 多少의 差異가 있으나 大體的으로 滿足한 結果를 나타내고 있다.

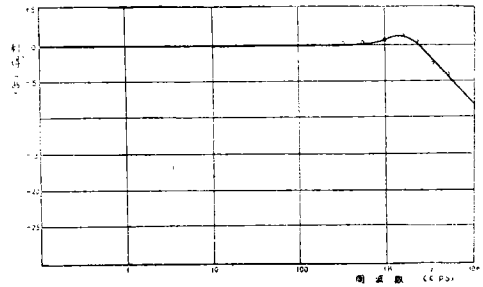
그러므로 本乘算器에 連結되는 負荷에는 別影響이 없이 滿足할 만한 結果를 얻을 수 있다고 생각할 수 있다.

(3) 乘算器의 周波數特性

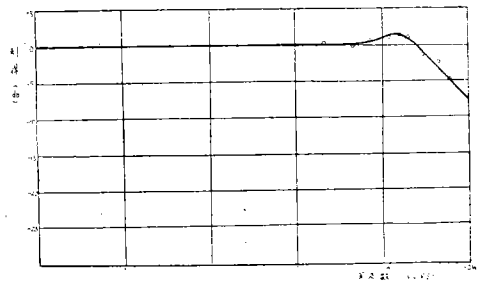
a. 利得 周波數特性

低周波 發振器의 制限된 周波數 領域의 交流電壓을 入力端 X에, 直流電壓을 入力端 Y에 印加하여 乘算器出力端의 電壓을 測定하고 또한 入力端 電壓을 反對로 印加하고 같은 方法으로 電壓을 測定 했다.

이 두 경우를 利得으로 換算하여 그림 12를 얻었다.



(a) X에 交流電壓, Y에 直流電壓을 印加한 경우



(b) X에 直流電壓, Y에 交流電壓을 印加한 경우

그림 12. 利得 周波數 特性曲線 (Fig. 12. Frequency response curve)

b. 出力 L 型 濾波器의 周波數特性

低周波 發振器의 制限된 周波數 領域內에 交流電壓을 印加해서 出力端 電壓을 測定 했다. 이것을 利得으로 換算하여 그림 13을 얻었다.

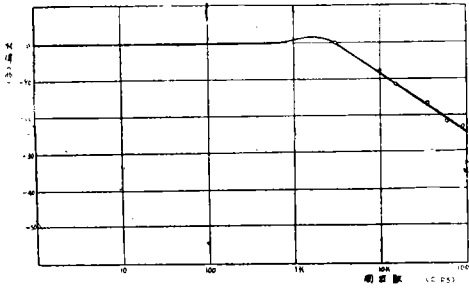


그림 13. 出力 L 型 濾波器의 周波數特性曲線
(Fig. 13. Frequency response curve of output L type filter)

c. 結果考察

測定 可能했던 周波數 範圍內에서는 設計된 特性보다 훨씬 良好한 特性을 가지고 있으므로 本 乘算器는 어떠한 計算機에 使用해도 周波數 特性을 滿足할 수 있음을 알 수 있다.

그러나 測定時에 制限된 低出力을 가진 低周波 發振器를 使用하였으므로 만약 出力이 增加될 경우 特性이 多少 不良하여질 것이나 設計된 特性에는 別로 影響을 미치지 않을 것으로 생각 한다.

(4) 리플電壓

入力端 X, Y에 各各 直流電壓 +100 V를 供給하고 開放된 出力端에서 오실로스코프로 觀測한 結果 100 mV peak-to peak 程度를 얻었다.

5. 結 論

演算要素의 特性과 誤差를 檢討할 때 時分割 電子乘

算器의 誤差는 直流增幅器의 利得과 出力濾波器의 周波數特性에 依하여 左右된다는 것을 알 수 있다.

따라서 本 時分割 電子乘算器에서는 直流增幅器가 充分한 利得을 가지도록 하고 어떠한 條件에서도 安定하게 作動할 수 있는 濾波器의 周波數特性을 갖추는데 重點을 둔 것이다.

試作된 時分割 電子乘算器의 特性을 實測한 結果 增幅器의 利得에 있어서는 設計値와 若干의 差異를 보이고 있으나 被動素子가 重要な 原因이 되는 周波數特性은 滿足 할 만한 結果를 나타낸다.

本 研究는 文教部 研究補助金으로 이루어진 것으로 文教部 當局에 謝意를 表한다.

參 考 文 獻

- (1) 韓萬春; 延世아나로구 · 컴퓨터의 設計와 試作(1), 原子力院 研究論文集, 第4輯, pp. 97~106, 1964.
- (2) Howe, R.M.; Design Fundamentals of Analog Computer Components, D.Van Nostrand Co. Inc. New Jersey, 1961.
- (3) Millman, J., and Taub, H.; Pulse and Digital Circuits, McGraw-Hill Book Co. Inc., New York, pp. 140~173, 1956.
- (4) Goldberg, E.A.; A High-accuracy Time-division Multiplier, RCA Review, 13 : pp. 265~274, 1952.
- (5) Korn, A.G. and Korn, T.M.; Electronic Analogue Computers, McGraw-Hill Book Co. Inc., New York, pp. 214~223, 1956.
- (6) Morrill, C.D. and Baum, R.V.; Stabilized Time-division Multiplier, Electronics, 25 : pp. 139~141, 1952.