

設計 및 實驗結果

鄭 萬 永\* · 金 惠 鎮\*\*

1. 序 論

펄스增幅回路는 radar 를 비롯하여 T.V., 電子計算機 等に 廣範圍하게 利用되고 있는 한편 原子力의 研究 및 그의 應用部門에 있어서도 相當히 利用되고 있다. 여기서는 放射線計測裝置 中에서 없어서는 안될 펄스增幅器의 設計와 이에 關聯된 事項에 關하여 考察하였다.

電子工學者의 立場에서 보는 펄스增幅器는 그것이 어디에 利用이 되든간에 回路의 解析 및 그 原理는 同一할 것이나 所定의 利用目的에 따라서 加해지는 여러가지 制限은 各기 相異할 것이다. 그러므로 放射線計測者의 立場에서 要求되는 모든 條件을 살펴보고 이에 따른 設計方式을 論하려고 한다. 오래前부터 今日에 이르기 까지 모든 펄스回路는 真空管을 使用하여 왔으나 오늘날 高周波特性이 좋은 트랜지스터가 續出하게되어 트랜지스터回路의 小型, 堅牢한 長點을 利用하려는 電子回路의 所謂 固體化의 傾向이 커지고 있는것은 事實이다. 그러나 트랜지스터는 歷史가 아직 짧고 그 製作技術이 아직도 時時刻刻으로 變遷되어 가고 있음에 비추어 이를 利用한 回路方式도 改良을 거듭해야 할 點이 아직도 遙遠하다고 생각된다. 特히 半導體放射線檢出器의 出現으로 오래前부터의 放射線計測者들의 宿願이던 高速放射線計測의 꿈이 實現 될 수 있게 되었다. 이에 隨伴하여 計數回路의 高速化와 함께 펄스增幅回路의 高速化 即 rise time 이 相當히 빠른 펄스를 充實히 增幅하는 問題가 擧頭되게 된 것이다. 從來의 檢出器인 gas ionization chamber 로 부터의 出力펄스의 rise time 은 빠른것이 數 micro second 程度인데 反하여 今日의 半導體檢出器로 부터의 出力펄스의 rise time 은 數 nano-second 程度로서 前者보다 次數가 10<sup>3</sup> 이나작다. 그러므로 分解能이 좋은 energy spectrum 을 얻을 수 있는 其點을 가진 이 檢出器를 使用하기 爲해서는 이에 隨伴된 電子回路들이 前述한 바와같은 빠른 rise time 에도 適應없이 response 할 수 있도록 改善되어야 하는 것이다.

放射能計測器中의 펄스直線增幅器의 位置를 Fig. 1에

圖示하였다. 檢出器로부터의 出力펄스의 크기는 이 檢出器에 入射한 荷電粒子의 energy 에 比例되게 發生한

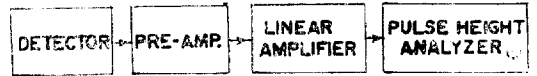


Fig. 1 代表的인 放射線計測裝置의 系統圖

電子 - 正孔雙의 集電電荷量  $Q$  와 charge-sensitive preamplifier의 feedback capacitance  $C_F$  에 依해서 (1) 식과 같이 求해진다.

$$V_{out} = \frac{Q}{C_F} \quad (1)$$

그리고  $n$  型 半導體로 만들어진 檢出器로부터 negative pulse,  $p$  型 半導體로 만들어진 檢出器로부터는 positive 를 얻게 되므로 이것에 依하여 設計하려는 直線增幅器入力의 極性を 미리 決定하여야만 直線性이 좋은 出力 펄스를 얻는 增幅回路를 設計 할 수 있다.

2. 直線增幅器의 具備條件

直線增幅器의 具備條件은 入力펄스와 出力動作機器의 種類에 依해서 決定된다고 생각 할 수 있다. 그러나 放射線計測用인 경우에는 增幅器의 出力으로서 動作시킨 機器는 pulse height analyzer, counting rate-meter, coincidence 또는 anti-coincidence circuit 등으로 局限되어 있으므로 이를 滿足하게 動作시키기 爲해서 直線增幅器에 賦加되어야 할 具備條件들은 아래와 같은 것 들이다.

(1) 安定度

檢出器에 入射하는 荷電粒子와 出力펄스 電壓間에는 高度의 直線性이 維持되어야 하므로 直線增幅器의 利得의 安定度는 利得 그 自體보다도 더욱 重要한 것이다. 增幅器가 不安定하게 되는 原因들 中 큰것 두 가지를 들면 供給電源의 變動과 트랜지스터나 其他 部分品들의 溫度 또는 時間의 變動이다. 前者는 잘 安定화된 電源을 씀으로써 0.5% 以下の 작은 變動率을 갖도록

\*\*\* 原子力研究所 電子工學研究室 研究室

할 수 있으며, 設者는 negative feedback 을 使用하므  
로써 그 變動率을 最少로 控할 수 있는 法 詳細한 것은  
後에 論하기로 한다.

(2) 利得

約 5 MeV 의  $\alpha$  粒子로부터 얻은 펄스의 크기는 pre-  
amplifier(voltage gain=500)의 出力側에서 約 15 mV  
程度이므로 pulse height analyzer 를 動作시키기 위  
해서는 約 60 db 程度의 電壓利得이 있으면 充分하다.  
그러나 一般的으로 40~70 db 程度로서 連續的 또는 段  
階的으로 可變 할 수 있어야 된다.

(3) 直線性

分解能이 좋은 energy spectrum 을 얻기 위해서는  
直線性이 極히 좋아야 한다. 一般的으로 0.5 %나 그 이  
하의 直線性이 要求된다. 大개 初段에서는 直線性을 좋  
게 하기가 難우나 出力段으로 갈수록 voltage swing  
이 커지므로 트랜지스터 自體가 非直線의 特性을 갖게 되기  
때문에 여기서 大層의 非直線의 問題가 發生한다고  
볼 수 있으므로 이 問題는 動作點 設定時에 있어서 펄  
스의 極性을 考慮하여 最大의 直線性을 維持하도록 하고  
negative feedback 을 使用하여 非直線의 特性을 多少  
改善 할 수 있다.

(4) 入力 및 出力電壓

直線增幅器의 入力電壓은 대개  $10 \mu\text{V} \sim 50 \text{ mV}$  의 범  
위에 속한다. 檢出器의 種類에 따라서 그의 出力電壓의  
極性이 다르므로 直線增幅器를 設計하기에 앞서 檢出  
器出力電壓의 極性을 확인하여 두어야 한다. 半導體檢  
出器에 있어서는  $\beta$  型 半導體로부터는 positive,  $n$ -  
型 半導體로부터는 negative pulse 가 나오므로 pre-am-  
plifier 및 直線增幅器의 極性을 서로 맞추어야 한다. 眞  
空管式 增幅器의 設計에 있어서는 그러하지나와 트랜  
지스터 電壓增幅器에 있어서는 더욱 더 入力電壓이 單  
一極性을 갖도록 하는것이 必要하다. 그 理由는 피드  
백이 큰 output voltage swing 을 얻고 比較的 큰  
入力電壓에 대해서도 直線性을 良好 維持 할 수 있게 하  
기 위해서이다. 그러므로 各 增幅段은 設計할 때마다 그  
때 그때의 入力電壓의 極性이 맞추어 動作點을 中心에  
서 한쪽으로 치우치지 않도록 注意가 필요하다.

出力電壓의 크기 및 極性을 檢출된 機器의 種類에 따  
라서 決定할 것이나 대개의 경우에는 pulse height  
analyzer 를 使用하게 되므로 眞空管增幅器에 있어서는  
雜音出力電壓이 낮은 것은 約 1~2 V(peak to peak)의  
정도나 되도록 增幅할 必要가 있으나 트랜지스터를 使用  
할 때에는 高周波特性이 좋으면서 collector-base 間의  
breakdown voltage 가 約 50 V 넘는 것은 現段階에 있

어서는 入手하기 困難한 事實과 70 db 정도로 增幅해도  
트랜지스터의 雜音出力電壓은 최대 0.08 volt(peak to  
peak)程度로 될 수 있으므로 增幅한 最大 出力電壓은  
약 20~30 volt 이면 眞空管을 利用 할 때 보다 낮은 S/N  
比를 얻을 수 있으며, 이 程度면 pulse height analysis  
에도 充分하다고 생각된다.

(5) 周波數特性 및 Rise Time

Overshoot 나 distortion 없이 pulse 를 增幅하기 위  
해서는 周波數特性이 좋아야 한다. 增幅器의 通過帶域  
을 B 라고 하면, rise time 이  $t_r$  일 펄스를 overshoot  
없이 增幅하기 위해서는 (2)式으로 表示되는 帶域幅을  
가지야한다. (2)

$$B \approx \frac{0.35}{t_r} \quad (2)$$

半導體檢出器의 出力펄스의 rise time 은 10~100  
nano-second 로서 위의 關係式으로 부터 이에 該當되  
는 帶域幅은 約 5~50 mc 이 된다. 增幅器의 gain band-  
width product 는 一定하므로 큰 利得을 必要로 할  
때 帶域幅을 줄이고 그렇지 않은 때는 帶域幅을 넓힐  
수 있도록 한다.

3. 一段歸還增幅器의 解析

Common-emitter 增幅回路는 common-base 回路나  
common-collector 回路보다 電壓增幅器에 더 適當한  
데 그 理由는 input 및 output impedance 가 다 같이  
고 또 큰 電壓利得을 갖기 때문이다. 이 回路에 또  
emitter feedback 및 collector-to base voltage feed-  
back 回路를 兼用하므로써 溫度 및 電壓에 對한 安定  
度를 높일 뿐만 아니라 rise time 또는 帶域幅을 많이  
改善할 수 있다. 實際의 增幅器에 있어서는 이와같은  
增幅段을 數段 cascade 로 接續하므로써 所望의 利得  
을 얻을 수 있다.

Collector-to-base voltage feedback 및 emitter  
current feedback 回路를 包含한 一段의 common-  
emitter 增幅器의 基本回路는 Fig. 2. 에 示한 바와

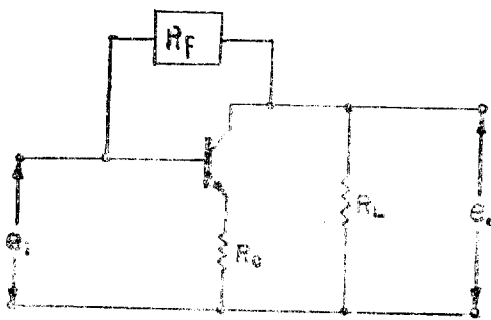


Fig. 2 一段歸還增幅器

같다. 回路解析을 위한 Fig. 2의 增幅器의 hybrid- $p_i$  等價回路는 Fig. 3(a)에 圖示되어 있다. 이 等價回路

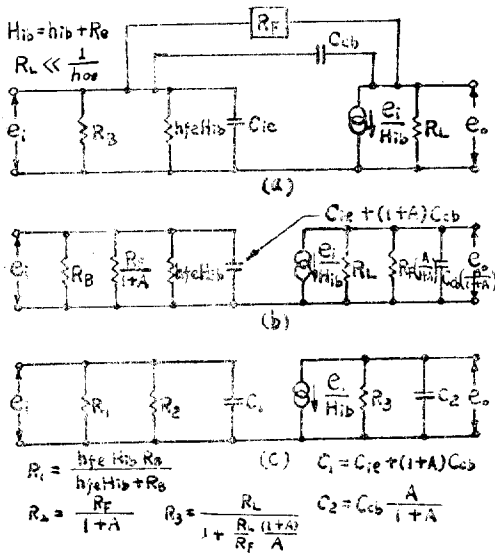


Fig. 3 歸還回路를 包含한 等價回路

를 Miller-effect를 考慮하여 collector base間 capacitance와 voltage feedback resistance 即  $C_{cb}$  및  $R_F$ 의 入力과 出力에 미치는 影響을 각각 表示하면 Fig. 3(b)와 같이 된다. 이를 보다 더 簡單하게 한 것이 Fig. 3(c)에 圖示한 回路이다. 이 그림에서

$$R_1 = \frac{h_{fe} H_{ib} R_B}{h_{fe} H_{ib} + R_B} \quad (2)$$

$$R_2 = \frac{R_F}{1+A} \quad (3)$$

$$R_3 = \frac{R_L}{1 + \frac{R_L(1+A)}{R_F A}} \quad (4)$$

$$C_1 = C_{ie} + (1+A)C_{cb} \quad (5)$$

$$C_2 = C_{cb} \frac{A}{1+A} \quad (6)$$

이 等價回路(Fig. 3(c))로 부터 一段歸還增幅器의 帶域中心周波數에서의 電壓利得  $A$ 는

$$A = -\frac{e_o}{e_i} \approx -\frac{R_{out}}{H_{ib}} \approx -\frac{R_3}{H_{ib}} \quad (7)$$

$$A = \frac{R_1}{H_{ib}} \left\{ \frac{1}{1 + \frac{R_L}{R_F} \cdot \frac{(1+A)}{A}} \right\} \quad (8)$$

$A \gg 1$ 인 境遇에는 (8)式은 近似的으로 (9)式과 같이 된다. 即

$$A \approx \frac{R_L}{H_{ib}} \left\{ \frac{1}{1 + \frac{R_L}{R_F}} \right\} \quad (9)$$

또  $R_F \gg R_L$ 이면 (9)式은 簡單히 다음과 같이 된다

$$A \approx \frac{R_L}{H_{ib}} \quad (10)$$

### (2) 利得安定度

電壓利得의 安定度에 影響을 미치는 因子는 (9)式에서 보는바와 같이  $R_F, R_L$  및  $H_{ib}$ 이다. diffused-base transistor에 있어서는  $R_L \approx 100 \Omega$  일 때에는  $H_{ib}$ 의 變動은 그다지 크지 않고 또  $R_F$ 亦是 固定된 값을 維持할 수 있으므로 特別 問題가 되는 것은  $R_L$ 인데  $R_L$ 은 D.C. collector load resistor  $R_c$ 와 다음段의 入力 抵抗  $R_{in}$ 의 並列結合抵抗이다.  $R_{in}$ 은 增幅器의 種類에 따라 다름은 勿論 同一增幅器에 있어서는 溫度와 周波數 變化等에 따라 變動하게 되어 있다. (9)式의  $R_L$  變動에 따른 利得의 變動率을 보기 위하여 (9)式을  $R_L$ 에 關하여 微分하면

$$\frac{dA}{A} = \left\{ 1 - \frac{1}{(1 + \frac{R_L}{R_F})} \right\} \frac{dR_L}{R_L} \quad (11)$$

(11)式은  $R_F \ll R_L$ 이면

$$\frac{dA}{A} \rightarrow 0 \quad (12)$$

로 되어 voltage feedback을 增加시키므로써 利得이 減少하는 代身 利得의 安定度가 높아짐을 表示한다. 反面에  $R_F \gg R_L$ 일 때에는 (11)式은

$$\frac{dA}{A} = \frac{dR_L}{R_L} \quad (13)$$

로 되어 利得의 變動率은 負荷의 變動率과 같음을 보이고 있다.

### (3) 增幅器의 Rise Time

트랜지스터 펄스增幅器로서 rise time이 빠른 펄스를 overshoot나 波形的 distortion없이 充實히 增幅하기 위해서는 增幅器自體의 rise time이 充分히 빠르지 않으면 안된다. 이 rise time은 增幅器의 通帶帶域幅에 反比例하며 帶域幅을  $B$ , rise time을  $t_r$ 이라 하면  $t_r \approx 0.35/B$ 의 關係가 있어 帶域幅이 넓을수록 rise time이 빠르게 된다. 3db 帶域幅  $B$ 는 出力側 回路의 output capacitance  $C_{cb}$  및 load capacitance  $C_L$ 의 並列合成 容量과 collector load resistance  $R_c$ 에 依해서 決定되며 (14)式과 같은 關係가 成立된다.

$$t_r \approx 0.35 \times 2\pi \times R_c(C_{cb} + C_L) \quad (14)$$

(14)式에서 보는 바와 같이 增幅器의 rise time이 빠르게 되기 위해서는  $R_c, C_{cb}$ 를 可能한 限 적게하여야 하나  $C_{cb}$ 는 transistor 製作時에 決定되는 것으로서 되도록이면 silicon diffused-base transistor나 p<sup>+</sup>anar transistor를 選擇하면 5 pF 以下の 작은것을 얻을 수 있다. rise time에 미치는 collector load res-

istor의 影響은 回路設計時에 特別한 考慮를 要하는 것인데  $R_c$ 의 減少는 利得의 犧牲을 가져오므로 適當한 妥協點을 發見하지 않으면 안된다.

增幅器의 rise time은 emitter feedback resistor  $R_c$ 에 並列로 接은 capacitor  $C_c$ 를 接續하면 若干배 改善되는이 改善는  $C_c$ 에 依하여 帶域幅이 더 擴大되 기 때문이다.  $C_c$ 에 依한 rise time 改善率을  $\eta$ 라 하면

$$\eta = \frac{\text{Emitter 에 } R_c \text{ 만 있을때의 1段增幅器의 rise time}}{\text{Emitter 에 } R_c \text{ - } C_c \text{ 並列回路를 接續했을때의 同增幅器의 rise time}}$$

로 定義된다.

#### 4. Pulse Shaping Circuit

Charge-sensitive pre-amplifier로부터 나오는 펄스의 波型은 數10~100 nano-second의 빠른 rise time을 가지고 있으나, 그의 fall time은 普通 數10~100 micro-second의 긴 펄스로서 이는 step voltage에 가까운 펄스이다. 이와같이 긴 fall time을 가진 펄스를 그대로 原形을 再生하도록 增幅한다면 다음 펄스를 增幅하기 위한 待機時間 即, dead time이 너무 길어져서 repetition rate가 높은 펄스의 增幅이 不可能하게 된다. 그러므로 直線增幅器에서는 入力側과 出力側에서 R-C 微分回路와 積分回路를 使用하던가 delay line을 接續하여 各 펄스의 時間을 짧게 clipping 하고

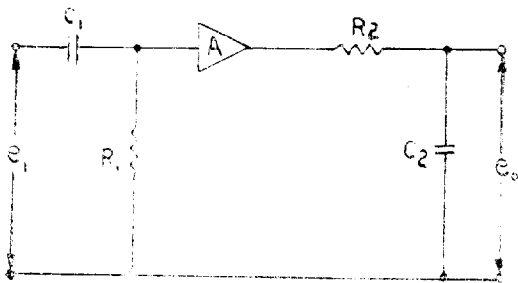


Fig. 4 R-C pulse shaping circuit

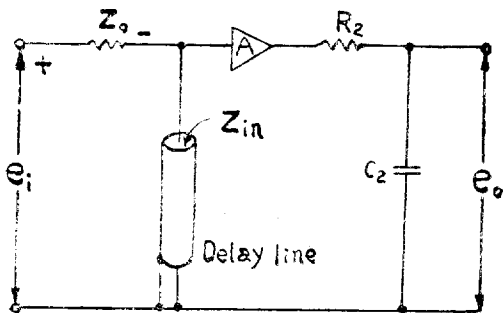


Fig. 5 Single delay line pulse shaping circuit.

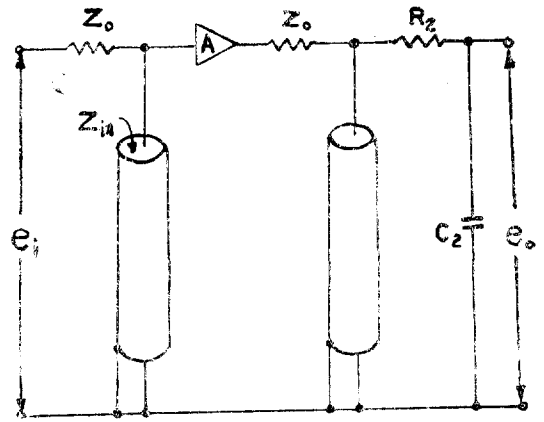
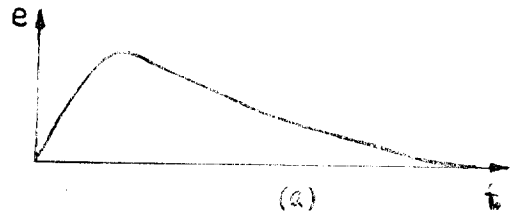
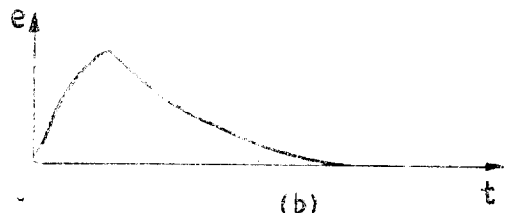


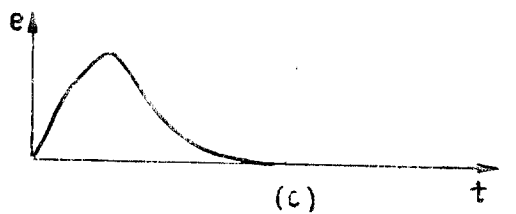
Fig. 6 Double delay line pulse shaping circuit.



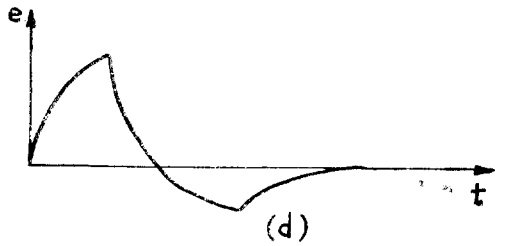
(a)



(b)



(c)



(d)

Fig. 7 Pulse shaping 된 波型

르서 1 micro-second나 또는 그 以下の 짧은 矩形波로

pulse를 shaping 하여야 한다. pulse shaping에는 여러가지 방법이 있는데 Fig. 4는 R-C shaping circuit, Fig. 5는 單一 delay line shaping circuit, Fig. 6은 double delay line에 의한 pulse shaping circuit이며 Fig. 7(a)는 pulse shaping을 하지 않았을때, (b)는 R-C shaping했을때, (c)는 單一 delay line shaping을 했을때, (d)는 double delay line shaping을 했을때의 出力波形을 圖示할 것이다. delay line에 의한 pulse shaping의 原理는 Fig. 8(a)와 같은 pulse가 增幅器의 入力側에 이르러 이점에 接線된 delay line(受電端은 short 된)에 傳送된 波는 受電端에서 完

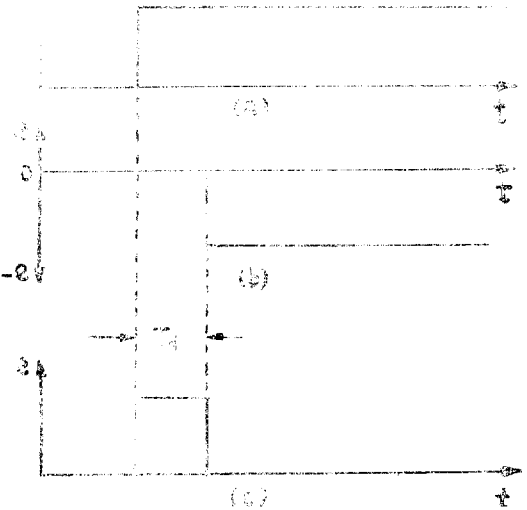


Fig. 8 Delay line pulse shaping의 原理

全 反射되어 180°位相이 反轉된 後 되돌아 올 때의 波形은 (b)圖와 같아지며 (b)의 波形이  $t_d$ 만큼 遲延되어 (a)의 波形과 合成되면 (c)의 같은 짧은 矩形波로 된다. 使用할 delay line의 遲延時間  $t_d$ 는 pulse의 幅  $t_d$ 의 1/2이 되도록 決定한다.

5. 多段增幅器의 設計例

前述한 歸還增幅器를 多段 cascade로 接線할 때는 直接結合方式를 取하면 rise time 特性은 좋아지나 60 db나 되는 高利得 增幅器에 있어서는 이 경우 初段에서 發生한 bias의 變動이 直接 出力側에 나타나므로 drift가 發生하여 좋지 않다. 그러므로 各段마다 獨立된 bias 回路를 갖도록 하는것이 安定性을 維持하기에 더 適當하다. 各段의 rise time이 各各  $t_1, t_2, t_3$  일때 二段增幅器의 合成 rise time은 다음 式으로 表示된다.

$$t = \sqrt{t_1^2 + t_2^2 + t_3^2} \quad (15)$$

그리고 또 實驗的으로 밝혀진바에 依하면 各段의 rise time이 모두 같을 때에 全體 rise time이 가장 빠르다.

다음엔 以上 論한 諸關係들을 利用한 實際設計例를 보이고자 한다.

設計은 所要出力電壓에 依해서 終端으로부터 하는 것이 좋다. 그리고 펄스增幅器의 設計時에는 正弦波信號와 달라져 되도록하면 보다큰 直線的인 output voltage swing을 얻기 위하여 入力펄스의 極性を 한 가지로 定하여 놓고 各段마다 定해진 單一極性에 對해서 bias點을 定하는 것이 좋다. 本例에서는 入力펄스는 negative pulse이며 出力펄스는 positive pulse로서 最大 出力電壓은 약 20 volt, 全電壓利得 1,000으로 하고 使用할 트랜지스터는 終端에는 큰 펄스를 얻기 위하여  $BV_{CBO}$ 가 50 volt 일 2N699 트랜지스터를 前二段엔  $BV_{CBO}$ 가 25 volt 일 2N706 트랜지스터를 使用하였으며 이 두 트랜지스터는 모두 silicon mesa transistor로서 leakage current는 0.004 microampere 程度로서 이의 溫度變化는 거의 無視할 程度이다.

終段設計에 있어 그 밖의 parameter 들은  $f_T=100$  mc,  $\beta_0=33, I_c=20$  ma,  $V_{ce}=50$  volt, bias  $I_c=-20$  ma,  $V_{ce}=5$  volt, 全體의 rise time을 50 nano-second로 하기위해서는 各段의 rise time은 26 nano-second로 하면 좋다.  $C_{cb} \leq 5$  pF,  $C_L \leq 5$  pF라 하면 (14)式으로부터  $R_c$ 를 求할 수 있다. 即,

$$0.35 \times 2\pi \times R_c(5+5) \times 10^{-9} = 26 \times 10^{-9}$$

$$R_c \approx 1.2 \text{ k}\Omega$$

電壓利得 約 10을 얻기 위한  $R_F$ 는

$$R_F = 6 \text{ k}\Omega$$

$R_c=120 \Omega, R_B=1 \text{ k}\Omega, R_E=78 \text{ k}\Omega$  라는 第2段增幅器의 設計에 있어 2N706 트랜지스터를 擇하였고 이것의 定數들을 아래와 같다.

$$f_T \approx 300 \text{ mc}, C_{bc} \approx 4.5 \text{ pF}, \beta_0 \approx 70, I_c = 10 \text{ ma}, r_{bb'} \approx 70 \Omega$$

約 20 db의 電壓利得을 얻기 爲해서는 d.c. collector load resistor는 1.2 k $\Omega$ 로 하여 終端과 rise time을 갖게 하였다. 次段 入力임피던스( $H_{ib}=h_{ib}+R_c$ )에 依한 loading에 依한 利得의 低下를 補償하기 爲하여 emitter feedback resistance는 30  $\Omega$ 로 測었다.  $R_F=50 \text{ k}\Omega, R_E=5.6 \text{ k}\Omega$ 이다. 이增幅段에서는 入力이 positive pulse이므로 bias는  $I_c=5 \text{ ma}, V_{ce}=10 \text{ V}$ 로 하였다. 各段의 設計에 있어서 出力側으로부터의 交流信號의 feedback을 bypass하기 爲하여  $R_F$ 는 半式으로 分割하고 여기서에 큰 capacitor를 挿入하여 交流의 歸還을 防止하였다. 첫번째 段도 먼저와 같은 方法으로  $R_c=1.2$

k $\Omega$ ,  $R_F=10\text{ k}\Omega$ ,  $R_B=190\text{ k}\Omega$ , bias 點은 入力 펄스가 negative pulse 임으로  $I_c=10\text{ ma}$ ,  $V_{cc}=5\text{ V}$  로 하였다. pulse shaping 은 入力 側에 Fig.9 와 같이 delay line 을 接續하였고 delay time 은 約 0.25 micro-second 로 하여 pulse 幅을 0.5 micro-second 로 하였다. 以上 諸 定數에 依한 三段歸還增幅器의 schematic diagram 을 Fig. 9 에 圖示하였다.

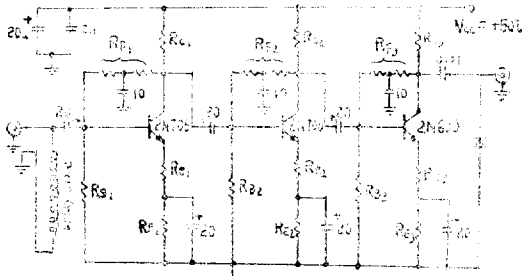


Fig. 9 三段歸還펄스 增幅器의 實際 回路

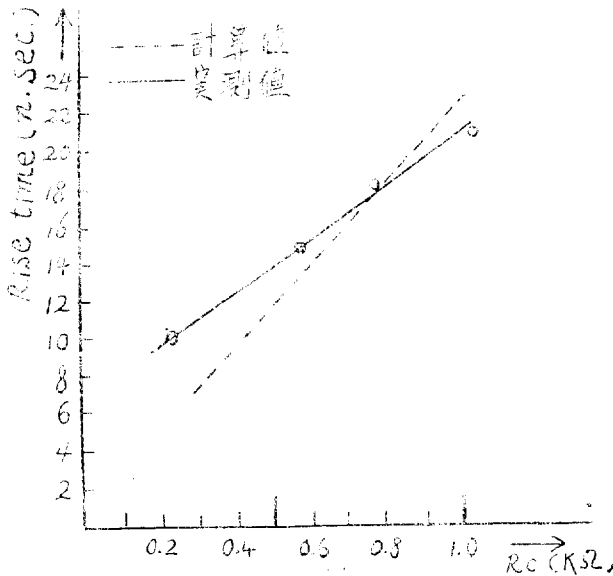


Fig. 10 1段 common-emitter 增幅器의 負荷抵抗 對 rise time

## 6. 實驗結果

2N706 silicon mesa transistor 에 依한 1段 common-emitter 增幅器에 있어서 d.c. collector load resistance 變化에 對한 rise-time 變化 實測值와 計算值을 Fig. 10에 圖示하였다. 測定에 使用된것은 Tektronix 585 oscilloscope 에 type-R plug-in unit 을 裝設한 것이며 test pulse 는 위의 plug-in unit 에 附屬된 rise time 5 nano-second 의 펄스이다. oscilloscope 의 垂

直增幅器의 rise time 約 3.5 nano-second 와 펄스의 rise time 은 (15)式에 依하여 除去하고 트랜지스터 增幅器에 依한 rise time 만을 圖示한 것인데 理論值와 實測值에 매우 接近하고 있다.

앞서 設計한대로 製作한 3段歸還增幅器에서 實測한 結果는 rise time 10 nano-second 의 펄스에 對한 電壓利得 約 1,100, rise time 60 n sec, fall time 約 60 n sec., pulse 幅 約 400 n sec. 最大出力電壓 20 volt 이었다. 各段間 結合문덴서는 그 幅이 작은 수록 undershoot 가 커지므로 充分히 크게 10  $\mu F$  로 하였던마 5 % 以內로 줄었다. 또 出力側에 나타난 undershoot 는 diode 로서 除去되었으며 入力側에 接續된 delay line 은 可變 dial 式으로서 펄스의 波形이 가장 矩形波에 가깝도록 外部에서 調節이 可能하다. 이 增幅器의 直線性은 0~15 mV 의 入力範圍에서 約  $\pm 1\%$  以下이고, 溫度  $-5^{\circ}\text{C}\sim 70^{\circ}\text{C}$  範圍內에서의 利得의 安定度는 常溫에서의  $\pm 0.5\%$  以內로서 充分한 安定性을 가지고 있음을 알 수 있었다. delay line 을 必要로 하지 않는 repetition rate 가 적은 펄스의 增幅時에는 step 入力電壓에 對한 fall time 은 約 60 micro second 程度로된다. 出力雜音의 最大値는 約 75 mV(peak to peak)로서 1 volt 와 20 volt 出力 펄스때의 S/N比는 各各 24 및 270 으로서 充分히 크다.

## 7. 結 論

Silicon mesa transistor 를 利用하여 電壓 및 電流歸還에 依한 多段 增幅器의 設計가 容易하게 이루어질 수 있고 그의 直線性 및 安定度도 眞空管式 펄스增幅器에 못지 않는 特性을 보여 주었다. collector-base 間 breakdown voltage 가 100 V 以上 되는 큰 transistor 를 使用하면 보다 큰 出力電壓도 얻을 수 있을 것이다.

(1963年11月30日接受)

## 參 考 文 獻

- (1) 鄭萬永, 金惠鎮 "트랜지스터에 依한 Low Noise Charge-Sensitive Amplifier", 電氣學會誌 第 11 輯, p. 8 1963年 10月.
- (2) H. Wallman; G. Valley, Vacuum Tube Amplifiers, McGraw Hill Book Co. U.S.A.
- (3) M. Joyce; K. Klarke, Transistor Circuit Analysis, Addison-Wesley Pub. Co., Inc. U.S.A.
- (4) G. Bruun "Common-Emitter Transistor Video Amplifiers", Proc. IRE, Vol.44, No.11, p. 1561, Nov. 1956.