

ALD 를 활용한 단일 박막 비휘발성 메모리 소자의 제작 및 특성 분석

임형완¹, 신동민¹, 박준수¹, 홍형근², 전재욱²

¹성균관대학교 전자전기공학부

²성균관대학교 전자전기컴퓨터공학과

hyoungwan083@naver.com, dongmin0701@naver.com, junsu0523@g.skku.edu, whaihong@g.skku.edu,
jwjeon@skku.edu

Fabrication and Characterization of Single-Layer Non-Volatile Memory Devices Using Atomic Layer Deposition (ALD)

Hyoung-Wan Lim¹, Dong-Min Shin¹, Jun-Su Park¹, Hyeong-Keun Hong², Jae-Wook Jeon²

¹School of Electronic and Electrical Engineering, Sungkyunkwan University

²Department of Electrical and Computer Engineering, Sungkyunkwan University

요 약

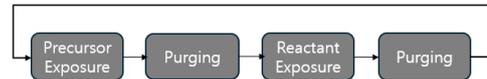
본 연구에서는 ALD(Atomic Layer Deposition) 기술을 사용하여 고품질의 단일 박막을 형성하고, 이를 이용해 비휘발성 메모리 소자를 제작하며 그 특성을 분석한다. ALD 과정에서 단위자층을 차례로 증착하는 방식을 사용하여, 산화알루미늄 및 하프늄 옥사이드를 포함한 여러 층을 성공적으로 증착하였다. 이를 통해 높은 품질과 신뢰성을 가진 박막을 얻을 수 있었으며, 최종적으로 제작된 메모리 소자의 특성을 CV 곡선 분석을 통해 평가한다.

1. 서론

반도체 소자의 집적도 향상을 위해서는 고유전율(High-k) 소재의 사용이 불가피하다. High-k 소재의 증착에 있어 높은 품질과 성능을 갖춘 박막을 형성할 수 있는 원자층 증착법(Atomic Layer Deposition, ALD)의 중요성은 더욱 부각되고 있다. 이에 본 논문에서는 ALD 기술의 기본 원리를 소개하고, ALD 를 이용한 High-k 소재의 증착 공정을 통해 소자의 전기적 특성을 분석한다. 최종적으로, ALD 가 반도체 소자 제작 및 특성 향상에 미치는 영향에 대해 논의한다.

2. ALD 기본 원리

ALD 기술은 (그림 1)에 나타난 바와 같이 Precursor Exposure, Purging, Reactant Exposure, Purging 단계를 반복한다. 각 사이클이 완료될 때마다 매우 얇은 원자층이 기판 위에 순차적으로 쌓이며, 이를 통해 고도로 균일한 두께와 우수한 증착 품질을 달성할 수 있다. ALD 공정의 이러한 과정은 반도체, 광학, 코팅 등 다양한 분야에서 매우 중요한 응용을 가능하게 한다.



(그림 1) ALD Cycle

Precursor Exposure 단계에서는 전구체(Precursor)가 챔버 내에 공급되어 기판의 표면에 흡착된다. 흡착 과정은 물리적 흡착 (Physisorption)과 화학적 흡착 (Chemisorption)의 두 가지 형태로 발생할 수 있으며, 화학적 흡착을 통해 기판 표면과 화학적 결합을 형성한다.

Precursor Exposure 단계 이후에는 Purging 단계를 진행한다. 적절한 관성 가스(N₂ 혹은 Ar)를 사용하여 Purging 과정을 거쳐, 챔버 내부에 미반응 전구체와 부산물을 제거한다. 이를 통해 Reactant Exposure 단계가 잘 수행되도록 챔버 내 환경을 조성한다.

Reactant Exposure 단계에서는 다른 종류의 2 차 소스(Reactant)가 챔버 내에 공급되어, 이전 단계에서 흡착된 1 차 소스와 화학적 치환 반응을 일으킨다. 이 반응을 통해 최종적으로 새로운 물질이 형성되며, 이때 형성된 새로운 물질이 박막의 한 층이 된다.

Reactant 의 화학 반응 이후에는 다시 한번 Purging 과정을 거쳐 반응 챔버 내의 잔여 가스와 부산물을 제거한다. 이를 통해 다음 사이클이 잘 수행되도록 챔버 내 환경을 정화시킨다. 이 과정을 마치면 다시 사이클을 반복한다[1].

3. 비휘발성 메모리 제작 과정

3.1 웨이퍼 클리닝

웨이퍼의 표면에서 불순물을 제거하는 클리닝 과정을 수행했다. 핀을 이용하여 웨이퍼를 적절한 크기로 잘라내고, acetone 및 에틸 알코올을 이용한 초음파 세척, 그리고 DI water 를 사용한 RINSE 를 진행했다. 클리닝의 마지막 단계로는 (그림 2)와 같이 10% HF 용액에 1 분간 담가 산화층을 제거하고, N2 gas 를 사용하여 표면을 건조했다.

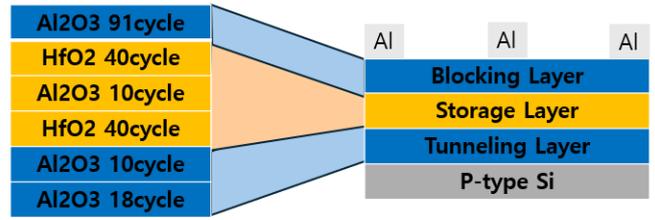


(그림 2) HF 용액을 통한 산화층 제거

3.2 원자층 증착

클리닝된 웨이퍼에 ALD 공정을 이용하여 Al₂O₃ 와 HfO₂ 층을 증착했다. 공정은 실리콘 층을 보호하기 위한 초기 실리콘 증착으로 시작하여, Al₂O₃ 과 HfO₂ 층을 순차적으로 증착해, (그림 3)에 나타난 층 구조로 구성했다. 마지막으로, 형성된 다층 박막 위에 Al 열 증착을 실시해 전극으로 사용한다.

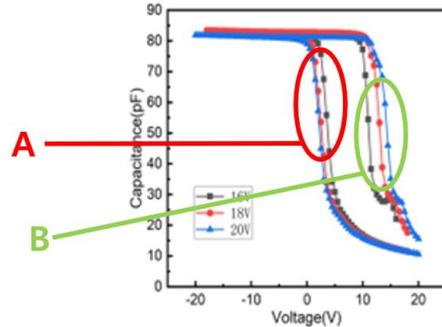
(그림 3)은 층 구조를 보다 정밀하게 구성한 것이다. 가장 아래쪽에 나타난 P-type Si 는 P 형 실리콘 기판으로, 전체 소자의 기반이 되며, 다른 모든 층이 위에 증착된다. Tunneling Layer 은 Al₂O₃ 18 cycle, Al₂O₃ 10 cycle 으로 이루어진다. 주로 trapping 은 잘 안되면서 전하를 이동시켜 Storage Layer 에 저장하고 저장된 전하가 빠져나가지 않게 전기적인 barrier 역할을 해준다. Storage Layer 는 저장층으로, Al₂O₃ 및 HfO₂ 층으로 구성되어 안정적으로 전하를 trap 한다. HfO₂ 는 high-k 물질로 유전체 성능을 강화해 소자의 전하 용량을 늘리는 역할을 한다. HfO₂ 40 cycle/AIO 10 cycle/HfO₂ 40 cycle 의 샌드위치 구조는 안정성과 정전용량을 높이는 구조이다. Al₂O₃ 91 cycle 은 메모리 소자의 성능과 수명을 향상시키는 최종 Blocking layer 로 기능한다. Al 로 이루어진 상단 전극은 메모리 소자의 전기적 접점을 제공한다. 이 층은 전류를 소자로 주입하고, 소자의 전기적 특성을 측정하는 데 사용된다. 즉, MOSFET 소자의 금속 게이트 역할을 하는 부분이다.



(그림 3) 증착 층 구조

4. 결과 및 결론

그림 4 의 곡선 그룹 A 와 B 는 동일한 메모리 소자에서 세 가지 다른 전압(16V, 18V, 20V)에 대한 C-V 곡선이다. 곡선들의 hysteresis 현상은 메모리 소자의 전하 저장 및 유지 능력을 보여준다. 곡선 A 는 메모리 소자의 '지우기' 단계를, 곡선 B 는 '프로그래밍' 단계를 나타낸다. A 와 B 사이의 거리는 'Memory Window' 라고 하며, 이는 소자가 저장할 수 있는 전하의 양을 나타낸다. A 가 B 에 비해 더 낮은 임계 전압에서 용량 변화를 보임으로써, 이 소자는 '지우기' 작업에서 더 낮은 전압으로도 효과적으로 정보를 삭제할 수 있다. 따라서, 이 곡선을 통해 메모리 소자가 '쓰기'와 '지우기' 동작을 효과적으로 수행함을 알 수 있다.



(그림 4) CV 곡선과 소자 구조

5. 후속 연구

금속 게이트와 게이트 절연층 사이에 La, Al dipole 을 넣어 임계 전압을 조절하고, 소자의 신뢰성을 향상시키는 후속 연구를 진행해보고 싶다.

ACKNOWLEDGMENT

이 논문은 정부(교육부-산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임 (P0022098, 2024 년 미래형자동차 기술융합혁신인재양성사업)

참고문헌

- [1] 신석윤, 함기열, 전희영, 박진규, 장우출, 전형탁, "원자층증착 기술: 개요 및 응용분야", 한국재료학회지, 23(8), 405-422, 2013.