

LIF 모델을 활용한 디지털 글리치 필터에 관한 연구

이승문¹, 김병성²

¹성균관대학교 전자전기공학부 학부생

²성균관대학교 반도체시스템공학과 교수

seungmoon2@g.skku.edu, bskimice@skku.edu

A Study on LIF model based Digital Glitch Filter

Seung-Moon Lee¹, Byung-Sung Kim²

¹School of Electronic and Electrical Engineering, Sungkyunkwan University

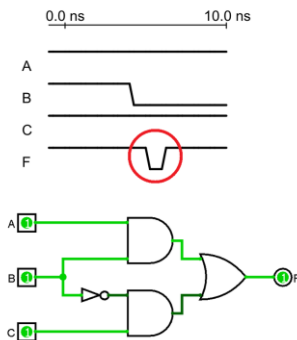
²Department of Semiconductor Systems Engineering, Sungkyunkwan University

요 약

디지털 카운터를 사용하여 기준 시간을 측정함으로써 글리치를 제거하는 구조 대신 뉴런의 막전위 특성을 모사하는 Leaky Integrate and Fire (LIF) 모델에서 착안한 디지털 글리치 필터를 고안하고, 기존 필터와 비교하여 고찰한다.

1. 서론

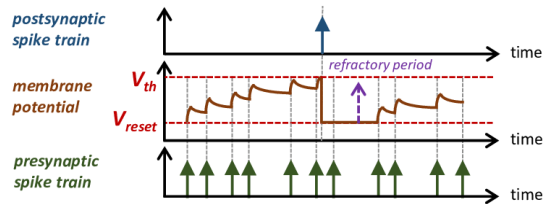
디지털 회로에서 글리치는 의도하지 않은 불필요한 신호 값 변화가 발생하는 것이다.[1] 이러한 글리치는 공동의 신호원에서 서로 다른 경로를 통해 신호를 전달받을 때 그 경로 간 전파 속도에 차이로 인해 발생할 수 있다. 중요한 제어 신호에 글리치가 발생하면 치명적인 오동작을 초래할 수 있다.



(그림 1) 글리치 발생 예시. 출력 F가 1의 값으로 유지될 것을 기대하나 경로 간 속도 차이로 인해 0이 나타난다.

이를 해결하기 위한 디지털 글리치 필터는 현재 입력값이 얼마나 유지되었는지 시간을 측정하여 기준 시간을 넘겼을 때 입력값을 출력값에 반영하는 것으로 구현할 수 있다. 본 연구에서는 시간을 측정하는데 있어 디지털 카운터를 사용하는 대신에 Leaky Integrate and Fire (LIF) 모델에서 착안하여 전하 충전량을 기반으로 한 글리치 필터를 고안 및 고찰해 보고자 한다.

LIF 모델은 생체 뉴런의 막전위 특성을 단순화하여 효율적으로 모사하기 위해 고안된 모델이다.



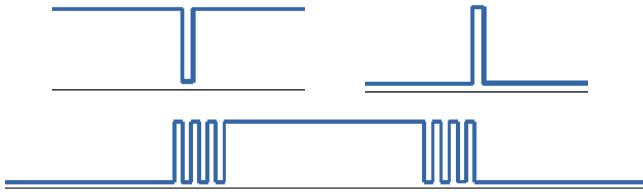
(그림 2) LIF 모델의 주요 동작

LIF 모델은 다음과 같은 동작을 보인다. 스파이크 신호가 입력될 때 막전위가 현재 값에서 일정량 증가하고(integrate), 스파이크 신호가 입력되지 않는 동안에는 막전위 값이 서서히 감소한다(leaky). 막전위가 임계값을 넘어서면 스파이크 신호를 출력한다(fire).

스�파이크 신호 기반 인공 신경망(Spiking Neural Network, SNN)의 구현을 위한 하드웨어 설계 연구가 활발하고, 핵심 성분인 LIF 모델의 보다 효율적인 하드웨어 구현에 대한 연구도 함께 이루어지고 있다.[2]

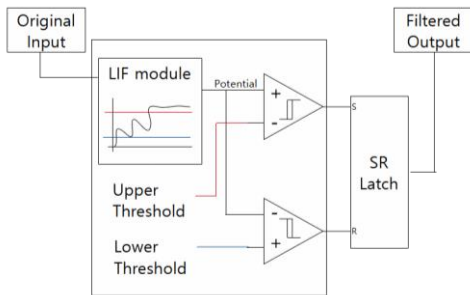
이를 배경으로 LIF 뉴런의 막전위 변화 양상을 디지털 글리치 필터에 적용할 수 있을 것이라 생각하였다. LIF 회로를 글리치 필터에 어떻게 적용할 수 있을지 고안해보고, 기존 필터와 비교하여 고찰해 보고자 한다.

2. 필터 고안



(그림 3) 글리치 발생 예시

신호에 글리치가 발생하면 특정 값으로 유지되어야 하는 상황에서 다른 값으로 잠깐 바뀌거나, 신호 값이 변하는 상황에서 값이 요동치게 된다. 설계하는 필터는 이러한 입력을 받아 의도하지 않은 값 변화를 제거하는 것이 목표이다.

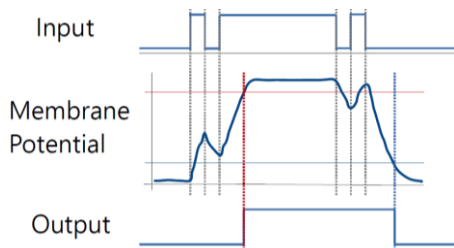


(그림 4) 필터 기능 블록 다이어그램

고안한 필터의 구동 scheme 은 다음과 같다. LIF 모델과 유사하게 입력에 1 이 들어오면 막전위가 서서히 증가하고, 그 외의 경우 값이 서서히 감소하도록 한다. 이때 LIF 모델과 다른 점은 입력과 출력이 항상 spike 형태가 아니고, 막전위가 기준 값을 넘어서도 막전위를 0 으로 초기화하지 않고 최대값을 유지하도록 한다.

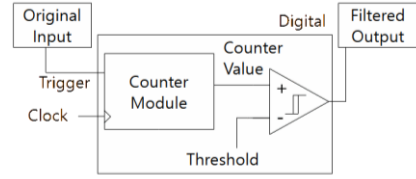
임계값의 경우 상한, 하한 임계값을 별도로 사용한다. 임계값을 하나만 사용하는 경우 임계값 근처에서 값이 요동치면 출력이 함께 요동치는 것을 방지하기 위함이다. 막전위가 상한 임계값보다 커지는 경우 디지털 1 을 출력하고, 막전위가 하한 임계값보다 작아지는 경우 디지털 0 을 출력한다. 막전위가 두 임계값 사이인 경우에는 현재 출력값을 유지한다.

막전위의 저장과 임계값과 막전위의 관계로 출력을 결정하는 주요 기능은 RC 네트워크 및 비교기, Pull-up/Pull-down CMOS network 혹은 SR latch 정도의 간단한 회로만으로 구현할 수 있을 것으로 생각된다.



(그림 5) 필터 동작 예시

3. 기존 필터와의 비교



(그림 6) 기존 글리치 필터 기능 블록 다이어그램

기존 필터는 현재 카운터 값과 임계값을 저장하는 레지스터와 clock 신호에 따라 카운터 값을 갱신하고 임계값과 비교하여 값을 출력하는 논리 회로가 필요하다. 이에 비해 LIF 모듈은 구성이 훨씬 단순하여 기존 필터 구성에 비해 크기와 전력을 아낄 수 있을 것으로 예상된다.

예상되는 단점은 다음과 같다. 출력이 0 인 상황에서 펄스 형태의 글리치가 긴 시간동안 입력되는 경우 출력이 1 로 변하는 문제가 발생할 수 있다. 하지만 글리치의 특성 상 긴 시간 지속될 가능성이 낮고, 최소한 출력이 요동치는 것은 피할 수 있다. 필터 기준 시간을 세밀하게 설정하지 못한다는 점을 생각해 볼 수 있다. 디지털 카운터를 사용하는 경우 clock 수를 기준으로 필터 기준 시간을 정밀하게 설정할 수 있다. RC network 를 사용하여 막전위 축적 모델을 구현하는 경우 memristor 소자를 활용하여 RC delay 시간을 조절함을 통해 구현하는 방안을 구상하였다. 또한 기존 필터의 경우 입력 신호가 rising 혹은 falling 하는 상황에서만 필터링하도록 할 수 있지만, 고안한 필터에서는 항상 두 상황 모두에서 필터링을 하게 되는 등 기능의 유동성 측면에서 불리할 것으로 생각된다. 민감한 제어 신호 등에 사용하기 위한 필터임을 고려하면 전하 축적 기반 시스템의 충분한 robustness 확보 가능 여부도 검증이 필요하다.

4. 결론 및 향후 과제

LIF 모델을 차용한 디지털 글리치 필터의 구성을 제안하고, 기존 필터와 비교하여 장단점을 파악하여 보았다. 스펙을 만족하는 회로를 설계하고 시뮬레이션을 진행하여 동작을 검증 및 noise margin 을 포함한 동작 안정성, 전력소모 등의 성능을 평가하는 과정이 필요하다.

ACKNOWLEDGMENT

이 논문은 정부(교육부-산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임 (P0022098, 2024 년 미래형자동차 기술융합혁신인재양성사업)

참고문헌

- [1] Henrik Eriksson and Per Larsson-Edefors, "Impact of Voltage Scaling on Glitch Power Consumption", Integrated Circuit Design Lecture Notes in Computer Science Volume 1918, 2000, pp 139-148.