

근사화된 계층 변조의 연판정 비트 검출을 통한 연산 지연시간 감소

유 동 호

한남대학교 정보통신공학과

dongho.you@hnu.kr

Computational Latency Reduction via Simplified Soft-bit Estimation of Hierarchical Modulation

Dongho You

The Dept. of Info. and Comm. Eng., Hannam University

요약

본 논문은 고차 계층 변조, 즉 계층 64QAM의 연판정 비트 검출을 위한 단순화된 연산 방법을 다룬다. 이는 기존 계층 변조의 연판정 비트, 즉 LLR(Log-Likelihood Ratio)값의 근사를 통해 불필요한 연산을 줄여 이에 필요한 지연시간을 줄일 수 있다. 또한 제안된 기법은 기존의 연판정 비트 검출 기법과 매우 유사한 비트 오류율(BER: Bit Error Rate) 성능을 유지하기 때문에 연판정 비트를 활용하는 방송 및 통신 시스템에 폭넓게 적용될 수 있을 것으로 기대한다.

1. 서론

최근 지연시간에 민감한 어플리케이션들의 등장으로 인해 종단 간 (E2E: End-to-End)의 지연시간을 감소시키는 노력이 끊임없이 진행되고 있다^[1]. 또한 고화질 영상에 대한 사용자의 요구도 증가하여 전송되는 데이터의 양도 지속적으로 증가하고 있다^[2]. 이를 해결하기 위해 물리계층에서 고차 변조 기법이 사용되어야 하지만 이는 연판정 비트 검출시 연산의 복잡도를 증가시킨다는 단점이 있다.

따라서 본 논문에서는 방송에서 주로 사용하는 계층 64-QAM^[3]과 같은 고차 변조를 사용하더라도 연판정 비트 검출 시 불필요한 값들을 근사화하여 복잡도를 줄여 지연시간을 감소시킬 수 있는 방안을 제시한다.

2. 계층 64-QAM의 연판정 비트 검출 연산

그림 1은 계층 64-QAM의 성상도를 보여준다. 여기서 검정 및 회색 포인트는 가상의 심볼인 반면에 흰색 포인트는 실제로 전송되는 심볼을 나타낸다. $2d_1$ 과 $2d_2$ 는 각각 가상의 사분면과 하위 사분면 중심에 위치한 가상의 심볼 간의 거리를 나타내며, $2d_3$ 는 각각의 하위 사분면에 위치한 실제 전송 심볼 간의 거리를 나타낸다. 그리고 계층 64-QAM 심볼을 구성하는 6비트 중 처음의 2개의 비트, 중간 2개의 비트, 마지막 2개의 비트는 각각 HP(High Priority), MP(Medium Priority), LP(Low Priority) 비트로 간주된다. 또한 그림 2와 같이 각각의 계층 64-QAM 심볼을 구성하는 6개의 비트는 3개의 비트씩 독립적인 in-phase와 quadrature에서 계층 8-PAM 성상도를 구성한다. 따라서 이는 연판정 비트 검출 시 in-phase 와 quadrature에 동일한 검출 방식을 적용할 수 있으므로 본 논문은 둘 중 하나의 성분만 고려하여 검출

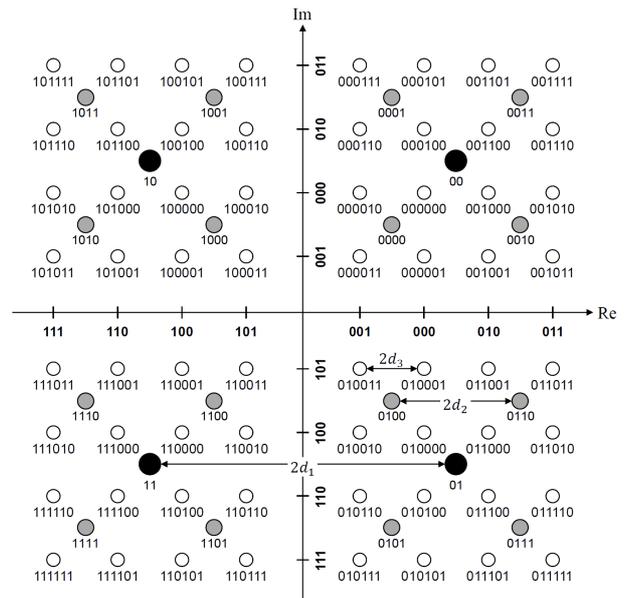


그림 1. 계층 64QAM 성상도

연산을 수행한다.

수신된 심볼은 일반적으로 $y = x + w$ 로 표현된다. 여기서 x 는 전송된 심볼, w 는 AWGN(additive white Gaussian noise)를 나타내며 다음과 같이 표현된다.

$$p(w) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{(w-\mu)^2}{2\sigma^2}}, \quad (1)$$

Symbol Bits ($b_1 b_2 b_3$)	Symbol Location	Substitution Variable
1 1 1	$-d_1 - d_2 - d_3$	r_1
1 1 0	$-d_1 - d_2 + d_3$	r_2
1 0 0	$-d_1 + d_2 - d_3$	r_3
1 0 1	$-d_1 + d_2 + d_3$	r_4
0 0 1	$d_1 - d_2 - d_3$	r_5
0 0 0	$d_1 - d_2 + d_3$	r_6
0 1 0	$d_1 + d_2 - d_3$	r_7
0 1 1	$d_1 + d_2 + d_3$	r_8

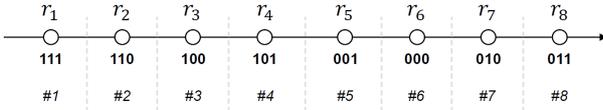


그림 2. 계층 8PAM 성상도 및 매핑 테이블

여기서 $\mu = 0$, 분산 $\sigma^2 = N_0/2$ 이다. 각각의 8-PAM 계층 8-PAM 심볼은 3개의 비트로 구성되어 있기 때문에 각각의 비트들은 연판정 검출 시 독립적으로 고려되어야 한다. 이는 수신된 계층 8-PAM 심볼 y 가 주어졌을 때 i 번째 비트 b 를 검출해야 하므로 $P(b_i|y)$, $i = 1, 2, 3$ 으로 표현되며, 이는 베이즈 정리 (Baues' rule)에 따라 다음과 같이 다시 표현될 수 있다.

$$P(b_i|y) = \frac{P(b_i|y)p(b_i)}{p(y)}, \quad (2)$$

여기서 성상도를 구성하는 심볼 포인트의 확률이 같은 때 $P(b_i|y)$ 를 최대화하는 것은 $P(y|b_i)$ 를 최대화하는 것과 동일합니다.

2.1. HP 비트를 위한 연판정 비트 검출 연산

HP 비트 b_1 의 심볼 매핑 방법은 in-phase와 quadrature에서 모두 동일하므로, 앞서 설명한 것과 같이 하나의 축에 해당하는 연판정 비트 검출 연산만 고려한다. 또한 HP 비트를 위한 연판정 비트 검출연산 방식은 MP 및 LP 비트와 매우 유사하므로 본 논문에서는 오직 HP 비트에 대한 것만 다루도록 한다.

b_1 을 위한 LLR(Log-Likelihood Ratio)은 다음과 같이 표현된다.

$$\frac{P(y|b_1 = 0)}{P(y|b_1 = 1)} = \frac{e^{-\frac{(y - (r_n))^2}{2\sigma^2}}}{e^{-\frac{(y - (r_k))^2}{2\sigma^2}}}, \quad (3)$$

여기서 r 은 그림 2와 같이 각각의 계층 8-PAM 심볼들의 치환 변수이며 $n = \{5, 6, 7, 8\}$, $k = \{1, 2, 3, 4\}$ 이다. 예를 들어, $r_1 = -d_1 - d_2 - d_3$ 이다.

■ 수신된 y 가 #1에 위치하는 경우

수식 (3)의 분모에 해당하는 r_1, r_2, r_3, r_4 와 분자에 해당하는 r_5, r_6, r_7, r_8 중 수신 신호 y 가 그림 2의 #1에 위치하는 경우, 심볼

r_1 과 r_5 가 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1 = 0)}{P(y|b_1 = 1)} = \frac{e^{-\frac{(y - (r_5))^2}{2\sigma^2}}}{e^{-\frac{(y - (r_1))^2}{2\sigma^2}}}. \quad (4)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1 = 0)}{P(y|b_1 = 1)}\right) &= \ln\left(\frac{e^{-\frac{(y - (r_5))^2}{2\sigma^2}}}{e^{-\frac{(y - (r_1))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y - r_1)^2 - (y - r_5)^2 \\ &= \frac{8}{\sigma^2}(y^2 + (d_2 + d_3)). \end{aligned} \quad (5)$$

■ 수신된 y 가 #2에 위치하는 경우

앞서 설명한 방법과 같이 수신 신호 y 가 그림 2의 #2에 위치하는 경우, 심볼 r_2 와 r_5 가 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1 = 0)}{P(y|b_1 = 1)} = \frac{e^{-\frac{(y - (r_5))^2}{2\sigma^2}}}{e^{-\frac{(y - (r_2))^2}{2\sigma^2}}}. \quad (6)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1 = 0)}{P(y|b_1 = 1)}\right) &= \ln\left(\frac{e^{-\frac{(y - (r_5))^2}{2\sigma^2}}}{e^{-\frac{(y - (r_2))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y - r_2)^2 - (y - r_5)^2 \\ &= \frac{6}{\sigma^2}(y + d_2). \end{aligned} \quad (7)$$

■ 수신된 y 가 #3에 위치하는 경우

수신 신호 y 가 그림 2의 #3에 위치하는 경우, 심볼 r_3 와 r_5 가 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1 = 0)}{P(y|b_1 = 1)} = \frac{e^{-\frac{(y - (r_5))^2}{2\sigma^2}}}{e^{-\frac{(y - (r_3))^2}{2\sigma^2}}}. \quad (8)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1=0)}{P(y|b_1=1)}\right) &= \ln\left(\frac{e^{-\frac{(y-(r_5))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_3))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y-r_3)^2 - (y-r_5)^2 \\ &= \frac{4}{\sigma^2}(y+d_3). \end{aligned} \quad (9)$$

■ 수신된 y 가 #4와 #5에 위치하는 경우

수신 신호 y 가 그림 2의 #4와 #5에 위치하는 경우, 심볼 r_4 와 r_5 가 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1=0)}{P(y|b_1=1)} = \frac{e^{-\frac{(y-(r_5))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}. \quad (10)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1=0)}{P(y|b_1=1)}\right) &= \ln\left(\frac{e^{-\frac{(y-(r_5))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y-r_4)^2 - (y-r_5)^2 \\ &= \frac{4}{\sigma^2}y. \end{aligned} \quad (11)$$

■ 수신된 y 가 #6에 위치하는 경우

수신 신호 y 가 그림 2의 #6에 위치하는 경우, 심볼 r_4 와 r_6 가 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1=0)}{P(y|b_1=1)} = \frac{e^{-\frac{(y-(r_6))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}. \quad (12)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1=0)}{P(y|b_1=1)}\right) &= \ln\left(\frac{e^{-\frac{(y-(r_6))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y-r_4)^2 - (y-r_6)^2 \\ &= \frac{4}{\sigma^2}(y-d_3). \end{aligned} \quad (13)$$

■ 수신된 y 가 #7에 위치하는 경우

수신 신호 y 가 그림 2의 #7에 위치하는 경우, 심볼 r_4 와 r_7 이 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1=0)}{P(y|b_1=1)} = \frac{e^{-\frac{(y-(r_7))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}. \quad (14)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1=0)}{P(y|b_1=1)}\right) &= \ln\left(\frac{e^{-\frac{(y-(r_7))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y-r_4)^2 - (y-r_7)^2 \\ &= \frac{6}{\sigma^2}(y-d_2). \end{aligned} \quad (15)$$

■ 수신된 y 가 #8에 위치하는 경우

수신 신호 y 가 그림 2의 #8에 위치하는 경우, 심볼 r_4 와 r_8 이 다른 심볼들에 비해 b_1 의 수신 비트 오류율 성능에 미치는 영향이 상대적으로 크다고 볼 수 있다. 따라서 수식 (3)은 다음과 같이 단순화될 수 있다.

$$\frac{P(y|b_1=0)}{P(y|b_1=1)} = \frac{e^{-\frac{(y-(r_8))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}. \quad (16)$$

그리고 양쪽에 자연로그를 취하면 다음과 같다.

$$\begin{aligned} \ln\left(\frac{P(y|b_1=0)}{P(y|b_1=1)}\right) &= \ln\left(\frac{e^{-\frac{(y-(r_8))^2}{2\sigma^2}}}{e^{-\frac{(y-(r_4))^2}{2\sigma^2}}}\right) \\ &= \frac{1}{2\sigma^2}(y-r_4)^2 - (y-r_8)^2 \\ &= \frac{8}{\sigma^2}(y-(d_2+d_3)). \end{aligned} \quad (17)$$

3. 성능평가

이전 장에서 계층 64QAM의 연판정 비트 검출을 위해 단순화된 연산 방법을 도출하였다. 모든 연산은 기본적인 사칙연산, 즉 덧셈, 뺄셈, 곱셈, 나머지 연산으로만 구성되었다. 따라서 이는 지수 함수를 사용하는 연산보다 연산 복잡성을 크게 줄일 수 있는 장점이 있다. 또한 모든 연산에 공통적으로 들어 있는 $1/\sigma^2$ 도 제거하여 그림 3과 같이 일반화된 연산식으로 나타낼 수 있다.

Region	HP	MP	LP
#1	$4(y + (d_2 + d_3))$	$2(y + (d_1 + d_3))$	$y + (d_1 + d_2)$
#2	$3(y + d_2)$	$y + d_1$	$y + (d_1 + d_2)$
#3	$2(y + d_3)$	$y + d_1$	$-y - d_2$
#4	$2y$	$2(y + (d_2 + d_3))$	$-y - d_2$
#5	$2y$	$2(-y + (d_2 + d_3))$	$y - d_2$
#6	$2(y - d_3)$	$-y + d_1$	$y - d_2$
#7	$3(y - d_2)$	$-y + d_1$	$-y + (d_1 + d_2)$
#8	$4(y - (d_2 + d_3))$	$2(-y + (d_1 + d_3))$	$-y + (d_1 + d_2)$

그림 3. 계층 64QAM의 일반화된 연판정 비트 연산

그림 4는 기존의 연판정 연산 방법, 즉 수식 (3)과 같이 근사화 하지 않는 방법과 그림 3에 정리된 근사화된 연판정 연산 방법과 비교하여 연판정 연산시 요구되는 지연시간을 보여준다. 해당 실험을 간단하게 수행하기 위해 Turbo 코드 반복횟수를 1로 고정하고 계층적 64QAM을 사용하였다. 또한 실험을 위해 사용된 컴퓨터의 사양은 Intel Core i7-6700T CPU @2.80 GHz, 16 GB RAM이며, MATLAB R2019b를 사용하였다. 채널 디코더에 입력되는 비트의 수(x 축)가 작을 때에는 둘 사이의 연산 지연시간이 비슷해 보인다. 하지만 이 수가 증가함에 따라 두 성능의 격차도 크게 증가하는 것을 볼 수 있다. 해당 실험에서 두 선의 기울기 차이는 대략 2.3배이지만 이는 실제 하드웨어 구현 시 더욱 두드러질 것으로 예상된다. 그 이유는 나눗셈 및 지수 연산은 하드웨어 구현 측면에서 기존과 다른 산술(또는 논리) 함수보다 더 많은 리소스를 요구하기 때문에 두 기능을 위한 집적회로의 구현은 상대적으로 복잡하고 비싸지기 때문이다^[4].

4. 결론

본 논문은 계층 64QAM의 연판정 비트 검출을 위한 연산의 단순화와 일반화를 고려했다. 특히 제안된 단순화된 연산 방법은 연판정 비트 검출 시 불필요한 연산을 최대한 제거하고 나누기, 지수 연산과 같은 복잡한 연산과 기능을 생략했다. 이 방법은 기존 방법과 거의 동일하게 비트 오류율 성능을 유지하면서 연판정 비트 연산에 필요한 지연시간을 크게 줄이는 장점이 있음을 확인하였다. 그럼에도 불구하고 본 논문에서는 계층 64QAM에 필요한 연산만을 고려하여 향후 모든 계층적 변조 차수를 다룰 수 있는 일반화되고 단순화된 방법에 대해 추가적인 연구가 필요할 것으로 보인다.

ACKNOWLEDGMENT

이 연구는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2021091541).

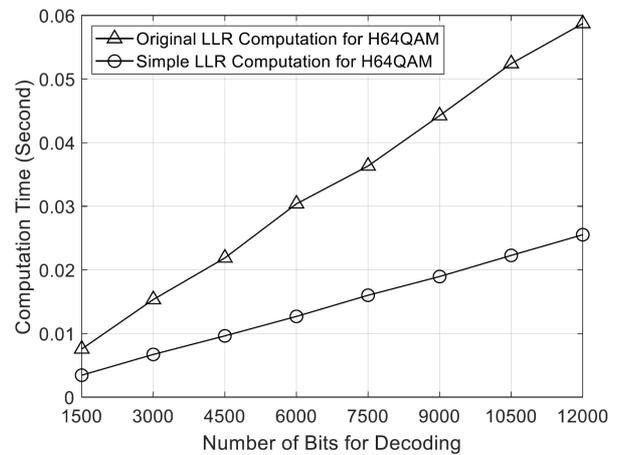


그림 4. 연판정 비트 검출 연산의 지연시간

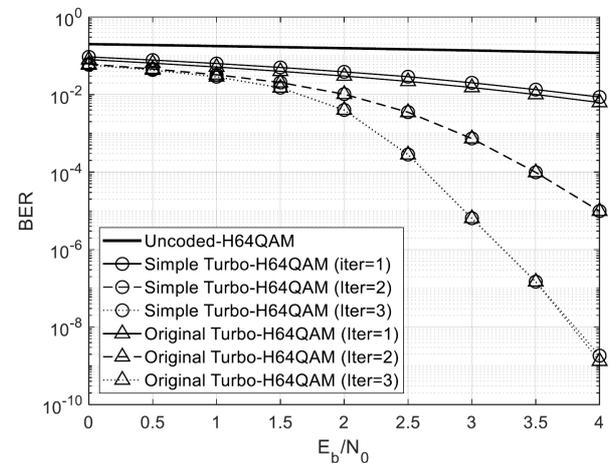


그림 5. 연판정 비트 검출 연산에 따른 비트 오류율

참고문헌

- [1] Z. Xiang, *et al.*, "Reducing latency in virtual machines: Enabling tactile Internet for human-machine co-working," *IEEE Journal on Selected Areas in Communications*, vol. 37, no. 5, pp. 1098-1116, May 2019.
- [2] T. Barnett, *et al.*, "Cisco visual networking index (VNI) complete forecast update, 2017-2020," *Americas/EMEAR Cisco Knowledge Network (CKN) Presentation*, Dec. 2018.
- [3] D. You and D. H. Kim, "Normalization factor for three-level hierarchical 64QAM scheme," *The Journal of Korean Institute of Communications and Information Sciences*, vol. 41, no. 1, pp. 77-79, Jan. 2016.
- [4] J. Partzsch, *et al.*, "A fixed point exponential function accelerator for a neuromorphic many-core system," in *Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017.