

피드백 전계 효과 트랜지스터로 구성된 모놀리식 3차원 정적 랜덤 액세스 메모리 특성 조사

오종혁* · 유운섭

한경대학교

Investigation of the electrical characteristics of monolithic 3-dimensional static random access memory consisting of feedback field-effect transistor

Jong Hyeok Oh* · Yun Seop Yu

Hankyong National University

E-mail : rnjsdlr7@hknu.ac.kr

요 약

피드백 전계 효과 트랜지스터(feedback field-effect transistor; FBFET)로 구성된 모놀리식 3차원 정적 랜덤 액세스 메모리(monolithic 3-dimensional static random access memory; M3D-SRAM)에 대해 TCAD(technology computer-aided design) 프로그램을 사용하여 전기적 특성을 조사하였다. FBFET로 구성된 M3D-SRAM(M3D-SRAM-FBFET)는 FDSOI(fully depleted silicon on insulator) 구조의 N형 FBFET와 N형 MOSFET(metal oxide semiconductor field effect transistor)로 이루어져 있으며 각각 하부와 상부에 위치한다. M3D-SRAM-FBFET의 메모리 동작 시, 공급 전압이 1.9 V에서 감소함에 따라 읽기 전류가 낮아졌으며, 공급 전압이 1.6 V 일 때 읽기 전류가 약 10배 감소하였다.

ABSTRACT

The electrical characteristics of the monolithic 3-dimensional static random access memory consisting of a feedback field-effect transistor (M3D-SRAM-FBFET) was investigated using technology computer-aided design (TCAD). The N-type FBFET and N-type MOSFET are designed with fully depleted silicon on insulator (FDSOI), and those are located at bottom and top tiers, respectively. For the M3D-SRAM-FBFET, as the supply voltage decreased from 1.9 V to 1.6 V, the reading on-current decreased approximately 10 times.

키워드

피드백 전계 효과 트랜지스터, 모놀리식 3차원 정적 랜덤 액세스 메모리

1. 서 론

SRAM(static random access memory; SRAM)은 중앙 처리 장치(central processing unit; CPU) 내부에 구성되어 캐시(cache) 메모리로 사용되고 있다. 전통적인 SRAM은 6개의 MOSFET으로 구성되어 있다. SRAM 내부는 2개의 인버터 회로가 래치(latch) 형태로 연결되며 액세스 트랜지스터를 통해 데이터를 읽고 쓸 수 있다. 공급 전압이 인가되는 동

안 데이터를 유지하며, 읽고 쓰는 속도가 빠르다. 하지만, 6개의 트랜지스터로 구성된 회로이기 때문에 많은 면적을 차지하여 다른 기억장치에 비해 적은 용량을 가지고 있다. 또한 칩 내부에 설계되기 때문에 차세대 칩 설계에 있어 많은 어려움을 주고 있다. 이러한 문제점을 해결하기 위해 다양한 연구들이 진행되고 있다. 그 중, 차세대 소자를 이용하여 소자 수를 줄이는 연구와 모놀리식 3차원 집적(monolithic 3-dimensional integration, M3DI) 기술을 통해 수직으로 회로를 설계하는 연구가 활발히 진행 중에 있다 [1,2].

* corresponding author

그 중, 차세대 소자인 피드백 전계 효과 트랜지스터(feedback field-effect transistor; FBFET)로 구성된 정적 랜덤 액세스 메모리가 발표된 바 있다 [3]. FBFET는 소자 내부의 채널 영역에서 발생하는 전자와 정공 간 양성 피드백에 의해 전류의 급격한 상승과 히스테리시스 특성을 가진다. 이러한 FBFET의 전기적 특성을 활용하여 N형 FBFET와 N형 MOSFET(metal oxide semiconductor field-effect transistor)로 구성된 SRAM(SRAM-FBFET)는 뛰어난 성능으로 차세대 SRAM 회로로 주목받고 있다.

기존의 SRAM-FBFET는 나노와이어(nanowire) 구조로 구성된 소자들로 설계되어, 기존 2차원 소자들에 비해 높은 집적도를 이룬다. 하지만, 나노와이어 구조 대신 수직으로 설계 가능한 구조로 변경할 시, 더 높은 집적도를 이룰 수 있다. SRAM이 고 집적도를 이룰수록 CPU 내부에 더 많은 연산 처리 회로들을 집적할 수 있어 컴퓨팅 시스템에 전반적인 성능 향상을 가져온다. 이를 위해 기존의 나노와이어 구조 대신 FDSOI(fully depleted silicon on insulator) 구조를 사용하여 M3D 구조에 접목하면 더 높은 집적도를 이룰 수 있다. 따라서 이번 연구에서는 M3D 구조인 SRAM-FBFET (M3D-SRAM-FBFET)에 대해 전기적 특성을 조사하고자 한다.

II. 시뮬레이션 구조

그림 1은 M3D-SRAM-FBFET의 2차원 단면도를 나타낸다. N형 FBFET(NFBFET)와 N형 MOSFET(NMOSFET)은 하부와 상부에 각각 위치한다. NFBFET와 NMOSFET의 채널 영역의 길이는 40 nm이며, 도핑 농도는 각각 $2 \times 10^{17} \text{ cm}^{-3}$, $1 \times 10^{15} \text{ cm}^{-3}$ 이다. M3D-SRAM-FBFET를 시뮬레이션 하기 위해 MOSFET과 BJT(bipolar junction transistor)의 물리적 모델을 사용하였다.

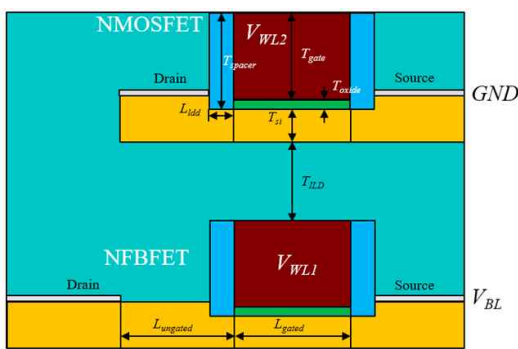


그림 1. M3D-SRAM-FBFET의 2차원 단면도

III. 시뮬레이션 결과

그림 2는 공급 전압에 따른 M3D-SRAM-FBFET의 읽기 동작 시의 전류의 변화를 나타낸다. 쓰기 '1' 동작 시의 word line 1의 전압(V_{WL1})과 word line 2의 전압(V_{WL2})은 1.0 V이며 읽기 '1' 시의 V_{WL1} 과 V_{WL2} 은 각각 0 V와 1.0 V이다. 상승 시간, 하강 시간, 그리고 펄스 유지 시간은 0.2 ns이다. Bit line 전압 (V_{BL})이 감소할수록 읽기 '1' 시의 전류가 약 10배 감소하였다.

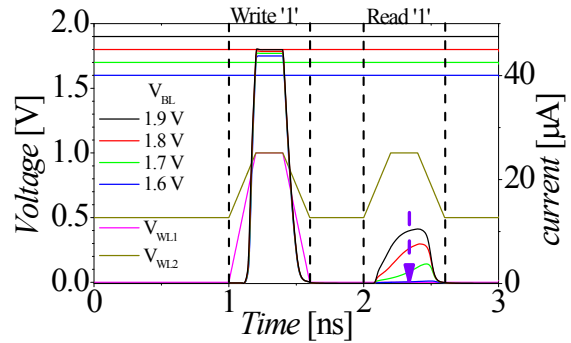


그림 2. 정보통신망 흐름도

IV. 결론

본 연구에서는 M3D-SRAM-FBFET에 대해 공급 전압에 따른 읽기 '1' 시의 전류의 변화에 대해 TCAD 시뮬레이터를 활용하여 조사하였다. M3D-SRAM-FBFET는 FDSOI 구조인 NFBFET와 NMOSFET이 하부와 상부에 각각 위치한다. M3D-SRAM-FBFET에 대해 공급 전압이 1.9 V에서 1.6 V로 감소함에 따라 쓰기 '1' 시의 전류의 변화는 없었으나, 읽기 '1' 시의 전류가 약 10배 감소하였다.

Acknowledgement

This research was supported by the Basic Science Research Program through NRF of Korea funded by the Ministry of Education (NRF-2019R1A2C1085295)

References

- [1] A. M. S Tossou, S. Yu, M. H. Anis, and L. Wei, "A study of the effect of RRAM reliability soft errors on the performance of RRAM-based neuromorphic systems," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 25, no. 11, pp. 3125-3137, Nov. 2017.
- [2] O. Thomas, M. Vinet, O. Rozeau, P. Batude and A. Valentian, "Compact 6T SRAM cell with

- robust read/write stabilizing design in 45nm Monolithic 3D IC technology,” in *Proceeding of the 2009 IEEE International Conference on IC Design and Technology*, Austin, pp. 195-198, 2009.
- [3] J. Cho, D. Lim, S. Woo, K. Cho and S. Kim, “Static random access memory characteristics of single-gated feedback field-effect transistors,” *IEEE Transactions on Electron Devices*, vol. 66, no. 1, pp. 413-419, Jan. 2019.