고유전율 게이트 산화막을 가진 적층형 3차원 인버터의 일함수 변화 영향에 의한 문턱전압 변화 조사

이근재 · 유윤섭*

한경대학교

Investigation of threshold voltage change due to the influence of work-function variation of monolithic 3D Inverter with High-K Gate Oxide

Geun Jae Lee · Yun Seop Yu*

Hankyong National University

E-mail : ysyu@hknu.ac.kr

요 약

본 논문은 M3D(Monolithic 3-Dimension) Inverter의 소자 구조에서 메탈 게이트의 WFV(Work-function Variation)의 영향에 따른 임계전압의 변화에 대하여 조사했다. 또한 PMOS 위에 NMOS가 적층된 인버터의 전기적 상호작용에 따른 임계전압의 변화를 조사하기 위해 PMOS에 0과 1 V의 전압을 인가하여 전기적 상호작용을 조사하였다. 사용된 메탈 게이트의 평균 일함수에 대한 임계전압의 변화량은 0.1684 V로 측정되었고, 표준편차는 0.00079 V가 조사 되었다.

ABSTRACT

This paper investigated the change of threshold voltage according to the influence of work-function variation (WFV) of metal gate in the device structure of monolithic 3-dimension inverter (M3DINV). In addition, in order to investigate the change in threshold voltage according to the electrical coupling of the NMOS stacked on the PMOS, the gate volta ges of PMOS were applied as 0 and 1 V and then the electrical coupling was investigated. The average change in thr eshold voltage was measured to be 0.1684 V, and they standard deviation was 0.00079 V.

키워드

TCAD, Monolithic 3DIC, Work-function Variation, Process Variation, M3D-INVERTER

Ⅰ. 서 론

트랜지스터는 스케일링을 통해 지속적으로 감소하고 있으며, 이러한 물리적인 스케일링의 한계를 극복하고자 수직적으로 설계하는 모노리틱 3차원 적층형 집적회로(Monolithic 3D Integrated Circuit; M3DIC)에 대한 연구가 진행되고 있다[1-2]. 트랜지스터의 스케일링으로 인해 공정편차가 발생하고 소자의 특성의 불일치가 발생한다. 이러한 공정편차 중 일함수 변화(work-function variation; WFV)로 인해 문턱전압 변동이 발생한다[3]. 공정편차의 발생은 소자의 신뢰성 및 획일성을 방해하고 저전력 소자의 중요성이 대두됨에 따라 공정편차에 의한 특성변화의 조사가 필요하다. 또한 하부 게이트 전압에 의한 전기적 커플링을 조사하기 위해 하부게이트에 0, 1 V를 각각 인가하여 전기적 커플링의 영향을 조사한다.

WFV 영향에 따른 3차원 적층형 인버터(M3DINV) 소자의 공정편차를 조사하기 위해 TCAD 시뮬레이션[4]으로 소자를 설계하고 문턱전압의 변동분포를 조사한다.

* corresponding author

Ⅱ. 구조 및 파라미터

그림1(a)는 M3DINV의 구조이다. 그림1(b)는 그림1(b)의 A-A′ 절단면의 단면 구조이며, M3DINV의 단면 구조를 제시한다. 상단은 NMOS, 하단은 PMOS으로 구성되어 있고, 각 채널의 길이는 30 nm이며 각각의 폭은 30 nm, 60 nm이다. 게이트 산화막은 HfO_2이며 게이트 산화막의 두께는 5 nm이다. 층간 절연체(Inter-Layer Dielectric; ILD)는 SiO_2이며 두께는 10 nm이다. 상부 NMOS의 메탈 게이트를 구성하는 물질은 TiN으로 가정하여 Contact을 설정하였고 이에 따른 일함수(WF)의 평균값은 4.53 eV으로 설정하였다. TiN 물질의 평균 입자 크기는 4.3 nm이며, 시뮬레이션에서 사용된 입자의 크기는 5 nm로 시뮬레이션 되었다.

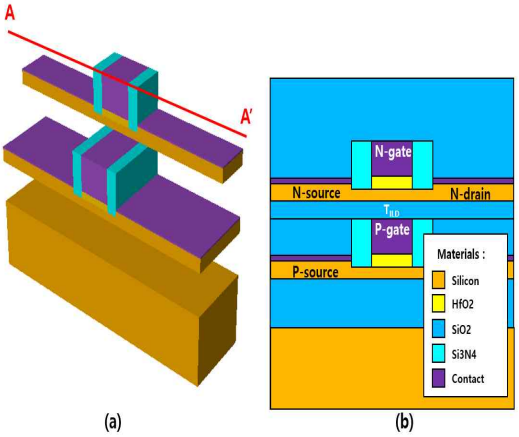

그림 1. (a) M3DINV 구조, (b) M3DINV의 A-A' 절단선 2D 단면도

그림 2는 M3DINV 상부 트랜지스터의 I_{ds}-V_{gs} 특성이다. 빨간색 점선 그래프는 하부 게이트의 0 V를 인가하였을 때에 상부 트랜지스터 I_{ds}-V_{gs} 특성이고, 파란색 점선 그래프는 하부 게이트의 1 V를 인가였을 때에 I_{ds}-V_{gs} 특성이다. 하부 게이트 전압에 의한 전기적 상호작용으로 상부 트랜지스터의 I_{ds}-V_{gs} 특성의 수평 이동이 관찰된다. 문턱 전압의 경우 하부 게이트의 전압인가에 유무에 따라 −0.1017 V에서 −0.2699 V로 변화하여 이에 따른 문턱전압의 변화량 차이는 0.1682 V를 보인다. 검정색 그래프는 WFV를 적용한 100 개의 샘플링 특성 그래프이다. WFV의 영향으로 인해 그래프의 분포가 관찰된다.

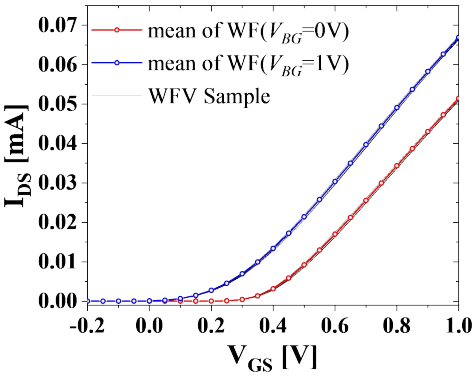

그림 2. M3DINV 상부 NMOS의 I_{ds}-V_{gs} 특성 (V_{BG} = 0, 1 V)

Ⅲ. 시뮬레이션 결과

Silvaco사 ATLAS[4] 시뮬레이션을 통하여 M3DINV NMOS의 WFV 따른 임계전압 변화를 조사하였다. 하부 게이트의 전압의 유무에 따라 전기적 상호작용이 확인되었고, 이에 따라 임계전압의 변화를 조사하였다. 100 개의 WFV 샘플링 시뮬레이션을 통해 WFV 영향에 따른 문턱전압의 변화를 확인하였고 문턱전압의 변화는 표 1에 나타내져 있다.

TABLE 1. M3DIC INV Threshold voltage change by TCAD

Symbols	Measured Mean [V]	Calculated Mean [V]	Standard Deviation
V_{th} (V_{BG}-0V)	-0.1017	-0.1013	0.0037
V_{th} (V_{BG}-1V)	-0.2699	-0.2698	0.0040
ΔV_{th}	0.1682	0.1684	0.00079

Ⅳ. 결 론

본 논문에서는 Silvaco사의 ATLAS TACD 시뮬레이션을 통해 M3DINV 소자의 상부 트랜지스터의 WFV 영향으로 인한 문턱전압의 변화를 조사하였다. 평균 WF 값이 적용된 경우와 WFV 영향을 100개의 샘플링을 통해 문턱전압의 분포와 표준편차를 조사하였다. 공정편차 중 상부 트랜지스터의 WFV 영향만 조사되었으며, 다른 공정편차 대한 조사와 전기적 상호작용에 영향으로 인해 TILD의 길이를 변화하여 WFV영향을 조사할 필요가 있다.

References

[1] M. Vinet, *et al*, "3D monolithic integration: Technological challenges and electrical results," *Microelectronic Engineering*,, vol. 88, no. 4, pp. 331-335, 2011.

[2] T. J. ahn, *et al.*, "Parameter Extraction and Power/Performance Analysis of Monolithic 3D Inverter (M3INV)," *IEEE Trans. Electron Devices*, vol. 66, no. 2, pp. 1006-1011, 2019.

[3] H. F. Dadgour, K. Endo, V. K. De and K. Banerjee, "Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors—Part II: Implications for Process, Device, and Circuit Design," in *IEEE Transactions on Electron Devices*, vol. 57, no. 10, pp. 2515-2525, Oct. 2010.

[4] ATLAS Users Manual, Silvaco Int., Santa Clara, CA, 2021.