

국제 표준 규격에 부합하는 효율적인 VDES 이득제어 방안 연구

† 김용덕 · 황민영* · 김원용** · 김정현*** · 유진호****

*,† 에이스안테나, **코메스타, ***아이스툼, ****한국선급

A Study on an Efficient VDES Gain Control Method Conforming to the International Standard

† Yong-Duk Kim · Min-Young Hwang* · Won-Yong Kim** · Jeong-Hyun Kim*** · Jin-Ho Yoo****

*,† Ace Antenna, Co. Ltd., Incheon, Korea, **Comesta Inc., Daejeon, Korea
Istom, Gunpo, Korea, *Korean Register, Pusan, Korea

요 약 : 본 연구에서는 VDES RF 수신기의 구조를 단순화하는 방법과 이 구조에서 국제 표준을 준수하기 위한 수신기의 이득 제어 방법을 설명하였다. 수신기의 원하는 신호와 원하지 않는 신호의 입력 레벨을 정의하고, 두 신호가 입력되면 수신기 출력에서 ADC의 포화 상태를 확인하였다. 회로 시뮬레이터에 의한 시뮬레이션 결과, 인접 채널 간섭비, 상호 변조, 차단 레벨에 대해 수신기의 출력 전력이 ADC의 SFDR 영역에 있는 것을 만족하였다. 본 연구를 통해 제안된 RF 수신기의 구조가 국제표준에 부합함을 알 수 있었다.

핵심용어 : VDES 초단파 데이터 교환 시스템, AGC 자동 이득 제어, AIS 선박 자동 식별 장치, ASM 응용 지정 메시지, VDE 초단파 데이터 교환, SFDR 불요파 신호가 없는 동적영역

Abstract : In this study, a method for simplifying the structure of the VDES RF receiver, and the gain control method of the receiver to comply with the international standard in this structure was described. The input level of the wanted signal and unwanted signal to the receiver was defined, and when the two signals were input, the saturation state at the ADC was checked at the receiver output. As a result of the simulation by the circuit simulator, it was satisfied that the output power of the receiver was in the SFDR region of ADC with respect to the adjacent channel interference ratio, intermodulation, and blocking level. Through this study, it was found that the structure of the proposed RF receiver conforms to the international standard.

Key words : VDES(VHF Data Exchange System), AGC(Automatic Gain Control), SFDR(Spurious Free Dynamic Range), ADC(Analog to Digital Converter)

1. 서 론

2. 수신기 구조

VDES 시스템은 기존의 선박에서 사용되는 AIS 채널에 대한 과부하 문제를 해결하기 위해 응용 지정 메시지 채널과 데이터 통신을 위한 데이터 교환 채널을 할당하여 선박의 운항 및 주변상황에 대해 더 많은 정보를 주고 받을 수 있도록 한다 (김재현, 2020).

이러한 새로운 주파수 할당은 기존 AIS 송수신기와 같은 구조로 RF Front-End를 구성할 경우 물리적인 채널 경로, 소요부품 및 불요파 등의 증가를 가져온다.

본 논문에서는 VDES 통신시스템의 RF Front-End 구조를 제시하고 제시된 구조에서 국제 표준 규격을 만족할 수 있는 효율적인 수신기 이득 제어 방안에 대해 기술하고 이를 Simulation을 통해 검증한다.

2.1 AIS 수신기 구조

AIS 및 DSC 수신기는 해상 무선통신 주파수 중 VHF 대역의 채널로서 AIS의 경우 156 ~ 162 MHz 사이에 12.5kHz 및 25kHz의 대역폭을 가지는 AIS1, AIS2 채널과 DSC 채널로 이루어진다. 수신기의 성능규격은 최소 수신 레벨 및 인접 채널 간섭 등에서도 수신신호를 복조할 수 있도록 ITU-R 1371에 다음과 같이 규정되어 있다.

† 교신저자 : 정희원 ydkim@aceantenna.co.kr 032)837-8132
**** 정희원, yoojinho@krs.co.kr

Table 1 Specification of AIS receiver

Receiver parameters	Requirements
Sensitivity	20% PER @ -107 dBm
Error behaviour at high input levels	1% PER @ -77 dBm 1% PER @ -7 dBm
Adjacent channel selectivity	20% PER @ 70 dB
Spurious response rejection	20% PER @ 70 dB
Intermodulation response rejection	20% PER @ 74 dB
Spurious emissions	-57 dBm (9 kHz to 1 GHz) -47 dBm (1 GHz to 4 GHz)
Blocking	20% PER @ 86 dB

기존 AIS 시스템의 수신기 구조를 보면 그림 1과 같이 AIS 채널 및 DSC 채널의 인접 채널 간섭을 피하기 위해 주파수 Down Conversion 방식을 이용하여 채널별 3개의 수신경로를 통해 아날로그 믹서 및 협대역 필터를 통해 IF 주파수로 하향 변환한다. 하향 변환된 신호는 협대역 대역 통과 여파기를 거쳐 아날로그 AGC 회로를 거치며 이후 IQ 복조기에 의해 복조된다. 이 경우 IQ 복조기는 AIS 모듈레이션 방식인 GMSK 신호를 Envelope Detector에 의해 처리된 신호를 복조하며 IQ Demodulator 가 검출할 수 있도록 AGC에 의해 신호를 조정한다.

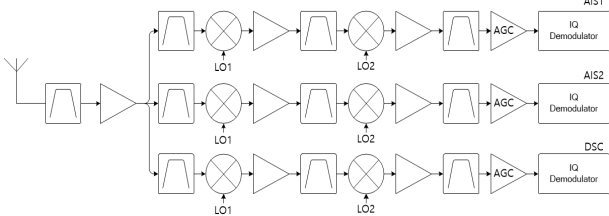


Fig. 1 Block Diagram of traditional AIS & DSC RF Front - End

기존 AIS 수신기는 AIS1, AIS2, DSC 채널에 대해 각각의 수신 경로를 독립적으로 구성하여 RF 필터를 통한 인접 채널 간섭을 억제하는 구조를 가진다.

2.1 VDES 수신기 구조

VDES 시스템은 앞서 서론에서 언급한 바와 같이 추가적인 주파수 할당을 통해 선박 운항에 필요한 보다 많은 데이터를 송수신할 수 있다. VDES의 주파수 할당은 다음 표와 같다.(IALA, 2017)

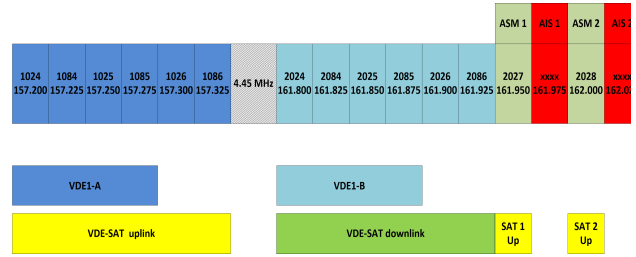


Fig. 2 VDES frequency plan

위와 같이 AIS 통신에 추가된 ASM, VDE의 통신 채널을 운용하기 위해 기존과 같이 채널별 RF 수신경로를 독립적으로 구성하게 된다면, VDES의 RF 수신기의 구조는 복잡해지고, 물리적인 크기 역시 커지며, 또한 채널 간 불요파에 의한 간섭이 장비에 성능 열화에 영향을 미칠 수 있다.

이에 본 논문에서는 Sub-sampling 개념을 VDES 수신부에 적용하여 수신기의 구조를 단순화하고 이러한 구조에서 인접 채널 간섭 등에 대한 해결방법을 제시하고자 한다.

Sub-sampling 이란 기존 RF 수신 Path에서 각 채널별 필터에 의해 대역 외 신호를 제거한 후 IF 주파수를 처리하는 방식이 아닌, RF 대역에서 사용주파수 채널 모두를 IF로 변환한 다음, ADC에 의해 디지털로 변환 후 기존 RF 필터에서 수행하였던 대역 제한 기능을 Digital 필터를 통하여 수행한다.

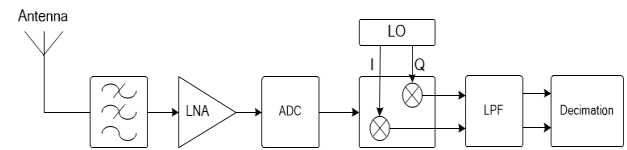


Fig. 3 Concept of sub-sampling

그림 3과 같이 서브 샘플링 기반 무선 수신기를 사용하는 아이디어는 $f_s > 2B$ ($2B$) 속도로 샘플링된 경우 전체 RF 대역을 더 낮은 대역으로 변환할 수 있다. 이를 통해 원하는 스펙트럼을 0과 $f_s/2$ 사이의 주파수 범위로 변환한다.

그림 4는 전체 원하는 신호 대역을 하위 대역으로 변환하는 것을 보여준다. 그리고 이 변환은 실제 고속 및 해상도의 Sample & Hold 회로를 통해 가능하다. 이 작업이 올바르게 수행되면 샘플링 속도가 F_s 가 RF 반송파보다 훨씬 낮을 수 있다. 이렇게 하면 낮은 중간주파수를 수정할 수 있으며 이 경우 직접 디지털변환이 가능하다.

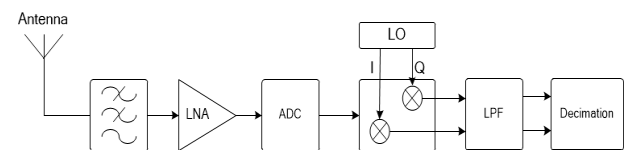


Fig. 4 Spectrum after sub-sampling

위와 같은 방식은 RF 부분에서 수행하였던 기능을 디지털

에서 수행하여야 하므로 ADC에 의해 디지털로 변환된 후 IF에서 베이스 밴드로의 최종 주파수 하향변환 단계가 포함된다. 이를 위해서는 DDC(Digital Down Converter)가 필요하며 DDC에는 수치제어 발진기, 디지털 저역 통과 여파기 및 Decimation의 세 단계가 있다. 발진기는 원하는 채널을 직교 베이스 밴드로 하향 변환하고 저역 통과 여파기는 선택한 채널을 선택하고 원하지 않는 주파수를 제거하는 반면 Decimation 여파기는 샘플링 주파수를 기저 대역 신호의 목표 샘플링 주파수로 감소시킨다 (Malek Naoues 등, 2009).

이러한 것이 가능하게 된 것은 반도체 기술의 발달로 인하여 ADC 소자의 성능이 향상되었고 이로 인해 ADC의 주요 성능 지표인 SFDR (Spurious Free Dynamic Range)의 범위가 넓어져 디지털에서 좀 더 작은 신호를 복원할 수 있게 해준다.

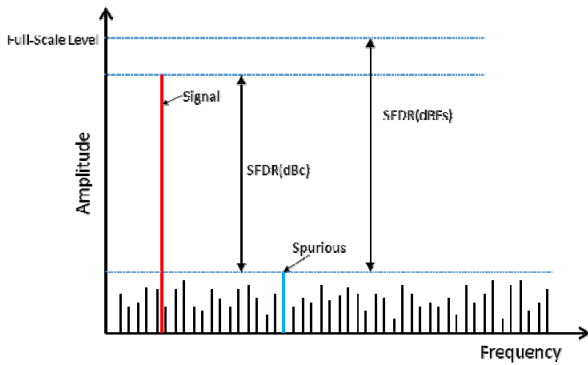


Fig. 5 Spurious Free Dynamic Range

2.3 수신기 이득제어

Sub-sampling 개념을 이용한 수신기의 설계 시 고려해야 할 점은 대역 외 간섭 신호에 대하여 ADC의 포화를 방지하고 또한 간섭 신호 대비 미약한 원신호의 복원을 위해 수신기의 적절한 이득제어가 필요하다.

기존에 사용되던 이득제어 방식은 이득제어 범위가 100dB 이상으로 회로가 복잡해지고 이득제어 시간 또한 증가 되는 단점이 있으나, 본 논문에서 제시하는 방법으로 이득제어 단계를 최소화하여 회로를 단순화하고 이득제어 시간을 최소화 한다.

전체 수신기의 Block Diagram은 다음과 같다.

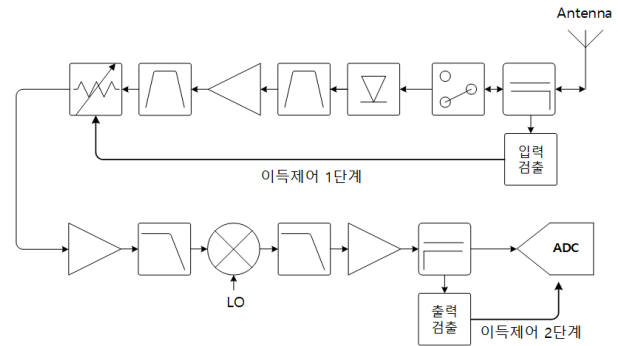


Fig. 6 Block Diagram of proposed VDES RF front-end

안테나 입력단에서 입력된 신호는 IF 출력단의 방향성 결합기를 통하여 일부 신호를 검파 회로에서 입력신호의 세기를 검출하여 과 입력 시 수신단에 위치한 감쇠기에서 일정 레벨의 신호 감쇄를 통해 신호의 포화를 방지한다.

감쇠기의 신호 감쇄 단계는 3단계로 이루어지고 이로 인해 수신기의 이득은 High, Medium, Low 단계로 나뉜다. High mode는 수신기의 이득이 34dB이고, Medium mode는 25dB, 그리고 Low mode는 4dB의 이득을 갖는다.

IF 단의 검파 회로에서 검출된 수신 신호의 세기가 -34dBm 이하 일때는 High mode로써 감쇠기의 감쇄값을 0으로 설정하여 신호를 검출하고 -34dBm부터 -20dBm 까지는 Medium mode로써 감쇠기의 감쇄값을 9dB로 조정하여 25dB로 설정한다. 이는 -20dBm의 원신호가 포화 되는 것을 방지하기 위함이다. 이때 수신기의 이득이 25dB가 되면 ADC의 Full scale 전압을 $\pm 1V$ 에서 $\pm 2V$ 로 변경한다. 신호의 세기가 -20dBm 초과하는 신호는 수신기의 이득을 Low mode로 변경하여 4dB로 변경한다.

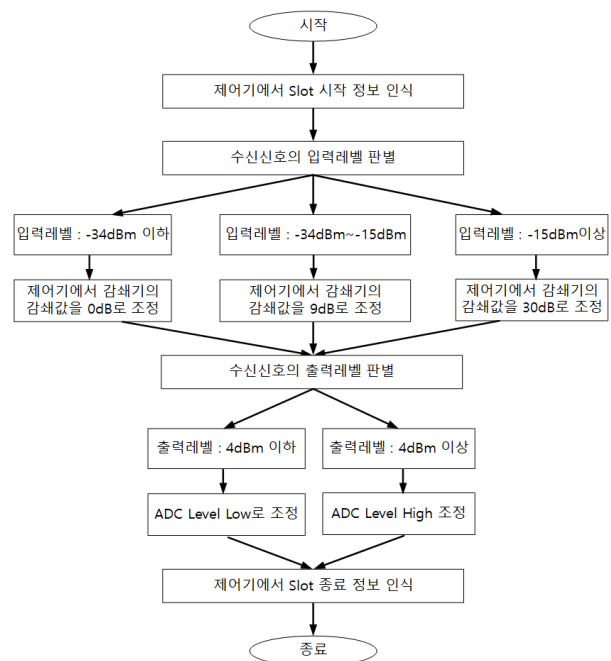


Fig. 7 Flowchart of receive gain control process

그림 7은 위에 기술한 수신기의 이득제어 방법을 순서대로 나타낸 것이다. 각 슬롯마다 위와 같은 과정을 거쳐 원신호 입력, 또는 원신호와 간섭 신호가 함께 유입되는 경우에도 ADC의 포화를 방지할 수 있으며 또한 원신호가 ADC의 SFDR(Spurious Free Dynamic Range) 영역내에 있어 신호를 복원할 수 있다.

그림 8은 수신기에 입력되는 신호의 세기에 따른 ADC에 입력되는 신호의 나타낸다. 원신호만 입력시 ADC에 입력되는 수신 신호의 세기는 $-73\text{dBm} \sim 5\text{dBm}$ 이며 간섭 신호 입력시에는 상호 변조 신호, 인접 채널 간섭 신호, Blocking 신호 등이 규격에서 규정하는 신호 세기로 입력될 시 수신 신호의 세기가 약 $-76\text{dBm} \sim -6\text{dBm}$ 의 크기로 입력되는 것을 볼 수 있으며 추가적인 ADC의 Level 변경을 통해서 ADC의 포화를 방지할 수 있다.

구분	이득제어 1단계			이득제어 2단계		
	수신 입력(dBm)	Gain (dB)	모드	수신 출력(dBm)	모드	
원신호만 유입되는 환경	원신호	-107	34	High	-73	Low
		-34			0	
	원신호	-33			-8	
		-20			5	
간섭신호가 유입되는 환경	원신호	-101	25	Middle	-76	Low
		상호변조			-2	
		ACS			-6	
		Blocking			-62	
원신호만 유입되는 환경	원신호	-19	4	Low	-15	Low
		-7			-3	

Fig. 8 Calculation result of wanted signal & unwanted signal level at intermediate frequency output

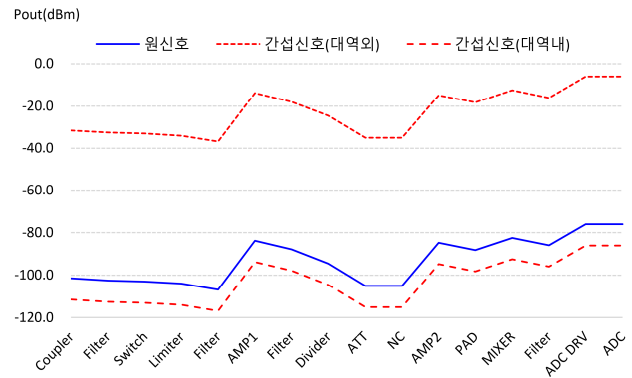
3. 모의시험

위에서 계산된 입력신호 대비 중간주파수 신호의 출력전력에 대하여 그림 6에 구성된 RF Front-End의 구조에서 각 단별 원신호, 간섭 신호의 신호 크기를 회로 시뮬레이션 프로그램을 이용하여 검증하였다.

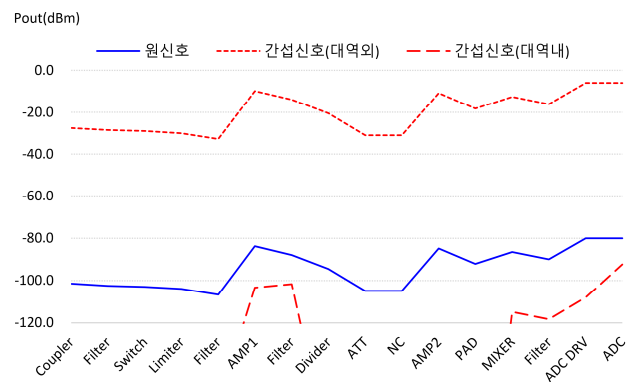
RF Front-End를 설계할 때 입력신호에 대하여 각 소자별 출력에서 신호의 포화가 일어나지 않도록 구성하는 것이 중요한 설계 사항이다.

그림 9의 (a)는 인접 채널 간섭에 대한 각 단별 출력 특성이며 그림에서 보는 바와 같이 수신 신호의 포화는 발생하지 않으며 최종 IF 출력단에서의 신호 레벨은 ADC SFDR 영역 안에 있음을 볼 수 있다.

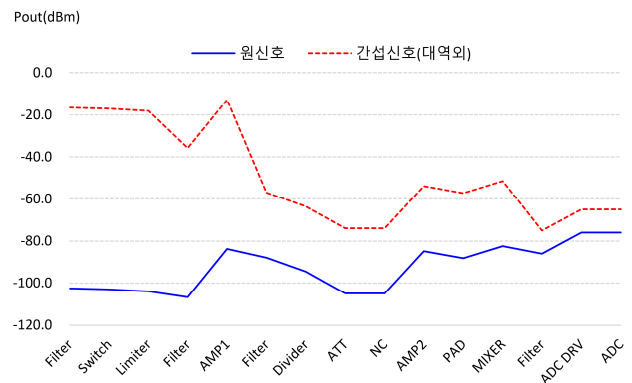
그림 9의 (b)는 상호 변조 신호, (c)는 Blocking 신호에 대한 각 단별 신호 레벨이다. 이 역시 각 단별 신호의 포화가 발생하지 않으며 또한 IF 출력단에서 ADC의 SFDR 영역 안에 있음을 확인하였다.



(a) Adjacent Channel Selectivity



(b) Intermodulation response rejection



(c) Blocking

Fig. 9 Simulated result of wanted signal & unwanted signal level at each rf front-end stage

4. 결론

본 논문에서는 VDES 시스템의 주파수 대역내에서 RF Front-End의 수신기 구조를 간단히 할 수 있는 방법에 대하여 기술하였다. 이때 인접 채널 간섭, 상호 변조 왜곡 그리고 Blocking등, 수신기 성능 규격을 만족하기 위한 효율적인 이득제어 방법을 고찰하였다. 이러한 수신기 구조에서 원신호와 간섭 신호가 동시에 유입되는 경우 두 신호 모두 ADC의 SFDR 영역내에서 검출됨을 확인할 수 있었다.

이로 인해 RF Front-End의 수신기 구조를 단순화하여 소
요부품, 비용 및 전력소모 감소 등의 이점을 얻을 수 있을 것
으로 기대된다.

후 기

본 논문은 2021년도 해양수산부 및 해양수산과학기술진흥
원 연구비 지원으로 수행된 '자율운항선박 기술개발사업
(20200615)'의 연구결과입니다.

참 고 문 헌

- [1] 김재현, 김용덕, 김용기, 김준태 (2020). “Cartesian
Feedback Loop 선형화 기법을 적용한 초단파 데이터 교
환시스템(VDES) 송신기 설계 및 제작”, 한국통신학회논
문지, Vol.45 No.02, pp 256-263.
- [2] IALA (2017), “VHF Data Exchange System(VDES)
Overview”, G1117, 2Ed, pp 8-11.
- [3] Malek Naoues, Rim Barrak, Adel Ghazel. “Design of an
RF-Subsampling Based tri-band AIS and DSC Radio
Receiver”, IEEE, 2009, pp 64-68.