

Monolithic 3D Inverter의 RDF에 의한 전기적 커플링 영향 조사

이근재 · 유윤섭*

한경대학교

Investigation of Electrical Coupling Effect by Random Dopant Fluctuation of Monolithic 3D Inverter

Geun Jae Lee · Yun Seop Yu*

Hankyong National University

E-mail : geunjae93@hknu.ac.kr, ysyu@hknu.ac.kr

요약

본 논문은 MOSFET 트랜지스터로 구성된 monolithic 3D 인버터의 구조에서 하부 MOSFET 게이트 전압의 변화에 따라서 상부 MOSFET 트랜지스터의 random dopant fluctuation(RDF) 영향을 3차원 소자 시뮬레이션을 통하여 조사하였다. RDF 영향 조사를 위한 표본화는 kinetic monte carlo 방식을 통하여 진행하였으며, RDF 영향이 트랜지스터의 임계전압 변동에 영향을 주는 것을 확인하였고, 상부 트랜지스터와 하부 트랜지스터 사이에 전기적 커플링을 조사하였다.

ABSTRACT

In this paper, effect of random dopant fluctuation (RDF) of the top-transistor in a monolithic 3D inverter composed of MOSFET transistors is investigated with 3D TCAD simulation when the gate voltage of the bottom-transistor is changed. The sampling for investigating RDF effect was conducted through the kinetic monte carlo method, and the RDF effect on the threshold voltage variation in the top-transistor was investigated, and the electrical coupling between top-transistors and bottom-transistors was investigated.

키워드

적층형 M3D, random dopant fluctuation, threshold voltage, TCAD

I. 서 론

반도체 산업에서는 트랜지스터의 스케일링에 따라서 집적도를 높여 트랜지스터 성능과 전력 소모를 개선하고 있다. 이런 트랜지스터의 스케일을 위한 미래 대안 기술로 하부 트랜지스터에 상부 트랜지스터를 적층하는 모놀리틱 3차원 (Monolithic 3D; M3D) 공정 기술이 제안되었다[1].

트랜지스터의 스케일링으로 인하여 공정 산포로 인해 트랜지스터의 전기적 특성 불일치가 발생한다. MOSFET 공정에서 전기적 특성 불일치가 발생하는 공정 산포 중 주요한 원인은 random dopant fluctuation(RDF) 이다[2]. RDF로 인한 트랜지스터의 전기적 특성 변화 연구는 다양한 트랜지스터 (FinFET, GAA-NW)에서 조사되었지만 M3D 트랜지스터에서 RDF 영향 연구가 필요하다[3-4]. 본 논문에서는 상부 트랜지스터의 RDF 영향에 따른 전기적 특성 변화와 하부 트랜지스터의 게이트 전압

에 따른 상부 트랜지스터의 전기적 커플링을 조사한다.

II. 구조 및 시뮬레이션 방법

본 시뮬레이션에서 사용된 구조는 MOSFET으로 구성된 M3D inverter(M3D-INV) 구조[5]이다. 제작된 구조는 그림 1과 같으며, 트랜지스터에 채널은 실리콘이며 게이트 물질은 plosilicon을 사용하였으며, 게이트 절연막(T_{ox}), 층간 절연막(ILD)은 SiO_2 를 사용하였다. RDF 영향은 n-channel MOSFET(NMOS)에서 고려되었으며, NMOS의 채널의 길이는 30 nm, 채널 폭은 200 nm, T_{ox} 는 1 nm이다.

* corresponding author

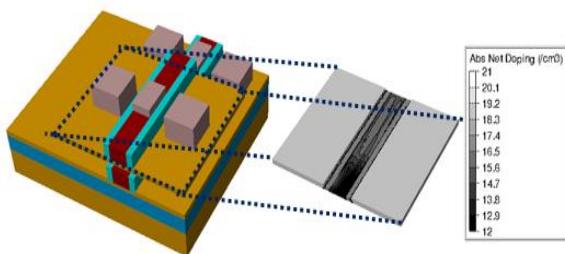


그림 1. RDF 표본화를 고려한 M3D - INV 구조.

그림 1은 RDF 표본화를 고려한 M3D-INV를 나타낸다. RDF 영향에 따른 상부 트랜지스터의 a문턱 전압(V_{TH})의 변화를 조사하기 위해 TCAD 시뮬레이션[6]을 사용하였다. 채널에 이온주입 공정 시뮬레이션을 진행하였고, kinetic monte carlo를 사용하여 200 개의 RDF가 적용된 표본화를 통해 문턱전압의 변동성을 조사하였다. 또한 전기적 커플링을 조사하기 위해 하부 트랜지스터의 0과 1 V를 인가하여 상부 트랜지스터의 문턱전압 변화를 조사하였다.

III. 시뮬레이션 결과

그림 2는 RDF 영향이 고려된 상부 트랜지스터의 전류-전압($I_{ds}-V_{gs}$) 특성 그래프이다. RDF의 영향이 고려된 표본화에 따라 전기적 특성의 변화를 조사할 수 있었다. 하부 트랜지스터의 게이트 전압에 의한 상부 트랜지스터의 전기적 커플링을 조사하기 위해 층간 절연막의 길이 10, 30, 50, 100 nm의 4 가지 경우에 대해서 문턱전압의 변화량을 조사했다. 그림 3과 같이 층간 절연막의 길이가 증가함에 따라 하부 트랜지스터에 의한 상부 트랜지스터에 전기적 커플링의 감소를 보인다. 층간 절연막의 길이 30 nm 이하에서 문턱전압의 변화량이 급격히 증가하므로 상하부 트랜지스터의 전기적 특성이 증가함을 설명할 수 있다.

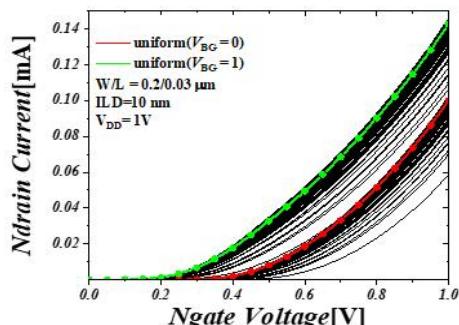
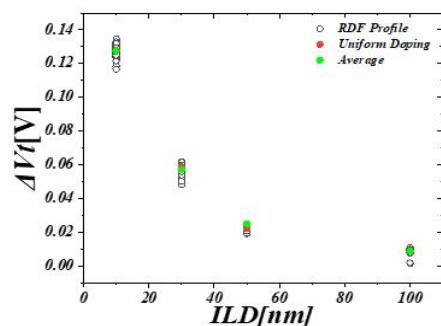
그림 2. RDF 표본화에 따른 $I_{ds}-V_{gs}$ 특성.

그림 3. ILD 길이에 따른 문턱전압 분포.

IV. 결 론

본 논문에서는 TCAD 시뮬레이션을 통하여 상부 MOSFET RDF를 kinetic monte carlo를 사용하여 표본화했고, 이 경우에 하부 트랜지스터의 게이트 전압 변화에 따라서 상부 트랜지스터의 문턱전압 변화를 조사하였다. 또한, 층간 절연막의 변화에 따른 문턱전압 변화량을 조사였다. 층간 절연막의 길이 30 nm 이하에서 문턱전압의 변화량이 급격히 증가했고, 이것은 상하부 트랜지스터의 전기적 특성이 증가함을 설명할 수 있다.

References

- [1] M. Vinet, et al, “3D monolithic integration: Technological challenges and electrical results,” *Microelectronic Engineering*, vol. 88, no. 4, pp. 331-335, 2011.
- [2] T. Mizuno, et al, “Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET’s,” *IEEE Transactions on Electron Devices*, vol. 41, no. 11, pp. 2216-2221, 1994.
- [3] W. -L. Sung, et al, “Variability of Threshold Voltage Induced by Work-Function Fluctuation and Random Dopant Fluctuation on Gate-All-Around Nanowire nMOSFETs,” 2019 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp. 1-4, 2019.
- [4] G. Leung et al, “Variability Impact of Random Dopant Fluctuation on Nanoscale Junctionless FinFETs,” *IEEE Electron Device Letters*, vol. 33, no. 6, pp. 767-769, 2012
- [5] T. J. ahn, et al, “Parameter Extraction and Power/Performance Analysis of Monolithic 3D Inverter (M3INV),” *IEEE Trans. Electron Devices*, vol. 66, no. 2, pp. 1006-1011, 2019.
- [6] ATLAS Users Manual, Silvaco Int., Santa Clara, CA, 2014.