

피드백 전계 효과 트랜지스터의 매크로 모델링 연구

오종혁 · 유운섭*

한경대학교

Macro Modeling of a Feedback Field-effect Transistor

Jong Hyeok Oh · Yun Seop Yu*

Hankyong National University

E-mail : rnjsdlr7@hknu.ac.kr

요 약

이번 연구에서는 피드백 전계 효과 트랜지스터(feedback field-effect transistor, FBFET)의 매크로 모델링에 대한 연구를 SPICE 시뮬레이터를 통해 진행했다. 기존에 제시된 FBFET의 매크로 모델은 두 개의 회로로 구성돼 있으며, 하나는 전하 축적 기능을 구현한 회로이며 다른 하나는 전류 생성 회로이다. 기존 전류 생성회로는 $I_{DS}-V_{GS}$ 특성만 구현 가능하여 회로 예측에 어려움이 있다. 이를 해결하기 위해 전류 생성 회로에 다이오드를 추가함으로써 $I_{DS}-V_{DS}$ 특성까지 구현 가능한 모델을 제시한다.

ABSTRACT

In this study, we studied the macro-modeling of an feedback field-effect transistor (FBFET) using SPICE simulation. The previously presented macro-model of the FBFET is consisting of two circuits. one is charge integration circuit, and the other is current generation circuit. The previous current generation circuit has problem that can't predict performance accurately of the circuits, due to implementing only $I_{DS}-V_{GS}$ characteristics. To solve this problem, we presents a model that can implement not only $I_{DS}-V_{GS}$ characteristics but also $I_{DS}-V_{DS}$ characteristics by adding the diode in the current generation circuit.

키워드

피드백 전계 효과 트랜지스터, 매크로 모델, SPICE 시뮬레이션

1. 서 론

최근, 집적 회로(integrated circuit, IC)는 고성능을 위해 높은 면적 당 트랜지스터 수를 요구하고 있다. 작은 면적 안에 많은 트랜지스터를 집적하기 위해 스케일링이 진행됐고, 금속 산화막 반도체 전계 효과 트랜지스터(metal oxide semiconductor field-effect transistor, MOSFET)는 채널 길이가 수 나노미터에 도달했다 [1]. 나노 스케일의 채널 길이를 가진 MOSFET은 2차 효과들을 야기했고, 이는 회로 설계에 있어 많은 어려움을 주고 있다. 이러한 어려움은 각 컴퓨팅 영역에서도 영향을 미치고 있다. 특히, 메모리 영역에서의 DRAM(dynamic random access memory)은 하나의 트랜지스터와 하

나의 커패시터로 구성된 회로로 고성능을 위해 두 소자 모두 높은 집적도를 요구하고 있다. MOSFET은 나노스케일링에 따라 작아지고 있지만 커패시터는 물리적 크기 한계에 의해 스케일링에 있어 많은 어려움을 겪고 있다 [2]. 이를 해결하기 위해 capacitorless를 위한 트랜지스터들이 제시됐다.

그 중, 피드백 전계 효과 트랜지스터(feedback field-effect transistor, FBFET)는 채널 내부에서 일어나는 양성 피드백 효과로 0에 가까운 문턱전압 이하 기울기와 히스테리시스 특성을 가지고 있다 [3]. 이러한 특성을 가진 FBFET에 대해 다양한 분야에서 활용하기 위한 연구가 진행 중에 있다. 다양한 회로에 대한 연구를 위해서는 시뮬레이션을 통해 단일 회로에 대한 성능 예측이 필요하다. 단일 소자 특성 조사에 대해서는 TCAD(technology computer aided design) 시뮬레이션이 강력하지만,

* corresponding author

시스템 전체적인 성능 예측을 위해서는 SPICE 시뮬레이션이 필요하다. FBFET를 SPICE를 통해 시뮬레이션하기 위해서는 소자의 모델링이 필요하다. 지금까지 FBFET에 대해 물리적 해석 기반 콤팩트 모델링(compact-modeling)에 대한 연구와 FBFET의 특성을 전자 소자들로 구현한 매크로 모델링(macro-modeling)이 발표된 바 있다 [4,5]. 전자 소자들로 구성된 매크로 모델은 두 개의 회로로 구성돼 있으며, 각각의 회로는 MOSFET, 저항, 그리고 이상적인 스위치로 구성돼 있다. 기존의 제시된 모델은 전류 생성 회로에서의 스위치 소자로만 구성돼 있어 FBFET의 전기적 특성을 구현하는데 있어 어려움이 있다. 이번 연구에서는 기존의 발표된 매크로 모델에 다이오드를 추가하여 FBFET가 가지는 다이오드 특성을 구현 가능한 모델을 제시한다. 이를 통해 FBFET로 구성된 시스템에 대하여 더 정확한 예측하는데 있어 도움이 되고자 한다.

II. 매크로 모델링

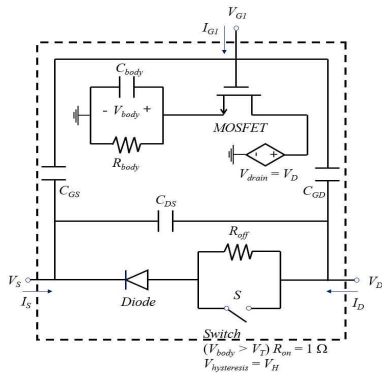


그림 1. N-type FBFET의 매크로 모델

그림 1은 N-type FBFET (NFBFET)의 매크로 모델의 회로도를 나타내고 있다. NFBFET의 매크로 모델은 두 개의 회로로 구성돼 있다. 하나는 전하 충전 구현하는 회로이며, 다른 하나는 전류 생성 회로이다. 기존에 발표된 매크로 모델은 전류 생성 회로에 이상적인 스위치와 저항으로만 구성돼 있어 $I_{DS}-V_{DS}$ 특성의 가장 대표적인 특징인 다이오드 특성을 구현하지 못한다. 하지만 다이오드를 추가함으로써 이전 모델에서 구현하지 못했던 특성을 구현할 수 있다. 매크로 모델에 사용된 소자들인 MOSFET과 다이오드 모델은 각각 BSIM-IMG 모델과 diode (level = 3) 모델을 사용했다.

III. 시뮬레이션 결과

그림 2는 NFBFET 매크로 모델의 $I_{DS}-V_{GS}$ 특성을 나타낸다. 검은색 사각형은 TCAD 시뮬레이션 한 결과를 의미하며 검은색 실선은 SPICE 매크로

모델의 시뮬레이션 한 결과를 나타낸다. SPICE 매크로 모델의 시뮬레이션 한 결과에서 양 방향 전압 스위칭에서 문턱전압은 맞추었지만, 문턱전압 이하 영역에서는 회로 내에 구성되어 있는 소자들의 한계들로 인해 불일치가 나타났다.

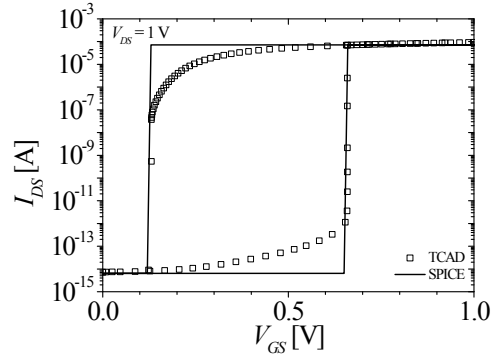


그림 2. 매크로 모델과 TCAD 시뮬레이션 한 $I_{DS}-V_{GS}$ 특성 비교

IV. 결론

이번 연구에서는 NFBFET의 매크로 모델링 SPICE 시뮬레이션을 활용하여 연구하였다. 기존에 제시된 매크로 모델은 두 개의 회로로 구성돼 있으며, 하나는 전하 축적 회로와 다른 하나는 전류 생성 회로이다. 기존 모델은 NFBFET의 다이오드 특성을 구현함에 있어 어려움이 있다. 이를 해결하기 위해 전류 생성 회로에 다이오드를 추가함으로써 한 모델 안에서 전달 특성이 모두 구현 가능케 됐다. 하지만 모델 내부의 전자소자들의 한계로 인해 문턱 전압 이하 영역에서는 TCAD 시뮬레이션 결과와 SPICE 시뮬레이션 결과의 불일치가 나타난다.

Acknowledgement

This research was supported by the Basic Science Research Program through NRF of Korea funded by the Ministry of Education (NRF-2019R1A2C1085295)

References

- [1] A. Khakifirooz, D. A. Antoniadis, "MOSFET Performance Scaling-Part I: Historical Trends," *IEEE Transactions on Electron Devices*, Vol. 55, No. 6, pp. 1391-1400, June. 2008.
- [2] S. Shiratake, "Scaling and Performance Challenges of Future DRAM," in *Proceedings of 2020 IEEE International Memory Workshop*, Dresden,

- Germany, pp. 1-3, 2020.
- [3] Y. Solaro, J. Wan, P. Fonteneau, C. Fenouillet-Beranger, C. Le Royer, A. Zaslavsky, P. Ferrari, S. Cristoloveanu, "Z²-FET: A promising FDSOI device for ESD protection," *Solid-State Electronics*, Vol. 97, pp. 23-29, July. 2014.
- [4] J. Wan, C. Le Royer, A. Zaslavsky, S. Cristoloveanu, "A systematic study of the sharp-switching Z²-FET device: From mechanism to modeling and compact memory applications," *Solid-State Electronics*, Vol. 90, pp. 2-11, Dec. 2013.
- [5] M. W. Kwon, K. C. Park, M. H. Baek, S. M. Hwang, T. J. Jang, B. G. Park, "Simulation Program with Integrated Circuit Emphasis Compact Modeling of a Dual-Gate Positive-Feedback Field-Effect Transistor for Circuit Simulation," *The Journal of Nanoscience and Nanotechnology*, Vol. 19, No. 10, pp. 6417-6421, Oct. 2019.