

저전압 MEMS 마이크로폰용 초저잡음 LDO 레귤레이터 설계

문종일¹ · 남 철¹ · 유상선^{2,*}

¹(주)하나텍 · ²평택대학교

A Design of Ultra-low Noise LDO Regulator for Low Voltage MEMS Microphones

Jong-il Moon¹ · Chul Nam¹ · Sang-sun Yoo^{2,*}

¹Hanatec · ²Pyongtaek University

E-mail : syoo@ptu.ac.kr

요 약

전달받은 음성신호를 전기신호로 바꾸어주는 마이크로폰은 라디오, 스마트 기기, 차량 등의 다양한 산업 분야에 널리 사용되어왔다. 최근 스마트폰 기술의 발달과 무선이어폰의 소형화에 따라 초소형 고감도 마이크로폰에 대한 요구가 증가하고 있다. 차세대 초소형 마이크로폰 시스템의 후보로 MEMS 센서가 개발되고 있으며 이를 지원하는 ROIC 대한 개발 또한 활발하다. 마이크로폰 시스템은 주변의 잡음뿐만 아니라, 함께 사용되는 전자회로의 잡음에 대해서도 민감하므로, 낮은 노이즈를 갖는 전원을 공급할 수 있는 전원장치와 노이즈를 최소화할 수 있는 설계 방법들이 필요하다. 이에 본 논문은 MEMS 마이크로폰 센서 모듈에 사용 가능한 낮은 전원 노이즈를 갖는 LDO(low drop output) 레귤레이터 IC 구조를 제안한다. 제안한 회로는 2.0~3.6V를 공급받아 1.3V의 출력을 내보낼 수 있으며 라이트 로드에서 10mA까지 드라이브할 수 있다. 제안하는 LDO는 1.2mV/V의 line regulation, 0.63mV/mA의 load regulation 특성을 가지며 20Hz~20kHz까지 누적 적분 출력 잡음은 13uV 이하의 특성을 가진다. TSMC 180nm 공정으로 post layout simulation을 진행하였으며 설계한 칩의 면적은 325 μm × 165 μm 다.

ABSTRACT

Microphones can convert received voice signals to electric signals. They have been widely used in various industries such as radios, smart devices and vehicles. Recently, the demands for small size and high sensitive microphones are increased according to the minimization of wireless earphone with the development of smart phone. A MEMS system is a good candidate for an ultra-small size microphone of a next generation and a read out IC for high sensitive MEMS sensor is researched from many industries and academies. Since the microphone system has a high sensitivity from environment noise and electric system noise, the system requires a low noise power supply and some low noise design techniques. In this paper, a low noise LDO is presented for small size MEMS microphone systems. The input supply voltage of the LDO is 1.5-3.6V, and the output voltage is 1.3V. Then, it can support to 5mA in the light load condition. The integrated output noise of proposed LDO form 20Hz to 20kHz is about 1.9uV. These post layout simulation results are performed with TSMC 0.18um CMOS technology and the size of layout is 325 μm × 165 μm .

키워드

LDO Regulator, low noise, MEMS microphones, low noise regulator

1. 서 론

최근 휴대기기 및 스마트기기의 발달로 인해 급

증함에 따라 음성신호를 전기신호로 바꾸어주는 초소형 고감도 MEMS 마이크로폰 센서에 대한 요구가 증가하고 있다. 또한, 기존 높은 구동전압을 가지는 센서 외에도 전력소모가 낮은 저전압 구동이 가능한 MEMS 마이크로폰의 개발 또한 활발히

* corresponding author

진행되고 있다.[1-3] 음성신호를 인식하는 마이크로폰 시스템은 주변의 잡음뿐만 아니라, ROIC의 잡음에 대해서도 민감하게 반응한다. 따라서, 저전압 MEMS 마이크로폰 센서를 고감도 동작을 위해서는 높은 SNR (Signal to Noise ratio) 및 저잡음 특성이 우수한 ROIC (Read-Out Integrated Circuit)에 대한 설계 방법들이 필요하다. 음성신호의 변화에 전기신호의 동작이 변화하는 마이크로폰의 동작을 위해서는 전류의 부하가 변화하더라도 안정적인 전압을 제공하는 LDO (Low Drop Output) 레귤레이터 회로에 대한 연구가 활발히 진행중에 있다.[4-7] 기존의 저잡음 LDO의 설계 방법은 밴드갭 레퍼런스 회로의 출력단에 LPF (Low Pass Filter)를 연결하여 잡음을 제거시키는 방법을 사용한다.[8,9] 그러나 RC LPF를 사용할 경우, 회로의 동작 Setup Time이 상당히 증가하고, 높은 저항과 커패시터로 인해 많은 면적을 사용하게 된다는 단점이 있다. 이에 본 논문은 이러한 단점을 개선할 수 있는 잡음 보상기법을 사용하여 LDO의 잡음을 개선시키는 기술을 제안한다.

II. LDO 구조 및 잡음

LDO 레귤레이터는 일반적으로 출력전압과 입력전압의 큰 차이가 없을 경우 사용한다. 그림1은 일반적인 LDO 레귤레이터의 구조를 나타낸다. 오차 증폭기(EA), 패스 트랜지스터(PT), 피드백 저항(R_1 , R_2)로 구성된다. 기본적인 동작은 밴드갭 레퍼런스를 통해 기준전압을 받아 피드백 루프를 통해 출력전압을 오차증폭기를 통해 비교를 하여, 오차신호를 패스 트랜지스터에 전달한다. LDO의 출력전압은 식(1)과 같이 나타 낼 수 있다.

$$V_{OUT} = (1 + \frac{R_1}{R_2}) \times V_{BGR} \quad (1)$$

LDO 레귤레이터의 출력 잡음은 설계된 회로의 구성에 따라 다르지만, 일반적으로 출력 잡음은 식(2)와 같이 나타낼 수 있다. 전류가 흐르는 모든 회로는 잡음 소스를 가지고 있으며, 그림2는 LDO 회로에서 각 구성요소에 해당하는 잡음을 보여준다.

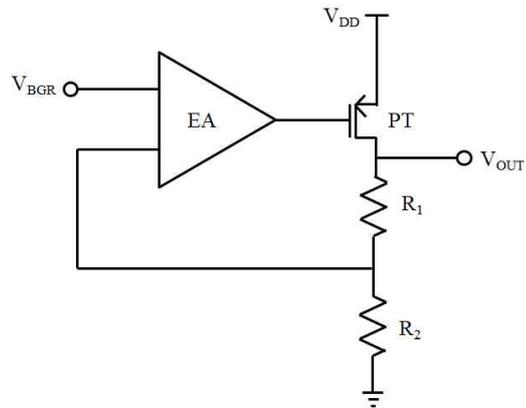


Fig. 1 Basic low drop regulator structure

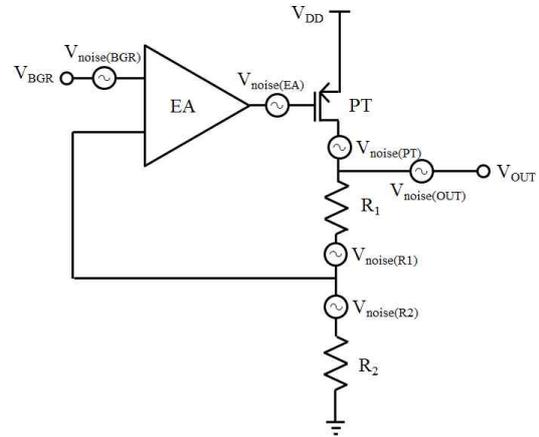


Fig. 2 LDO structure with equivalent noise source

$$V_{noise(OUT)} = V_{noise(EA)} + V_{noise(PT)} + (1 + \frac{R_1}{R_2}) \times (V_{noise(BGR)} + V_{noise(R1)} + V_{noise(R2)}) \quad (2)$$

기준전압을 공급해주는 대부분의 bandgap 회로는 많은 저항과 트랜지스터로 구성되어 있기 때문에 $V_{Noise(BGR)} \gg V_{Noise(R1)}$, $V_{Noise(BGR)} \gg V_{Noise(R2)}$ 로 표현할 수 있다. 따라서 식(3)과 간단히 출력잡음을 나타낼 수 있다. LDO 출력단의 잡음은 EA, PT의 모스트랜지스터 잡음과 밴드갭 레퍼런스의 출력단 잡음의 $(1 + \frac{R_1}{R_2})$ 배수에 의해 결정된다. 따라서

LDO 출력단 잡음을 최소화하기 위해서는 밴드갭 레퍼런스의 출력단 잡음을 최소화하는 것이 필요하다.

$$V_{noise(OUT)} = V_{noise(EA)} + V_{noise(PT)} + (1 + \frac{R_1}{R_2}) \times V_{noise(BGR)} \quad (3)$$

III. 제안하는 잡음제거 LDO 레귤레이터

3.1 저역통과 필터 사용한 LDO 레귤레이터
 일반적으로 많이 사용되는 저잡음 LDO 레귤레이터의 회로 구성은 그림3과 같이 나타낸다. 밴드갭 레퍼런스의 출력단에 LPF (Low Pass Filter)를 연결하여 기준전압의 잡음($V_{noise(BGR)}$)을 제거하여 LDO 레귤레이터 출력의 잡음을 낮추는 방법이다. LPF의 차단주파수(Cut-off frequency)는 식(4)로 계산된다.

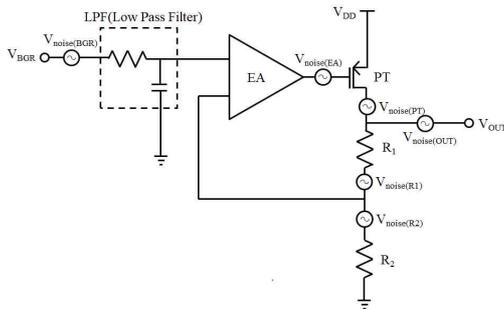


Fig. 3 Noise reduction of basic LDO

$$f_{cut-off} = R_{NR} \times C_{NR} \quad (4)$$

이러한 방법은 쉽게 잡음을 제거할 수 있는 장점이 있지만, 마이크론과 같이 수십Hz ~ 수십kHz의 낮은 주파수대역의 잡음을 제거하려면, 커패시터 수백pF 또는 저항 수십G옴을 사용해야 한다. 따라서 칩의 면적이 크게 증가하는 단점이 있다. 또한, RC Delay로 인해 LDO 레귤레이터의 Setup time이 길어진다는 단점이 존재한다.

3.2 제안하는 잡음제거 LDO 레귤레이터

그림4는 면적과 setup time이 개선할 수 있는 잡음제거 기법을 사용한 LDO 레귤레이터를 나타낸다. 기존 LDO 레귤레이터의 단점을 개선시키기 위해서 LPF를 사용하지 않으며, LDO출력의 잡음의 위상을 반전시키는 회로를 구성하였다. 반전된 LDO 출력잡음을 밴드갭 레퍼런스 출력에 전류로 흐르게 구성하였으며, 밴드갭 레퍼런스의 출력잡음과 반전된 LDO출력 잡음이 서로 상쇄되어 잡음을 제거하는 방법으로 기존 LDO의 단점을 개선시킬 수 있다.

3.3 제안하는 회로의 시뮬레이션 결과

그림5는 10kHz의 임의의 잡음을 인가하여 각 출력단의 잡음을 나타낸다. 일반적인 LDO 레귤레이터의 잡음은 17.42mV이지만, 제안하는 위상이 반전된 잡음이 밴드갭 레퍼런스의 출력단에 연결된 경우 1.07mV로 임의의 잡음 신호가 개선된 것을

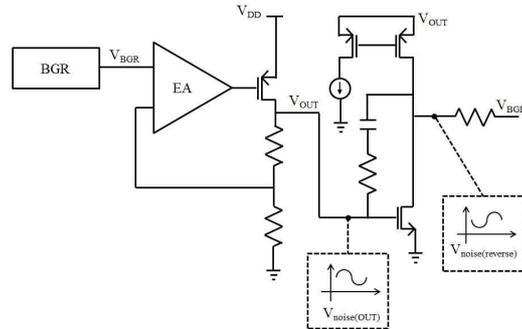


Fig. 4 Proposed noise reduction method

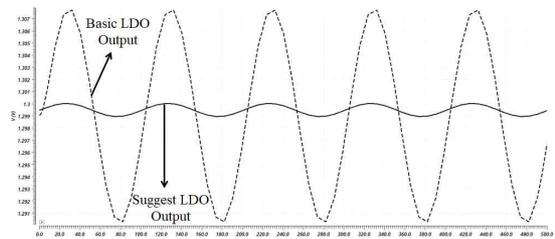


Fig. 5 LDO output with 10kHz random noise

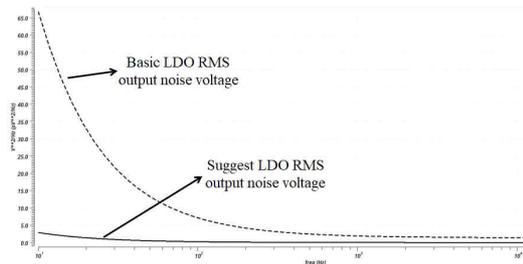


Fig. 6 LDO RMS noise voltage comparison

확인할 수 있다.

그림6은 실제 TSMC 0.18μm CMOS 공정을 사용하여 구성한 회로의 포스트 레이아웃 잡음 시뮬레이션 결과이다. 일반적인 LDO의 20Hz~20kHz까지 누적 적분 출력잡음은 174μV이지만, 제안하는 LDO는 13μV로 개선된 결과를 보여준다. 제안하는 LDO의 선형특성 시뮬레이션 결과는 표1로 정리하여 나타내었다.

IV. 결론

본 논문은 LDO 출력의 잡음제거 기법을 이용하여 저전압 고감도 MEMS 마이크론에 적합한 저잡음 LDO 설계기법을 제안하였다. 제안된 기법은 LDO의 출력잡음의 반전된 위상을 만듦으로써 기준전압에서 발생 되는 잡음이 상쇄되어 잡음을 제

Table. 1 Post layout simulation results of suggest LDO

Parameter	Value	Unit
Power supply	3.3	V
Output voltage	1.3	V
Power consumption	27.3	uA
Output current	Up to 10	mA
Line regulation	1.2	mV/V
Load regulation	0.63	mA/mV
RMS output noise voltage (@20Hz ~ 20kHz)	13	uV

거하여, 저역통과필터를 사용한 LDO의 단점인 큰 면적, 긴 Setup time을 개선 시켰다. 설계된 LDO의 부하전류는 최대 10mA이며, 입력전압 2.0 ~ 3.3V 받아서 1.3V의 전압을 출력한다. TSMC 0.18 μ m CMOS 공정을 이용하여 설계하였으며, 1.2mV/V의 Line regulation, 0.63mV/A의 Load regulation의 특성을 가진다. 제안하는 LDO의 20Hz ~ 20kHz의 누적 적분 출력잡음은 13 μ V로, 위상반전 잡음제거 기법을 사용하지 않은 LDO의 174 μ V 보다 약 1/13 배 감소 되어 잡음제거 성능이 개선된 것을 확인하였다. 또한 설계한 칩의 면적은 325 μ m \times 165 μ m로 LPF에서 필수적인 큰 저항과 커패시터를 사용하지 않으므로써, 칩 면적이 개선되었다.

Acknowledgement

본 결과물은 교육부와 한국연구재단의 재원으로 지원을 받아 수행된 사회맞춤형 산학협력 선도대학(LINC+) 육성사업의 연구결과입니다.

References

- [1] Jonathan J. Bernstein, "Micromachined Condenser Microphone for Hearing Aid Use", The Journal of the Acoustical Society of America, vol. 98, no. 5, pp. 2883, Nov. 1995.
- [2] E. H. Choi, H. S. Hwang, and C. S. Kim, "Directivity steering Principle for Biomimicry Silicon Microphone", Trnasducers, vol. 1, no. 5, pp. 792-795, Jul. 2005.
- [3] J. J. Neumann and K. J. Gabriel, "A Fully-integrated CMOS-MEMS Audio Microphone", Trnasducers, no. 3, pp. 230-233, Jul. 2003.
- [4] K. N. Leung and P. K. T. Mok "A capacitor-free CMOS low-dropout regulator with damping factor control frequency compensation", Journal of Solid-State Circuit, vol. 38, no. 10, pp. 1611-1605, Sep. 2003.
- [5] V. Gupta and G. A. Rinco-Mora, "A 5mA 0.6 μ m CMOS miller compensated LDO regulator with -27dB worst-case power-supply rejection using 60pF of on-chip capacitance", International Solid-State Circuit, pp. 520-521, Jun. 2007.
- [6] S. K. Lau, P.K.T. Mok, and K.N. Leung, "A low-dropout regulator for SoC with Q-reduction", Journal of Solid-State Circuit, vol. 42, no. 3, pp. 658-663, Feb. 2007.
- [7] R. J. Milliken, J. Silva and E. Snachez-Sinencio, "Full on Chip CMOS Low Dropout Voltage Regulator", Trnasactions on Circuits and System I, vol. 54, no. 9, pp. 1879-1890, Sep. 2007.
- [8] V. Mannama, R. Sabolotny, V. Strik, "Ultra low noise low power LDO design", International Biennial Baltic Electronics Conference, Oct. 2006.
- [9] S. K. Hoon, S. Chen, F. Maloberti, J. Chen and B. Aravind, "A Low Noise, High Power Supply Rejection Low Dropout Regulator for Wireless System-on-Chip Applications", Custom Integrated Circuits Conference, pp. 760, Sep. 2005.
- [10] S. R. Lee, H. Berry, O. Temam, and M. Lipasti, "Performance improvement of WDM channels using inline dispersion management in transmission links with OPC placed at various position," The Journal of Korea Navigation Institute, Vol. 14, No. 5, pp. 668-676, Oct. 2010.