

주파수 적응형 계통연계 인버터를 위한 위상 기반 반복제어기에 관한 연구

이나영, 조영훈

건국대학교 전력전자 연구실

A Study on PLL-based Repetitive Controller for Frequency Adaptive Grid-Connected Inverter

Nayoung Lee, Younghoon Cho

Power Electronics Lab, Konkuk University

ABSTRACT

본 논문에서는 계통연계형 시스템에서 계통 주파수 변동이 발생할 경우 계통 전류 왜곡 보상을 위한 주파수 적응형 위상 기반 반복제어기의 설계기법에 대하여 기술한다. 기존의 반복제어기를 적용한 경우 계통 주파수 변동 시 주파수 변동에 따라 제어 성능이 보장되지 않는다는 단점이 있다. 이를 보완하기 위해 PLL로 추정된 계통 위상각을 이용한 반복제어기의 메모리 할당을 통해, 주파수 변동에 대응이 가능한 위상 기반 반복제어기의 설계 방법을 제안하였으며, 모의실험을 통해 그 성능을 검증하였다.

1. 서론

최근 신재생에너지를 기반으로 하는 분산발전에 대한 관심과 투자가 증대되고 있는 추세이다. 따라서 분산 전원과 계통이 연결된 계통연계형 인버터의 출력 전력 품질 개선을 위해 계통 전류의 Total harmonic distortion (THD) 저감 제어 기법에 관한 연구가 활발히 진행되고 있다. 일반적으로 계통 전류의 왜곡은 주기적이기 때문에 반복적인 오차 보상에 효과적인 반복제어기를 이용하여 계통 전류의 고조파 성분을 효과적으로 보상할 수 있다. 하지만 계통 주파수 변동 시 반복제어기의 메모리 개수를 정수로 유지하기 어려워 계통 주파수의 작은 변동에도 제어기의 급격한 성능 저하가 일어난다^[1]. 또한 계통 주파수 동기화를 위해 반복제어기의 메모리 수 또는 샘플링 주파수를 변경할 경우 높은 CPU 연산 능력을 필요로 하고 시스템 안정도를 보장할 수 없다^[2]. 이를 해결하기 위해 본 논문에서는 Phase locked loop (PLL) 방식으로 추정한 계통 위상각 정보를 이용하여, 계통 주파수 변동에 적용할 수 있는 위상 기반 반복제어기를 구현하였다. 또한 제안한 제어기의 성능 검증을 위해 모의실험을 진행하였다.

2. 위상 기반 반복제어기 설계

그림 1은 본 논문에서 사용한 단상 3레벨 Neutral point clamped (NPC) 인버터의 회로도도와 전체 제어시스템의 구성을 나타낸다. 메모리 업데이트 주기 변수 θ_M 은 PLL로 추정된 계통 전압의 위상 정보 θ_g 와 식 (1)을 통하여 계산할 수 있다.

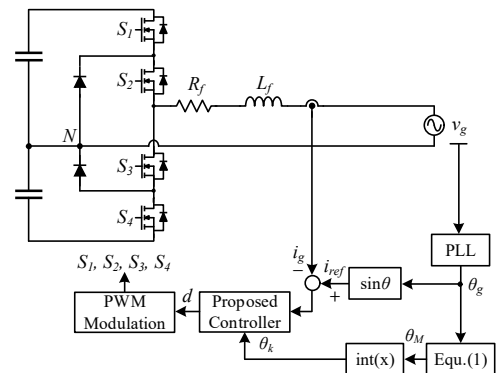


그림 1 단상 3레벨 NPC 인버터와 위상 기반 반복제어기 블록도
Fig. 1 Single phase 3-level NPC inverter with pll-based repetitive control scheme

$$\theta_M = (\theta_g \times \frac{180}{\pi} + 180) \times \frac{M-1}{360}, -\pi \leq \theta_g \leq \pi \quad (1)$$

반복제어기 메모리 업데이트 신호 θ_k 는 int 함수를 이용하여 θ_M 을 정수화한 값이다. 그림 2는 위상 기반 반복제어기가 적용된 전류제어기의 블록도를 나타낸다. 전류제어기는 비례 제어기와 위상 기반 반복제어기로 구성되어 있으며, θ_k 는 위상 기반 반복제어기의 메모리 업데이트 신호로 입력된다. L 은 디지털 시지연에 대한 보상성분, M 은 메모리 수, $q(z)$ 는 안정화 필터, K_{rp} 는 반복제어기 이득이다. 안정화 필터는 일반적으로 많이 사용되는 저역통과필터를 사용하였다^[2].

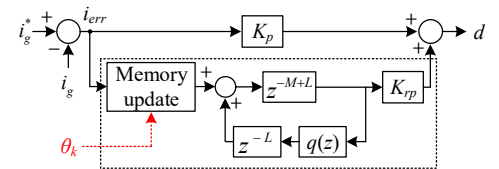


그림 2 위상 기반 반복제어기가 적용된 전체 제어 시스템 블록도
Fig. 2 Control block diagram with pll-based repetitive control

그림 3은 위상 기반 반복제어기의 메모리 업데이트 시점을 결정하기 위한 θ_M 의 정수화 과정을 나타낸다. 메모리 업데이트 주기 변수 θ_M 을 정수화하여 메모리 업데이트 신호 θ_k 를 결정한다. 샘플링 주파수는 스위칭 주파수와 같으며, 메모리가 업데이트되는 샘플링 시간은 T_s 또는 $2T_s$ 두 가지 값을 갖는다. θ_M 의 정수값이 이전값과 동일하다면 메모리의 업데이트를 한

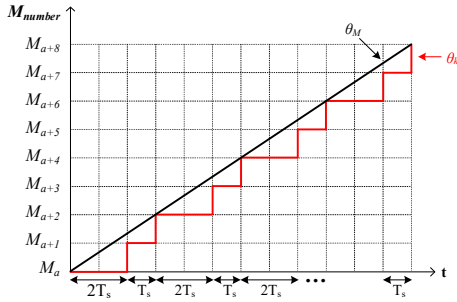


그림 3 위상 기반 반복제어기의 메모리 업데이트 동작
Fig. 3 Memory update operation of p11-based repetitive controller

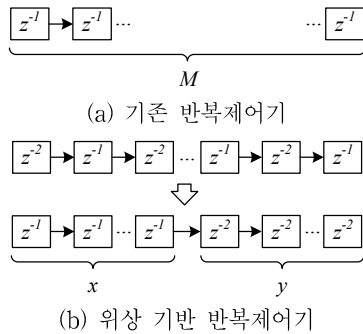


그림 4 z-도메인에서 한 주기의 메모리 지연 z^M 의 블록도
Fig. 4 Block diagram of memory delay z^M of one period in z-domain

샘플링 지연하여 샘플링 시간이 $2T_s$ 인 메모리를 생성하고, θ_M 의 정수값이 이전값과 다른 값을 가지면 샘플링 시간이 T_s 인 메모리를 생성한다. 따라서 계통 주파수 변동으로 인해 한 주기의 샘플링 수가 변동되어도 전체 메모리 수와 샘플링 주파수는 유지할 수 있다. 그림 4 (a)는 기존 반복제어기 사용 시 한 주기의 메모리 지연을 나타내는 z^M 의 블록도이다. 모든 메모리의 샘플링 시간은 T_s 이고, 전체 메모리 수는 M 이다. 그림 4 (b)는 위상 기반 반복제어기의 z^M 의 블록도이다. x , y 는 각각 T_s , $2T_s$ 에 한번 메모리를 업데이트하는 메모리의 개수이다. 위상 기반 반복제어기의 전체 메모리 수는 x 와 y 의 합이며, 위상 기반 반복제어기가 취할 수 있는 전체 메모리 수는 제한값을 가진다. 메모리 수가 제한값을 초과하였을 경우, 계통 주파수가 증가했을 때 한 메모리에 업데이트가 중복될 수 있다. 위상 기반 반복제어기의 최대 메모리 수 M 은 샘플링 주파수 f_s 에 대한 최대 계통 주파수 f_{gmax} 의 값으로 식 (2)로 계산한다.

$$M = \frac{f_s}{f_{gmax}} \quad (2)$$

3. 모의실험 결과

모의실험은 PSIM 툴을 이용하였으며, 모의실험 조건은 표 1과 같다. 계통 주파수가 기본 60 Hz에서 최대 변동이 ± 3 Hz라고 가정할 때, 위상 기반 반복제어기의 M 은 식 (2)에 의해 $f_s/63$ 으로 계산하여 238로 설정한다. 그림 5는 계통 주파수가 60 Hz에서 57 Hz로 변할 때 기존 반복제어기와 위상 기반 반복제어기의 출력전류와 출력전류 오차를 나타낸다. 모의실험 결과 기존 반복제어기를 적용한 경우 정상상태 구간에서 출력전류 THD는 5.15%이고, 위상 기반 반복제어기를 적용한 경우 출력전류 THD는 2.26%로, 위상 기반 반복제어기 적용 시 출력전류 THD가 감소하였다. 주파수 급변 시 기존 반복제어기

를 사용하면 출력전류 오차가 급격히 증가하고 정상상태 오차가 보상되지 않지만, 위상 기반 반복제어기를 사용하였을 경우 정상상태 오차가 0에 근접하게 수렴하는 것을 확인할 수 있다.

표 1 시스템 제정수값
Table 1 System parameters

Filter inductor	L_f	900 μ H
Parasitic resistance of filter inductor	R_f	5 m Ω
DC-link voltage	V_{dc1} , V_{dc2}	350 V
Switching and sampling frequencies	f_{sw} , f_s	15 kHz
Output power	P_o	5 kW
Leading factor	L	2

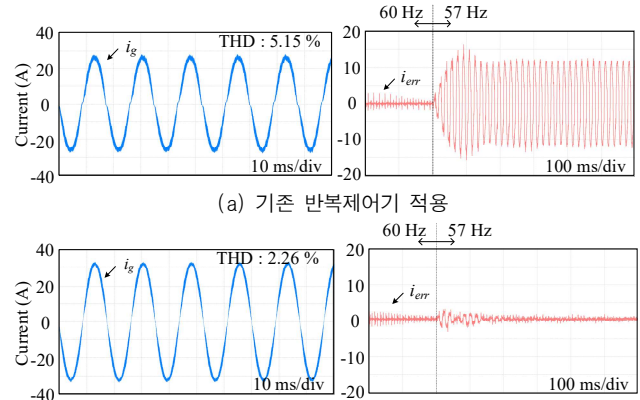


그림 5 정상상태에서 출력전류 파형과 계통 주파수가 60 Hz에서 57 Hz로 급변 시 출력전류 오차
Fig. 5 Steady-state current and current tracking error when the grid frequency changes from 60 Hz to 57 Hz

4. 결론

본 논문에서는 계통 주파수 변동이 발생할 경우 계통연계형 인버터의 출력전류 왜곡을 보상하기 위한 위상 기반 반복제어기의 원리에 대해 서술하였다. 주파수 변동 시 제어 성능이 보장되지 않는 기존 반복제어기의 단점을 보완하기 위해, 제안한 제어기는 위상각 정보를 기반으로 메모리 업데이트 시점을 결정하여 주파수 변동에 대응한다. 계통 주파수 급변 시 제안한 제어기의 성능을 모의실험을 통해 검증하였다.

본 연구는 2020년도 산업통상자원부의 재원으로 한국에너지기술연구원 (KETEP)의 에너지인력양성사업으로 지원받아 수행한 인력양성 성과입니다. (No. 20194030202370)

참고 문헌

[1] J. M. Olm, G. A. Ramos and R. Costa-Castelló, "Stability analysis of digital repetitive control systems under time-varying sampling period," *IET Control Theory Appl.*, vol. 5, no. 1, pp. 29-37, Jan. 2011.
[2] Z. Liu, B. Zhang, K. Zhou and J. Wang, "Virtual variable sampling discrete fourier transform based selective odd-order harmonic repetitive control of DC/AC converters," *IEEE Trans. Power Electron.*, vol. 33, no. 7, pp. 6444-6452, Jul. 2018.