GaN HEMT를 적용한 3kW급 단상 인버터의 스위치 특성 분석

한석규, 최수호, 주동명, 박준성, 최준혁
전자부품연구원 지능메카트로닉스 연구센터

Switching Characteristic Analysis of 3kW Single-Phase Inverter based on GaN HEMT

Seok-Gyu Han, Su-Ho Choi, Dong-Myoung Joo, Jun-Sung Park, Jun-Hyuk Choi,
Korea Electronics Technology Institute

ABSTRACT

차세대 전력반도체 중 하나인 GaN HEMT(Gallium Nitride High Electron Mobility Transistor)는 낮은 온 저항, 고속 스위칭 및 낮은 출력 커패시턴스 특성을 가지므로 더 높은 전력 밀도를 달성할 수 있다. 그러나 낮은 문턱 전압 및 높은 dv/dt로 인해 외부 요인에 취약하다. 본 논문에서는 GaN HEMT를 3kW급 단상 인버터에 적용 시 발생한 문제점을 분석하고 해결방안을 제시한다.

1. 서 론

최근 세계적으로 신·재생 에너지의 수요 증가와 전기자동차의 보급 및 4차 산업혁명 시대에 도래함에 따라 고효율과 높은 전력 밀도를 가지는 전력변환장치에 대한 수요가 점차 커지고 있다. 그러나 기존의 Si의 물성적 특성의 한계로 다양한 토폴로지와 새로운 제어 방법만으로는 주요 성능 향상에 포화점에 이른 것으로 평가되고 있다. 최근에는 Si기반 MOSFET을 대체할 것으로 예상되는 WBG(Wide-Band-Gap) 특성을 가지는 GaN HEMT와 SiC MOSFET소자와 이를 응용하는 전력변환 기술에 대한 관심과 연구가 매우 활발히 진행 중에 있다. 그중에서도 GaN HEMT는 Si 반도체에 비해 작은 기생 성분으로 빠른 스위칭 동작이 가능하고 이는 전력 밀도 및 효율 향상에 기여할 수 있다. 그러나 스위칭 시 큰 dv/dt가 밀러 커패시터를 통해 게이트-소스 단으로 유입되어 GaN HEMT의 기생성분과 PCB Stray 인덕턴스와 공진하여 큰 노이즈를 발생시키며 이는 낮은 게이트 소스간 문턱 전압(Gate-Source Turn-on Threshold Voltage)으로 턴-온 오류를 발생시킬 수 있다.[1]

본 논문에서는 3kW급 단상 인버터를 대상으로 개발한 하드웨어에서 발생한 기생성분에 의한 게이트 전압 왜곡의 원인에 대해 분석하고 발생한 원인을 고려한 2차 설계를 통해 개선되었음을 실험을 통해 증명함으로써 GaN HEMT 사용 시 PCB 최적 설계의 중요성을 검증한다.

2. 1차 설계 및 Gate Ringing 원인 분석

2.1 Gate Ringing 현상

그림 1은 단상 인버터의 PCB Layout을 설계하였을 때 발생한 Gate Ringing 파형이다.

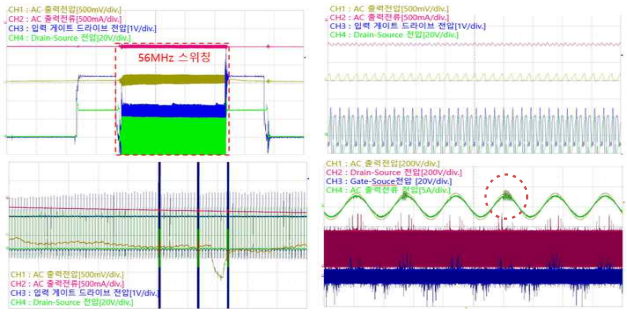

그림 1 GaN HEMT의 false turn-on 파형
Fig. 1 False turn-on waveforms of GaN HEMT

그림 1에서와같이 턴-온 오류를 발생시킬 수 있는 게이트 노이즈와 스파이크 전압은 간헐적으로 매우 짧은 시간동안 발생하였고 낮은 전압에서도 게이트 Ringing 현상과 출력전압 및 전류의 왜곡 현상도 발생하였다. 따라서 시스템의 안정성 향상시키기 위해서는 게이트 전압 왜곡 현상에 대한 분석 및 문제해결이 필요하다.

2.2 기생성분에 의한 게이트 전압 왜곡 분석

반도체 소자의 기생 커패시턴스는 그림 2에서와 같이 비선형적인 특성을 가지며 특히 GaN HEMT는 출력 커패시터 C_{rss} 곡선이 매우 비선형적이다. 기생 커패시턴스 특성 그래프를 보면 Drain-Source 전압이 50V에서 C_{rss} 커패시턴스가 급격히 감소하며, 급격히 작아진 커패시턴스로 인해 매우 빠른 dv/dt 및 di/dt를 유발하기 때문에 전압 및 전류의 발진이 생길 수 있다.

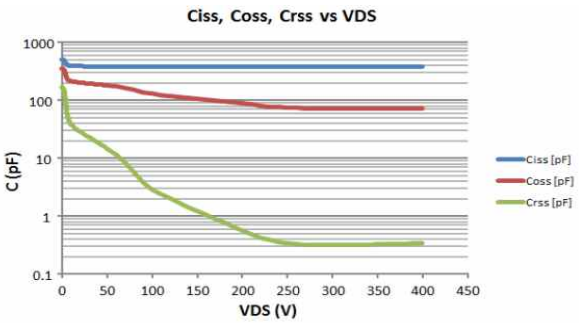

그림 2 Infineon 社의 GaN HEMT의 기생 커패시턴스 특성 그래프
Fig. 2 Parasitic Capacitance Characteristic Graph of Infineon GaN HEMT

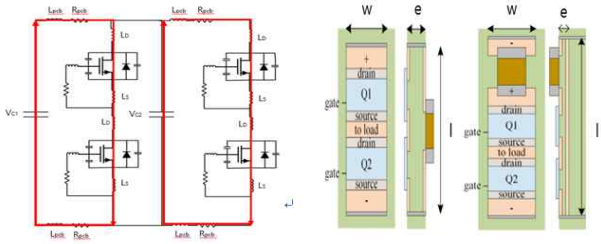

그림 3 PCB 라인 인덕턴스
Fig. 3 PCB Line Inductance

PCB의 기생 인덕턴스 성분 중 L_{pcb} 및 L_D는 커질수록 Drain-Source의 OverVoltage와 Ringing 현상으로 인해 기생 손실 및 고장과 같은 원하지 않은 동작을 유발하는 요소이며, L_s는 Gate-Source의 스파이크 전압에 영향을 끼친다. 스위치 양단에 오버슈트를 야기시키는 전압 방정식은 식 (2)이며 Line Inductance 계산식은 식 (3)이다.

$$V_{LS} = L_s \frac{di}{dt} \tag{2}$$

식 (2)의 경우 di/dt가 고정인 조건에서 L_s가 증가 할수록 스파이크 전압이 비례해서 증가한다.[2] 식 (3)의 e는 PCB 층 사이의 거리이며 w는 PCB 패턴의 폭, l은 PCB 패턴의 길이를 나타낸다.[3]

$$L_{pcb} = \mu_0 \frac{e}{w} l \,[nH] \tag{3}$$

식에서 알 수 있듯이 PCB의 Line Inductance가 가장 영향을 미치는 요소는 패턴의 길이이다. GaN HEMT처럼 dv/dt 및 di/dt가 빠른 경우에는 DC Link Capacitor와 스위치 사이의 패턴의 길이를 최대한 짧게 설계해야 한다. 따라서 스위치 자체의 기생성분을 줄일 수 없다면 PCB Layout을 최적화 설계하는 것이 무엇보다 중요하다.

2.3 개선사항을 반영한 PCB

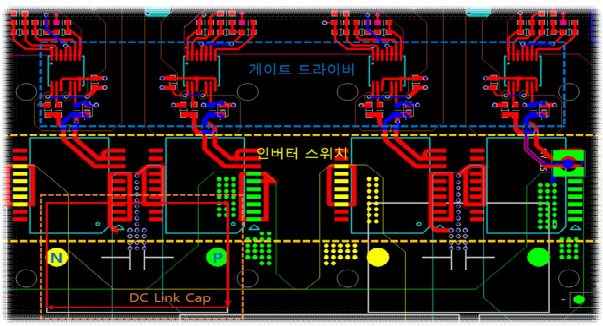

그림 4 Gate 전압의 왜곡 현상 원인을 고려한 Re-worked PCB
Fig. 4 Re-worked PCB to reduce Gate Ringing

Gate Ringing 현상의 분석을 통해 원인을 고려하여 그림 4와 같이 Re-worked 보드를 설계 및 제작하였다. L_s의 영향을 줄이기 위해 Kelvin-Source가 적용된 스위치를 사용하였으며 DC Link Capacitor의 패턴을 최대한 짧게 배치하였다.

3. 실험 결과

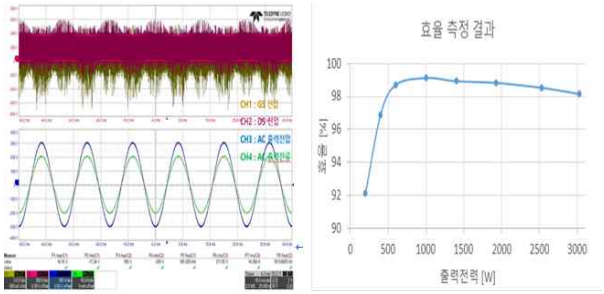

그림 5 3kW급 단상 인버터 주요 출력 파형 및 부하별 효율
Fig. 5 Main output waveform of 3kw single-phase inverter and efficiency by load

그림 5는 Rework 보드의 실험 파형을 나타낸다. PCB Layout의 최적화를 통해 Gate Ringing 현상과 출력전압 및 전류의 왜곡 현상이 개선되었고 실험을 통해 출력 3kW, 전압 212V, 전류 14A, 최고 효율 99.12%임을 확인하였다.

4. 결 론

본 논문에서는 차세대 전력반도체인 GaN HEMT는 낮은 기생성분과 문턱 전압으로 스위치의 Turn on, Turn off 속도가 빠르기 때문에 dv/dt도 매우 급격하게 변화한다. 이는 게이트 노이즈가 매우 크게 발생하여 False turn on으로 인하여 소자가 파손될 수도 있다. 이를 해결하기 위해 게이트 저항을 증가시킬수록 게이트 노이즈는 감소하는 양상을 보이지만 GaN HEMT의 가장 큰 장점인 빠른 스위칭 속도를 포기하는 것과 같으므로 적절한 게이트 저항값과 PCB Layout의 최적 설계 및 Kelvin Source가 적용된 스위치를 사용하여 기생성분을 줄여나가야 한다. 이러한 점을 고려하여 GaN HEMT의 회로를 설계하여 활용하게 된다면 고효율과 전력 밀도가 향상될 것으로 기대한다.

본 연구는 2020년도 산업통상자원부의 재원으로 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구과제입니다. (No. 2018201010650A)

참 고 문 헌

[1] 김동식, 주동명, 이병국, 김종수, “Wide Bandgap 소자의 안정적 구동을 위한 하드웨어 최적 설계 및 구현” 전기학회 논문지 pp. 88-96, Jan. 2016
[2] 김동식, 주동명, 이병국, 김종수, “고주파 스위칭 dc-dc 컨버터 하드웨어 최적 설계를 위한 PCB Layout 분석” 전력전자학회논문지 pp. 269-270, July. 2016
[3] A. Letellier, M. R. Dubois, J. P. F. Trovão and H. Maher, "Calculation of Printed Circuit Board Power-Loop Stray Inductance in GaN or High di/dt Applications," in IEEE Transactions on Power Electronics, vol. 34, no. 1, pp. 612-623, Jan. 2019.