

DC-DC 컨버터의 고주파 등가모형을 통한 차동 노이즈 분석

신주현, 김우중, 조종민, 차한주
충남대학교 전기공학과

Analysis of the Differential Mode Noise through High frequency Equivalent Model of DC-DC converter

Juhyun Shin, Woojung Kim, Jongmin Jo, Hanju Cha
Chungnam National University

ABSTRACT

본 논문은 DC-DC 컨버터 스위칭 동작 시 입력 단에 영향을 미치는 차동 노이즈 분석을 위한 고주파 등가모형을 제안하였으며, DC-DC 벅 컨버터 프로토타입을 제작하고 실험을 통해 검증하였다. 고주파 등가모형에는 DC 부스바, IGBT 및 PCB 등에 포함되는 기생 임피던스 성분들을 모두 고려하였으며, DC-DC 컨버터의 온/오프 스위칭 동작에 따른 차동모드 노이즈 영향 분석을 위한 수학적 모델을 개발하였다. 실험구성은 벅 컨버터, 스펙트럼 분석기, 네트워크 분석기 및 LISN 장비로 구성하였으며, 150kHz ~ 30MHz의 주파수 범위 내에서 측정된 공진주파수가 제안된 고주파 등가 모델의 분석결과와 실험결과가 일치함을 도출함으로써 제안된 등가 모델의 타당성을 검증하였다.

1. 서론

전력용 반도체 소자는 스위칭 과정에서 입/출력단에 예기치 않는 노이즈를 전달하게 된다^[1]. 스위칭으로 전력을 제어하는 전력전자 기술의 발전에 따라 스위칭 주파수는 높아지고 회로 내에서 더 많은 스위칭 소자들이 쓰이고 있어 고주파 노이즈에 대한 문제가 점점 더 심각해지고 있다. 본 논문에서는 스위칭 시 생긴 노이즈가 선로를 타고 입력 단으로 되돌아오는 차동모드 노이즈(Differential mode noise)에 대해 이야기 한다. 높은 레벨의 차동모드 고주파가 입력단으로 전달되면 전원 성능을 감소시키며 안정적으로 전원 공급이 어려워 질 수 있다. 만일 고주파 노이즈가 전자파 국제 규격인 CISPR의 제한값보다 높을 경우에는 문제로 이어 질 수 있으므로 차동모드 노이즈를 예측하고 분석할 수 있는 방안이 필요하다.

본 논문에서는 차동모드 노이즈 레벨을 예측할 수 있는 DC-DC 벅 컨버터의 고주파 등가모형을 제안한다. 고주파 등가회로 구성에는 공진주파수에 영향을 주는 주변 기생 임피던스 성분들을 모두 고려하여 구성하였다. 또한 제안된 고주파 등가모형을 바탕으로 차동모드 노이즈 임피던스 경로 모델링을 통해 수학적으로 차동모드 노이즈를 해석하였다. 그 후 제안된 고주파 등가회로를 바탕으로 수학적 해석으로 구해진 공진점과 실제 실험으로 구해진 공진점과 비교하여 차동모드 노이즈를 예측할 수 있는 등가회로와 수학적 해석의 타당성을 검증하였다.

1. 벅 컨버터의 고주파 등가회로 모델

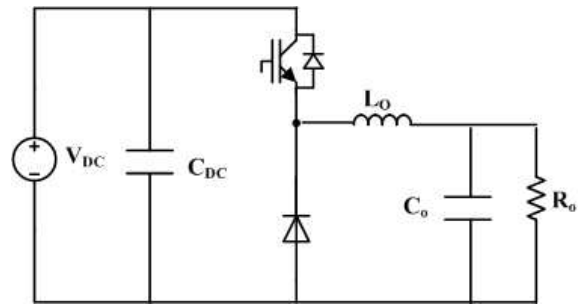


그림 1. DC-DC 벅 컨버터 회로
Fig.1 DC-DC buck converter circuit

그림 1은 기본적인 DC-DC 벅 컨버터의 구성으로 기본적인 벅 컨버터의 구성만으로는 회로에 흐르는 노이즈를 예측할 수 없다. 따라서 그림 2와 같이 DC 부스바, PCB 트랙, DC 입력 커패시터, IGBT의 기생임피던스를 포함하는 고주파 등가회로 모델을 제안한다. 네트워크 분석기 (Network analyzer)를 이용하여 기생임피던스를 측정하였으며, 차동모드 노이즈 전압 측정을 위해 DC 전원 입력단에는 측정 주파수(150kHz ~ 30MHz)에 맞는 CISPR 25 규격의 LISN (Line Impedance Stabilization Network)을 등가 회로에 부착하였다.

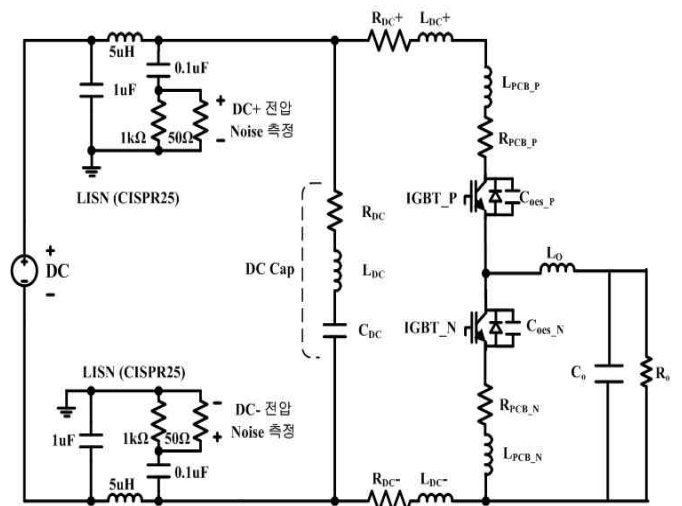


그림 2. 벅 컨버터의 고주파 등가회로
Fig. 2 High frequency circuit modeling of buck converter

2. 벅 컨버터의 차동 임피던스 경로 모델

2.1 고주파 등가회로의 수학적 해석

차동모드(DM) 노이즈를 수학적으로 해석하기 위해서는 우선 차동모드 노이즈 전류 I_{dm} 에 대한 해석이 필요하다. 그림 2의 고주파 등가회로에서 노이즈원인 IGBT_P와 IGBT_N이 상보적으로 ON/OFF 스위칭 동작하며 벅 컨버터로 동작한다. 이로 인해 생기는 과도시간을 상승시간과 하강시간으로 표현할 수 있으며 I_{dm} 을 사다리꼴 형태를 갖는 전류로 나타낼 수 있다^[2]. 식 (1)은 푸리에 급수 형태로 표현된 I_{dm} 을 나타내며, 이때 d 는 duty, t_r 은 rise time, T 는 IGBT 스위칭 주기, n 은 고조파 차수를 의미한다.

$$I_{dm} = 2I_{DC}d \frac{\sin(n\pi d)}{n\pi d} \frac{\sin(n\pi t_r/T)}{n\pi t_r/T} \quad (1)$$

그림 2의 벅 컨버터 고주파 모델은 그림 3와 같이 차동모드 노이즈 전류가 흐르는 경로 임피던스로 구성되어지는 새로운 등가회로로 모델링할 수 있다. 이를 벅 컨버터의 차동 임피던스 경로 모델링이라고 하며 이 모델링을 통해 차동모드 노이즈를 수학적으로 해석할 수 있다.

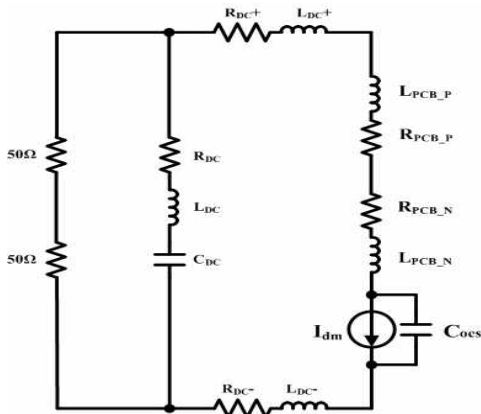


그림 3. 벅 컨버터의 차동 노이즈 임피던스 경로 모델
Fig. 3 DM Noise Impedance Path Modeling of Buck Converter

그림 3는 차동모드 노이즈 전류에 영향을 주는 경로 임피던스만으로 구성된 모델링이며, 그림 2에서 차동모드 노이즈에 영향을 주지 않는 출력단은 생략하였으며, 각 LISN (P LISN, N LISN)의 등가저항인 50옴만을 고려하였다. 모델링에서 경로 임피던스는 식 (2)와 같이 Z_{dm} 로 표현할 수 있다. 여기서 식 (2)의 L_{loop} 와 R_{loop} 는 식 (3), (4)로 차동모드 노이즈 전류경로에 있는 기생 R 값과 L값들의 합이다.

$$Z_{dm}(s) = \frac{V_{dm_{noise}}}{I_{dm}} = \frac{1}{1 + sR_{loop}C_{OES} + s^2L_{loop}C_{OES}} \times \frac{100 \times (R_{DC} + sL_{DC} + \frac{1}{sC_{DC}})}{100 + (R_{DC} + sL_{DC} + \frac{1}{sC_{DC}})} \quad (2)$$

$$L_{loop} = L_{DC^+} + L_{DC^-} + L_{PCB,P} + L_{PCB,N} + L_{DC} \quad (3)$$

$$R_{loop} = R_{DC^+} + R_{DC^-} + R_{PCB,P} + R_{PCB,N} + R_{DC} \quad (4)$$

최종적인 노이즈 $V_{dm_{noise}}$ 은 식 (5)와 같이 차동모드 노이즈 전류인 I_{dm} 과 노이즈 경로 임피던스 Z_{dm} 의 곱으로 구할 수 있다.

$$V_{dm_{noise}} = I_{dm} \times Z_{dm} \quad (5)$$

2.2 시뮬레이션을 통한 수학적 모델 증명

제안한 차동노이즈의 임피던스 경로 모델의 타당성을 검증하기 위해 고주파 등가 회로와 제안된 모델의 차동 노이즈 공진점 결과를 PSIM 시뮬레이션으로 비교하였다. 그림 4은 벅 컨버터의 차동임피던스 노이즈 경로 모델의 PSIM 회로도이며, 그림 5은 DC-DC 벅 컨버터의 고주파 등가회로의 PSIM 회로도 나타낸 것이다. 각 시뮬레이션 파라미터는 표 1과 같다.

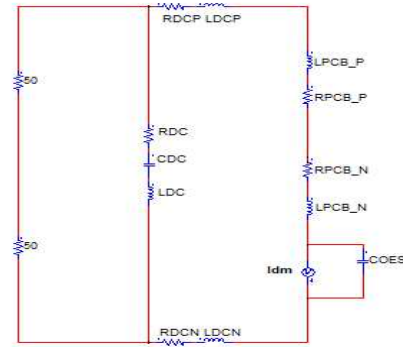


그림 4. 제안된 벅 컨버터 차동노이즈 임피던스 경로 모델링 PSIM 회로

Fig. 4. Proposed buck converter dynamic noise impedance path modeling PSIM circuit

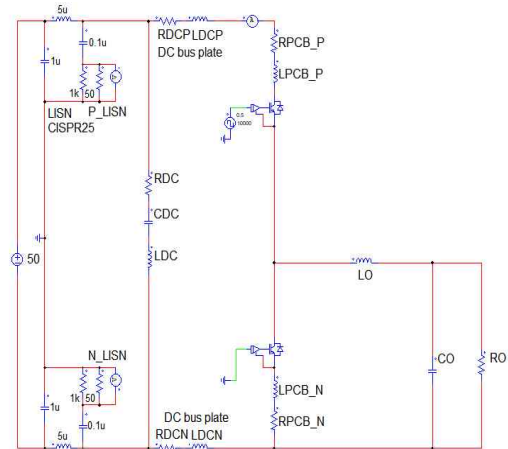


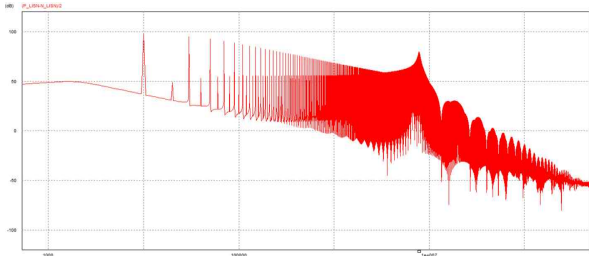
그림 5. 벅 컨버터의 고주파 등가 PSIM 회로도

Fig. 5. High-frequency equivalent PSIM circuit diagram of a buck converter

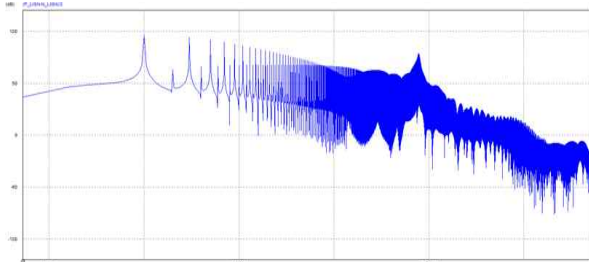
파라미터	값	파라미터	값
입력 전압	50 V _{DC}	듀티	0.5
스위칭 주파수	10 kHz	출력 전압	25 V
출력 전류	5 A	$t_r (= t_f)$	75n sec
출력 커패시터	1.5mF	출력 인덕터	15mH
출력 저항	4.6Ω		

표 1. 시뮬레이션 파라미터
Table 1. simulation parameter

그림 6은 제안된 노이즈 임피던스 경로모델과 고주파 등가모델의 공진주파수 비교 결과이다. 측정결과 제안된 노이즈 임피던스 경로모델과 고주파 등가회로 모델은 두 경우 모두 7.8MHz에서 약 78 dBuV의 공진점을 갖는다. 이로써 벅 컨버터의 고주파 등가모델의 차동모드 노이즈 임피던스 경로를 제안한 수학적 모델링으로 나타낼 수 있으며 제안된 모델로부터 유도되는 경로 임피던스를 통해 차동모드 노이즈의 수학적 해석이 가능함을 증명할 수 있다.



(a)



(b)

그림 6. 차동모드 공진점 시뮬레이션 비교 (a)차동임피던스 경로 모델링 (7.8MHz, 79dBuV)
(b)고주파 등가회로 (7.8MHz, 78 dBuV)

Fig 6. DM resonance point simulation comparison
(a)Differential impedance path modeling (b) High frequency equivalent circuit

3. 실험결과 및 분석

그림 7은 차동모드 노이즈 측정을 위한 DC-DC 벅 컨버터의 테스트 벤치이다. 테스트 벤치에는 차동모드 노이즈를 구하기 위해 전원단에 LISN 장치 (P LISN, N LISN)를 연결하였고, 180도의 위상각을 가지고 있는 Power splitter를 추가하여 측정 시 공통모드 노이즈의 영향을 없애고 차동모드 노이즈만이 측정되도록 하였다.

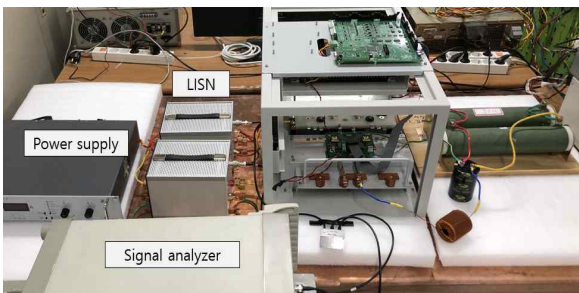


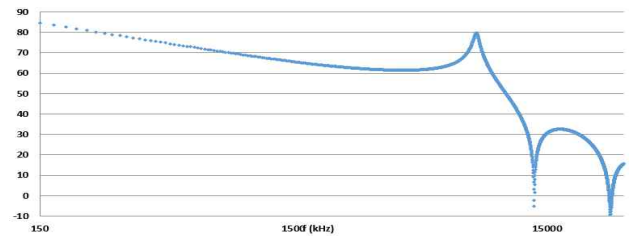
그림 7. 차동모드 전압 측정을 위한 벅 컨버터 테스트 벤치
Fig. 7. Test bench to measure differential mode voltage of buck converter

장비	제조 회사	모델명
Power supply	Magna Power Electronics	TSD 610-16
Power splitter	Mini-circuits	ZSC-2-1+
Signal analyzer	LIG Nex1	LSA-30
LISN	Schwarzbeck	NNBM 8124

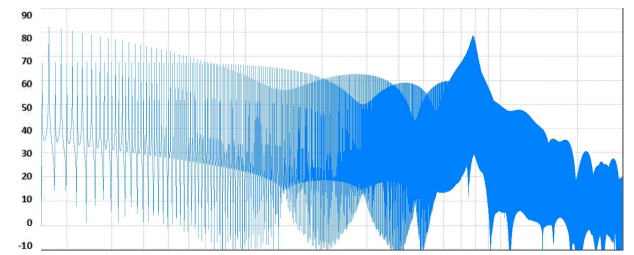
표 2. 실험 장비
Table 2. Test equipment

그림 8의 (a)는 벅 컨버터의 차동모드 노이즈 임피던스 경로 모델로부터 수학적으로 계산된 결과이고 (b)는 고주파 등가회

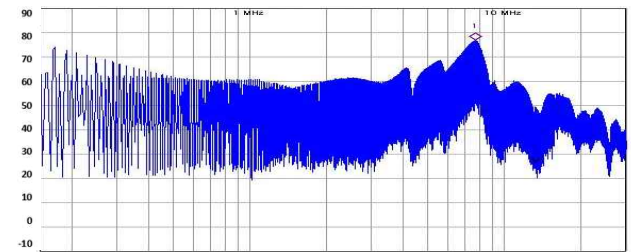
로의 PSIM 시뮬레이션 결과, (C)는 신호 분석기로 테스트 벤치의 차동모드 노이즈를 측정된 결과이다. 예측된 벅 컨버터의 수학적 해석 결과, 시뮬레이션 값과 실험결과를 비교하면 공진점의 주파수와 레벨의 결과가 약 7.8 MHz에서 약 78 dBuV 내외로 비슷한 값을 갖는다. 이를 통해 DC-DC 벅 컨버터의 차동모드 노이즈의 수학적 모델링의 타당성을 검증하였다.



(a)



(b)



(c)

그림 8. 차동모드 공진점 비교 (a) 수학적 해석 (7.9MHz, 80 dBuV) (b) 고주파 등가회로 시뮬레이션 (7.8MHz, 78 dBuV) (C) 테스트 벤치로 측정(7.8MHz, 78 dBuV)

Fig 8. Differential mode resonance point comparison (a) Mathematical analysis (7.9MHz, 80 dBuV) (b) High-frequency equivalent circuit simulation (7.8MHz, 78 dBuV) (C) Measurement with a test bench(7.8MHz, 78 dBuV)

4. 결론

본 논문은 DC-DC 벅 컨버터의 차동모드 노이즈 레벨을 예측할 수 있는 기생 임피던스 성분이 포함된 고주파 등가회로를 바탕으로 수학적으로 해석할 수 있는 모델링을 제안하였다. 이를 바탕으로 수학적으로 해석된 차동모드 노이즈의 공진점과 실제 실험결과로 측정된 공진점을 비교하여 수학적 모델의 타당성을 검증하였다.

참고 문헌

[1] H. Bishnoi, A.C Baisden, P. Mattavelli, D. Boroyevich, "Analysis of EMI Terminal Modeling of Switched Power Converters", IEEE Transactions on Power Electronics, vol. 27, n°. 9, September 2012.
[2] Paul, Clayton R. Introduction to electromagnetic compatibility. Vol. 184. John Wiley & Sons, chapter 3, 2006.