

변조지수에 따른 공통모드 전압 저감 기법 성능 비교

허건, 박용순
광주과학기술원

Performance Comparison of Common-Mode Voltage Reduction Methods in terms of Modulation Index

Geon Heo, Yongsoon Park
Gwangju Institute of Science and Technology

ABSTRACT

This paper introduces a new pulse-width modulation (PWM) method to reduce common-mode voltages (CMVs) and compare its performance with other reduced CMV-PWM (RCMV-PWM) methods. To avoid the use of zero-vectors which cause high CMV peaks, the introduced method splits every reference vector into two vectors such that the peak-to-peak magnitude of CMV is reduced by one-third of conventional space-vector PWM (SVPWM). The performance of RCMV-PWMs altered by the modulation index are analyzed with simulation results.

1. 서론

인버터는 태양광, ESS(Energy Storage System; 에너지저장 시스템) 등 분산형 전원의 계통연계를 위해 널리 사용된다. 그리고 계통연계형 인버터는 출력 전류의 THD(Total Harmonic Distortion; 전고조파왜율) 기준을 만족시키기 위해 주로 높은 스위칭 주파수를 사용한다. 이로 인해 발생하는 고주파의 공통모드 전압은 기생 캐패시턴스를 통해 접지로 흐르는 누설전류를 발생시키며, 절연과피, EMI(Electromagnetic Interference; 전자기파 방해) 등의 문제를 발생시킨다^[1]. 이러한 문제는 공통모드 초크 등의 하드웨어 추가를 통해 누설전류를 줄이는 방법과 PWM 펄스 패턴을 조정하여 인버터에서 발생하는 공통모드 전압의 크기를 줄이는 소프트웨어적 방법을 통해 해결할 수 있다. 본 논문에서는 공통모드 전압 저감을 위한 소프트웨어적 해결 방법으로 새로운 PWM 기법을 소개하고, 시뮬레이션을 통해 변조지수에 따라 변화하는 성능을 기존의 공통모드 전압 저감 PWM 기법과 비교한다.

2. 공통모드 전압 저감 PWM 기법

2.1 2-레벨 인버터의 공통모드 전압

그림 1과 같은 2-레벨 계통연계형 인버터의 공통모드 전압은 DC링크의 중성점 n 과 접지 s 사이의 동일 위상 및 크기의 전압으로 정의되며, 스위칭 함수를 통해 식(1)과 같이 표현된다^[2].

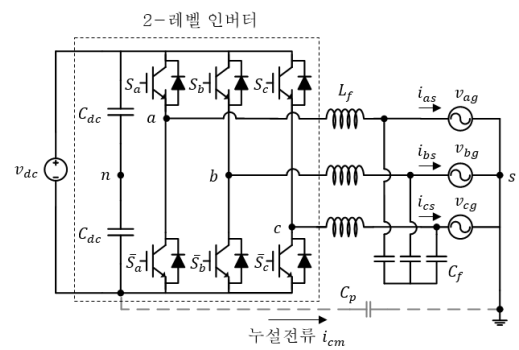


그림 1 2-레벨 계통연계형 인버터.

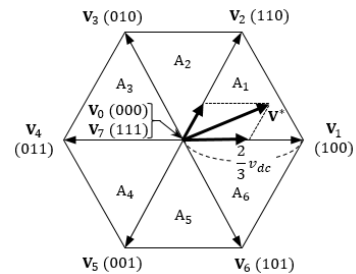


그림 2 공간벡터도.

$$v_{sn} = \frac{v_{dc}}{3} (S_a + S_b + S_c) - \frac{v_{dc}}{2} \tag{1}$$

그림 2는 스위칭 상태에 따른 전압벡터를 나타낸다. SVPWM(Space Vector PWM)을 적용하는 경우 지령전압벡터 V^* 에 인접한 유효전압벡터($V_1 \sim V_6$)와 영전압벡터(V_0, V_7)를 사용하여 샘플링 주기 T_s 동안 평균적으로 V^* 를 합성한다. 영전압벡터가 출력되는 경우에 공통모드 전압은 $\pm v_{dc}/2$ 로 큰 첨두치를 갖게 되는데, PWM 펄스 패턴을 조정하여 영전압벡터를 사용하지 않고 V^* 를 합성하면 공통모드 전압의 peak-to-peak 값을 $v_{dc}/3$ 로 줄일 수 있다^[3].

2.2 기존 공통모드 전압 저감 PWM 기법

그림 3은 대표적인 공통모드 전압 저감 PWM 방법을 나타낸다. AZSPWM(Active Zero State PWM)은 SVPWM에서 영전압벡터를 대신하여 방향이 반대인 두 유효전압벡터를 출력하는 방식이다. AZSPWM은 영전압벡터를 대신하는 유효전압벡

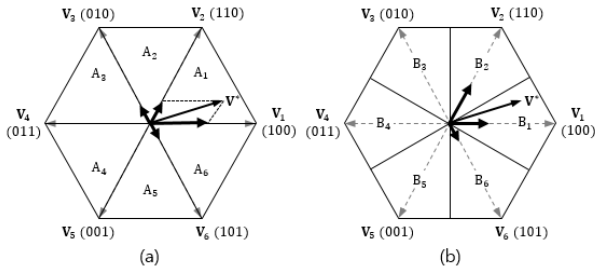


그림 3 기존 공통모드 전압 저감 PWM 방법^[3]. (a)AZSPWM1, (b)NSPWM.

터 유형에 따라 세 가지 방법이 존재하지만, 데드타임에 의한 공통모드전압 피크 발생을 방지하기 위해서는 출력되는 유효전압벡터의 변동이 인접한 벡터 내에서 이루어져야하기 때문에 AZSPWM1만이 실질적으로 사용가능하다^[4]. NSPWM(Near State PWM)은 V^* 과 인접한 세 개의 유효전압벡터만을 사용하여 전압을 발생시킨다^[3]. NSPWM은 DPWM(Discontinuous PWM)을 기반으로 하기 때문에 스위칭 횟수 저감 효과가 있으나, 변조지수 $[M_i = V^*/(V_{dc}/\sqrt{3})]$ 가 0.67 이상인 영역에서만 공통모드저감 효과가 보장된다.

2.3 벡터분할 PWM 기법

SVPWM 적용 시 V^* 가 그림 4와 같이 전압육각형의 경계 상에 위치하는 경우에는 영전압벡터를 사용하지 않고 인접한 두 유효전압벡터만이 V^* 의 합성을 위해 사용된다.

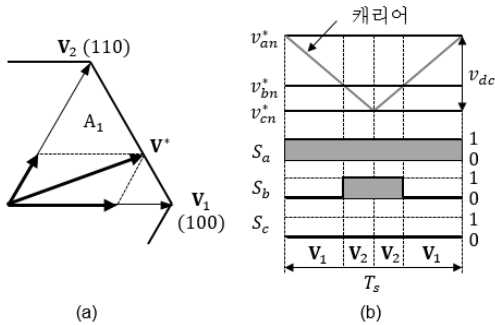


그림 4 전압육각형 경계 상의 벡터 출력 시 스위칭 패턴.

따라서, V^* 를 전압육각형 경계 상의 두 벡터로 분할하여 각각 $T_s/2$ 동안 출력함으로써 영전압벡터의 사용을 피할 수 있다. 이때, T_s 동안 평균적으로 V^* 와 동일한 전압이 발생되기 위해서는 전압육각형 경계 상의 두 벡터는 V^* 와의 오차의 크기가 같고 방향이 반대여야 한다. 이와 같은 조건을 만족하는 두 벡터는 원점으로부터 $2V^*$ 만큼 평행이동 된 전압육각형과 본래의 전압육각형의 교점으로 나타난다. 그림 5는 본 논문에서 소개하는 벡터분할 PWM 기법(이하 VSPWM; Vector Split PWM)의 벡터분할 방법을 나타낸다. 벡터분할을 위한 벡터 쌍은 V^* 보다 위상이 진상인 벡터 V_{lead} 와 지상인 벡터 V_{lag} 로 구성된다. 그림 5에서 V^* 가 섹터 C_{x1} ($x=1\sim 6$) 또는 C_{x3} 에 위치하는 경우 NSPWM과같이 V^* 와 인접한 세 개의 유효전압벡터가 출력된다. V^* 가 섹터 C_{x2} 에 위치하는 경우에는 V^* 와 인접한 네 개의 유효전압벡터가 출력된다. V^* 의 회전경로에서 각 섹터가 차지하는 비율은 M_i 에 따라 달라진다. M_i 가 작을수록

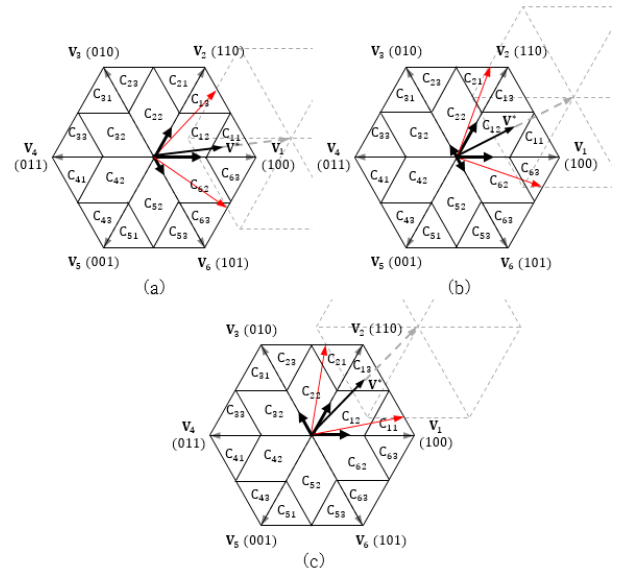


그림 5 지령전압벡터 위치에 따른 벡터분할 방법.

섹터 C_{x2} 가 차지하는 비율이 줄어들고, M_i 가 0.58 이하인 경우 V^* 는 섹터 C_{x2} 만 지나게 된다.

공통모드전압 저감 PWM 적용 시 두 개 이상의 상에서 스위칭이 발생하는 경우 데드타임 동안 높은 공통모드 전압 피크가 발생하게 된다^[4]. 따라서, 유효전압벡터의 출력순서는 항상 인접한 벡터로 이동되도록 결정되어야한다. 유효벡터의 출력순서는 캐리어의 기울기를 통해 조절할 수 있다. 그림 4에서 알 수 있듯 캐리어의 기울기가 음수인 경우에는 홀수 유효전압벡터가 먼저 출력되며 양수인 경우에는 짝수 유효전압벡터가 먼저 출력된다. V_{lead} 와 V_{lag} 의 출력 순서는 스위칭 횟수 최소화 및 유효전압벡터 출력순서 조절을 위해 매 샘플링 주기마다 변경된다. 그림 6은 V^* 가 섹터 C_{11} 과 C_{12} 에 위치할 때 캐리어 및 스위칭 패턴을 보여준다.

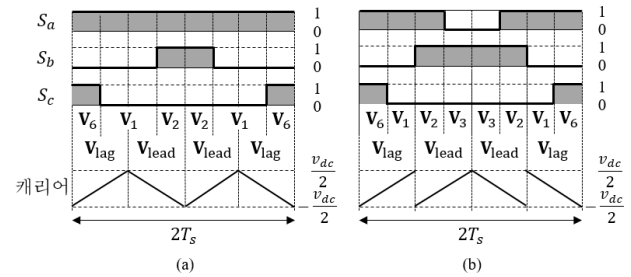


그림 6 VSPWM 적용 시 캐리어 및 스위칭 패턴. (a) V^* 가 섹터 C_{11} 에 있는 경우 (b) V^* 가 섹터 C_{12} 에 있는 경우.

VSPWM 적용 시 스위칭 패턴은 $2T_s$ 를 주기로 대칭성을 나타내며 이에 따라 스위칭 주파수는 캐리어 주파수의 절반으로 나타난다. 따라서, 동일한 스위칭 주파수에서 다른 PWM 기법과 성능을 비교하기 위해서는 제한된 방법의 캐리어 주파수를 두 배로 설정해야한다. 그림 7은 110V 계통에 연계되는 인버터 실험세트에서 VSPWM 적용 시 공통모드 전압 저감 효과를 보여준다. 출력전류가 동일하게 $40A_{peak}$ 로 유지되는 상황에서 VSPWM 적용을 통해 공통모드 전압이 기존 SVPWM과 비교하여 1/3배로 줄어든 것을 확인할 수 있다.

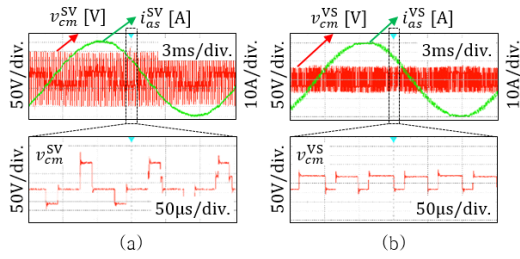


그림 7 2-레벨 계통연계형 인버터의 공통모드 전압과 상전류 실험결과 파형. $v_{dc} = 220V$ (a) SVPWM ($f_{carr}^{SV} = 10kHz$), (b) VSPWM ($f_{carr}^{VS} = 20kHz$).

3. 변조지수에 따른 성능 비교

M_i 에 따른 공통모드 전압 저감 PWM 기법의 성능을 비교하기 위해 컴퓨터 시뮬레이션을 수행하였다. 100kW급 계통연계 인버터의 정격출력 상황을 가정하였다. AZSPWM1, NSPWM, VSPWM 등 세 가지 공통모드 전압 저감 PWM 기법과 일반적인 SVPWM의 성능을 비교하였다. M_i 는 주로 DC 링크 전압에 의해 결정되지만, 데드타임에 의한 출력 전압 왜곡[5] 정도가 스위칭 방법에 따라 다르기 때문에 그림 8(a)와 같이 동일한 DC링크 전압에서도 M_i 의 차이가 발생한다. 동일한 M_i 를 위해 DC링크 전압을 조정하는 것은 어려움이 따르기 때문에 시뮬레이션의 효율성을 고려해 조절변수를 DC링크 전압으로 하여 비교를 수행하였고, DC링크 전압이 높아질수록 M_i 가 낮아짐을 의미한다.

NSPWM은 DPWM을 기반으로 하기 때문에 SVPWM과 AZSPWM1에 비하여 스위칭 횟수가 2/3배로 작기 때문에 그림 8(b)에서 나타나듯 스위칭 손실이 낮다. VSPWM은 섹터 C_{x1} 과 C_{x3} 에서 스위칭 패턴이 NSPWM과 같은데, M_i 가 낮아질수록 섹터 C_{x2} 의 비율이 증가하기 때문에 스위칭 손실 특성 또한 M_i 가 낮아질수록 SVPWM과 AZSPWM1에 가까워진다. 그림 8(c)에 나타나듯, 모든 공통모드 저감 PWM 기법의 적용은 SVPWM에 비하여 출력전류의 THD를 증가시키며, AZSPWM1의 THD가 비교적 낮게 나타났다. 그림 8(d)는 DC 링크 전류의 리플(ripple) 성분을 나타내는 리플 상수를 비교한 것이다. 리플 상수는 식 (2)와 같이 정의 되며, $i_{1,rms}^2$ 는 인버터 출력 상전류의 기본과 크기를 나타낸다.

$$K_{dc} = \frac{i_{dc,rms}^2 - i_{dc,mean}^2}{i_{1,rms}^2} \quad (2)$$

K_{dc} 가 낮을수록 DC링크 전류의 리플이 작음을 나타낸다, NSPWM과 VSPWM이 전반적으로 K_{dc} 가 낮은 것으로 나타났으며, 이는 DC링크의 캐패시턴스를 줄이는데 유리함을 의미한다.

4. 결론

본 논문에서는 2-레벨 계통연계형 인버터의 공통모드 전압 저감을 위한 새로운 PWM 기법을 소개하고 기존 공통모드

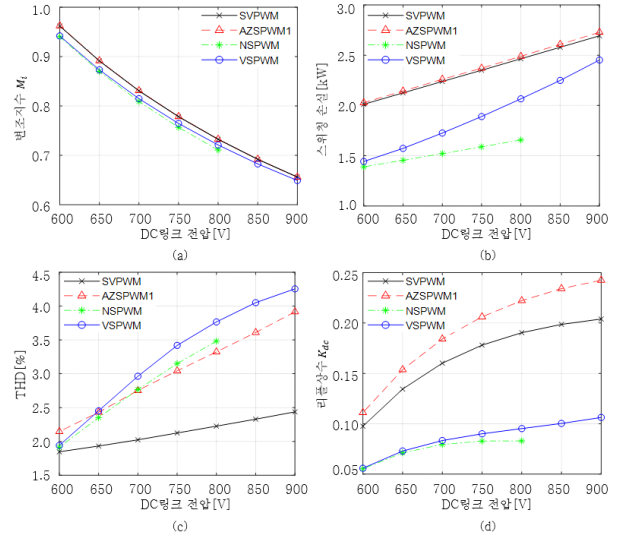


그림 8 DC링크 전압에 따른 공통모드 저감 PWM 기법 성능 비교. (a) 변조지수, (b) 스위칭 손실, (c) THD, (d) DC링크 전류 리플 상수

전압 저감 PWM 기법과 M_i 에 따른 성능을 비교하였다. THD 측면에서는 AZSPWM1이, 스위칭 손실 및 DC링크 전류 리플 저감 측면에서는 NSPWM이 강점을 보였다. VSPWM은 변조지수에 따라 AZSPWM1과 NSPWM 사이에서 절충되는 성능을 나타냈으며 M_i 가 증가함에 따라 NSPWM의 특성에 가까워지는 것으로 나타났다. NSPWM은 낮은 M_i 에서는 공통모드 전압 저감이 불가능하기 때문에, DC링크 전압이 높아지면 공통모드 저감 효과를 기대할 수 없다. 하지만, VSPWM은 낮은 M_i 에서도 적용가능하며 M_i 가 높아지면 NSPWM의 장점을 가지게 되므로, 일관적이고 우수한 성능의 공통모드 저감 효과를 보일 수 있다.

참고 문헌

- [1] T. Kerekes, R. Teodorescu, M. Liserre, C. Klumpner and M. Sumner, "Evaluation of Three-Phase Transformerless Photovoltaic Inverter Topologies," in IEEE Trans. on Power Electron., vol. 24, no. 9, pp. 2202-2211, Sept. 2009.
- [2] 정대용, "육상 전압에 의한 3상 전압형 인버터 PWM 방법의 일반적 해석," 서울대학교 공학박사 학위논문, 2000년 2월.
- [3] C. Hou, C. Shih, P. Cheng and A. M. Hava, "Common-Mode Voltage Reduction Pulsewidth Modulation Techniques for Three-Phase Grid-Connected Converters," in IEEE Trans. on Power Electron., vol. 28, no. 4, pp. 1971-1979, April 2013.
- [4] Y. S. Lai and F. S. Shyu, "Optimal common-mode voltage reduction PWM technique for inverter control with consideration of the dead-time effects-Part I: Basic development", IEEE Trans. Ind. Appl., vol. 40, no. 6, pp. 1605 - 1612, Nov/Dec. 2004.
- [5] Y. Park and S. Sul, "A Novel Method Utilizing Trapezoidal Voltage to Compensate for Inverter Nonlinearity," in IEEE Trans. on Power Electron., vol. 27, no. 12, pp. 4837-4846, Dec. 2012.